智能数字信号处理器及其解决方案提供商

FDM-D10101数据手册

版本V1.0

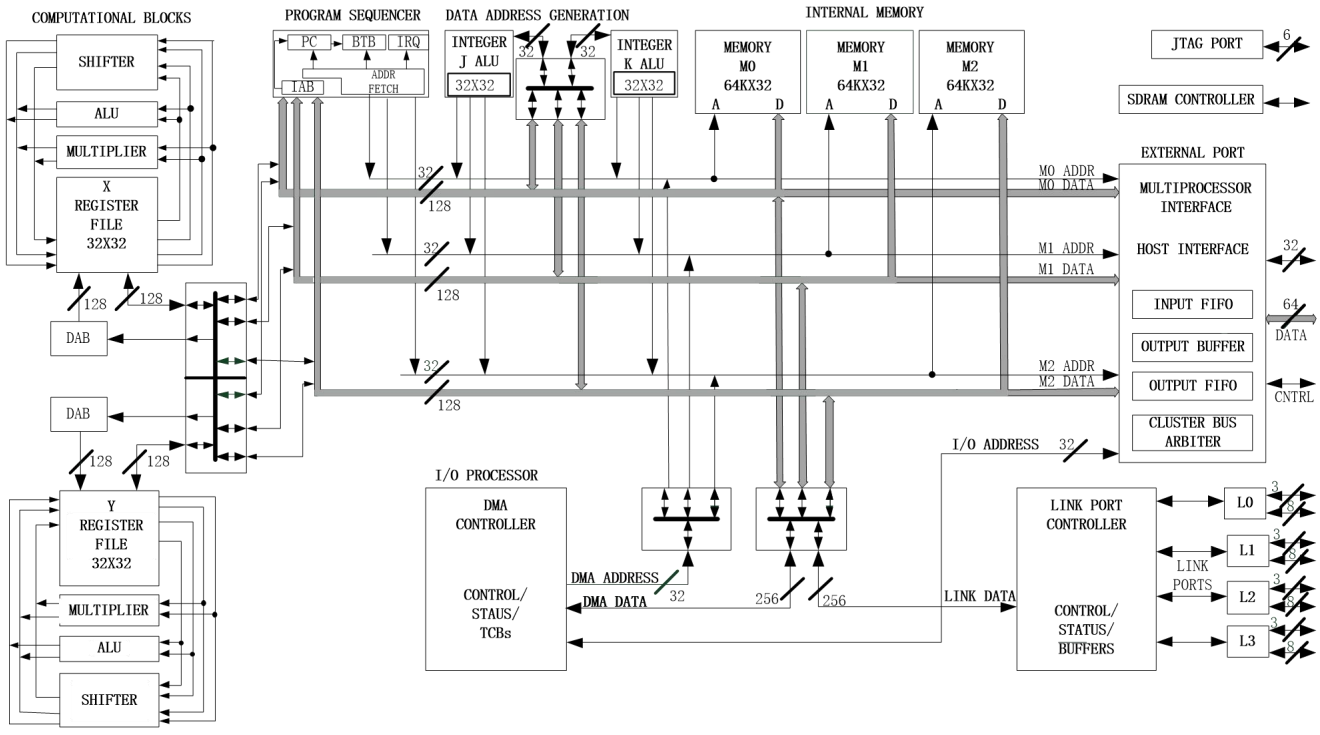
中国科学院自动化研究所
青岛本原微电子有限公司

关键特性：

- 频率300MHz,指令周期：3.3ns
- 6Mbits片内SRAM
- 27mm×27mm(625-ball)热学性能优化BGA封装
- 双运算模块，每个包含一个ALU，一个乘法器，一个移位器和一个寄存器文件
- 双整数型ALU，提供数据寻址和指针操作功能
- 集成I/O包括14通道的DMA控制器，外部端口，4个链路口，SDRAM控制器，可编程标志引脚，2个定时器和定时器计满引脚
- 片上仲裁通过共享总线可无缝连接多达8个DSP芯片
- IEEE1149.1兼容的JTAG端口用于仿真

主要优点：

- 提供高性能静态超标量DSP操作，专门优化适用于通信和大的需要多DSP处理器的应用
- 杰出的DSP算法和I/O性能表现
- DMA控制器支持14个DMA通道，可完成片内存储器，片外存储器，存储器映射外设，链路口，主机处理器和其他（多处理器）DSP间的低开销传输；
- 非常灵活的指令集和支持友好的高级语言的DSP结构便于DSP编程；
- 可扩展的多处理器系统仅需低通信开销。



FDM-D10101的功能框图

目 录

目 录..... I

概述..... 1

双运算模块..... 4
数据对齐缓冲器(DAB)..... 5
双整数型ALU（IALU）..... 5
程序控制器..... 5
中断控制器..... 6
灵活的指令集..... 6
片内SRAM存储器..... 7
外部端口（片外存储器和外设接口）..... 7
主机接口..... 8
多处理器接口..... 8
SDRAM控制器..... 9
EPROM接口..... 9
DMA控制器..... 10
链路口..... 12
定时器和通用I/O..... 13
复位和引导..... 13
抗辐照指标（仅针对抗辐照类型）..... 14
存储器刷新设置..... 14
低功耗运行..... 14
时钟范围..... 15
输出引脚驱动强度控制..... 15
电源供电..... 16

引脚功能描述..... 16

复位时引脚状态..... 16
引脚定义..... 16

STRAP引脚功能描述..... 23

FDM-D10101—技术规格..... 24

电气特性..... 25
绝对最大额定值..... 25
ESD敏感性..... 26
时序规格..... 26
通用交流定时..... 26
上电顺序，上电复位和正常复位（热复位）时序规格..... 28
链路口数据传输和令牌切换时序..... 33
测试条件..... 36
输出禁止时间..... 36
输出使能时间..... 36
电容负载..... 37
封装及管脚..... 37
回流焊曲线说明..... 38

产品型号..... 39

概述

FDM-D10101是一款极高性能的静态超标量处理器，专为大的信号处理任务和通信结构进行了优化。该处理器将非常宽的存储器宽度和双运算模块（支持32-和40-bit浮点及8-，16-，32-和64-bit定点处理）组合在一起，建立了数字信号处理器性能的新标准。FDM-D10101静态超标量结构使DSP每周期能够执行多达4条指令，24个16-bit定点运算和6个浮点运算。

三条相互独立的128-bit宽度的内部数据总线，每条连接三个2Mbits内部存储器块中的一个，提供4字的数据、指令及I/O访问和14.4Gbytes/s的内部存储器带宽。运行在300MHz时，FDM-D10101内核的指令周期为3.3ns。发挥其单指令多数据特点，FDM-D10101可以提供24亿次40-bit MAC运算或者6亿次80-bit MAC运算。表1和表2显示了该DSP的性能指标。

表1 300MHz运行时通用算法性能

性能指标	速度	时钟周期
32-bit算法，6亿次MACs/s峰值性能		
1024点复数FFT(基2)	15.7μs	9835
1024点输入50抽头FIR	91.67μs	27500
单阶FIR MAC	1.83ns	0.55
16bit算法，24亿次MACs/s峰值性能		
256点复数FFT(基2)	3.67μs	1100
1024点输入50抽头FIR	24.0μs	7200
单阶FIR MAC	0.47ns	0.14
单阶复数FIR MAC	1.9ns	0.57
I/O DMA传送速率		
外部口	800Mbytes/s	n/a
链路口（每个）	250Mbytes/s	n/a

表2 3G无线算法性能

性能	执行（MIPS）[1]
Turbo解码 384kbps数据通道	51MISP
Viterbi解码 12.2kbpsAMR[2]语音通道	0.86MISP
复数相关 3.84Mcps[3]，扩展因子为256	0.27MISP

[1]运行速度使用的是指令周期每秒

[2]自适应多速率（AMR）

[3]兆片每秒（Mcps）

第I页的功能框图给出了FDM-D10101的结构，其中包括：

1.双运算模块，每个包含一个ALU，乘法器，64-bit移位器和32个字的寄存器组及相关的数据对齐缓冲器（DAB）

2.双整数型ALU(IALU)，每个有自己的32个字的寄存器组用于数据寻址

3.一个带有指令对齐缓冲器(IAB)，分支目标缓冲器(BTB)和中断控制器的程序控制器。

4.3条相互独立的128-bit宽度的内部数据总线，每条连接三个2Mbits内部存储器块中的一个

5.片内SRAM（6Mbits）

6.一个提供与主机处理器、多处理器空间(DSP)、片外存储器映射外设、外部SRAM和SDRAM相连的外部端口

7.一个14通道DMA控制器

8.四个链路口

9.两个64-bit间隔定时器和定时器计满引脚

10.一个IEEE1149.1兼容JTAG接口用于片上仿真

图1给出了一个带有外部SDRAM的典型的单处理器系统。第12页图3给出了一个典型的多处理器系统。

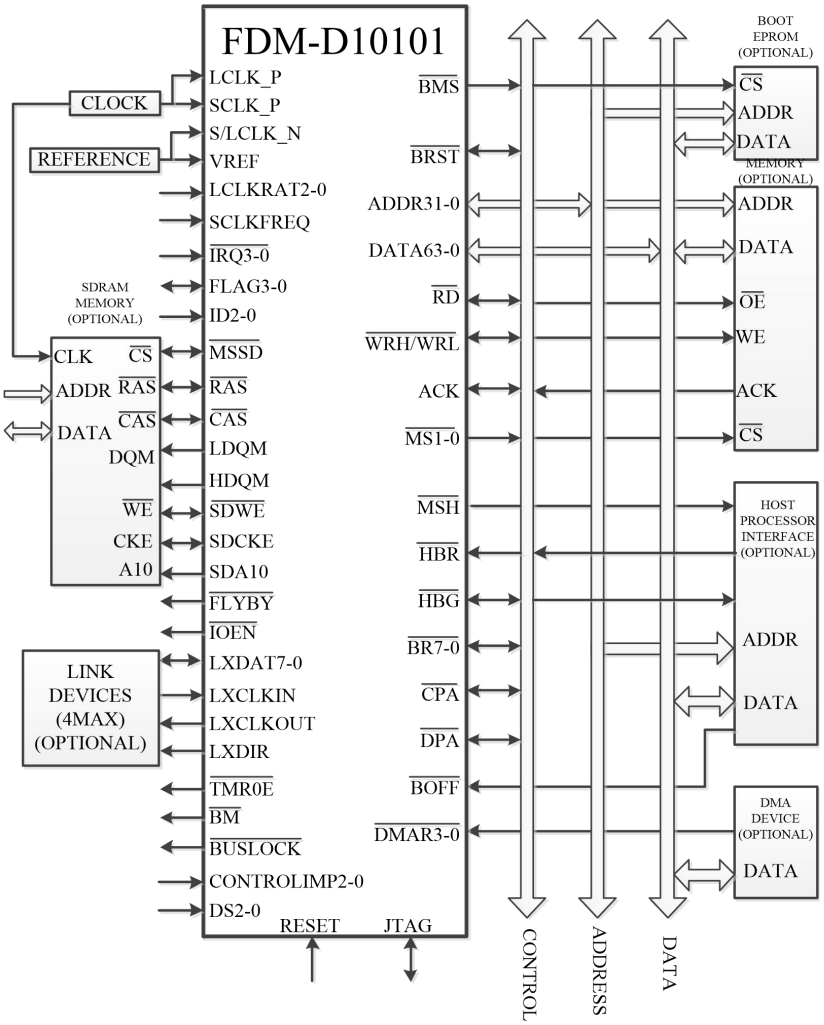


图1 带有外部SDRAM的单处理器系统

FDM-D10101DSP 使用静态超标量体系结构。FDM-D10101 内核使用的这种超标量结构能通过两个运算单元同时执行 1 到 4 条 32-bit 从 VLIW 指令行中译出的指令。因为 DSP 在运行期间并不重新排列指令顺序，所以编译器会在运行期以前选择哪几条指令并行执行，故程序指令执行的顺序是静态的。

除了少数例外，指令行中无论包含1条、2条、3条还是4条32-bit指令，FDM-D10101皆使用一个周期执行完毕。

为了优化DSP程序的执行，程序员必须遵从指令并行执行规则。总的来说，DSP能否在单周期完成并行执行，依赖于每条指令所需的资源以及源和目标寄存器。程序员能够直接控制三个内核模块—IALU、运算模块和程序控制器。

FDM-D10101在大多数情况下，具有一个两周期完全互锁的指令流水线，因此，在任何情况下，当一个运算结果对于另一个操作来说是不能使用的时候，DSP会自动

地插入一个或多个延迟周期。使用独立指令来高效地编程能够去除大部分的运算和内存传输依赖。

另外，FDM-D10101通过两种方法来支持单指令多数据操作－SIMD运算模块和SIMD运算。程序员能够使两个运算模块操作相同的数据（广播发布）或不同的数据（合并发布）。另外，每个运算模块能同时执行4个16-bit或8个8-bit SIMD运算。

双运算模块

FDM-D10101的运算模块能够通过相互独立或一起工作执行通用运算来实现单指令多数据(SIMD)引擎。该DSP能完成单周期每个运算模块2条运算指令，指令可以控制ALU、乘法器或者移位器来完成独立的同时的操作。

在汇编语言语法中运算模块被标识为X和Y，每个运算模块包含三个运算单元，一个ALU，一个乘法器，一个64-bit移位器以及一个由32个寄存器构成的寄存器组。

1.寄存器组─每个运算单元拥有一个多端口的32字、全正交的寄存器组，该寄存器组能够用于运算单元和数据总线之间的数据传输和存储中间结果。指令能够单独地访问寄存器组中的寄存器（字对齐），或者两个一起（双字对齐）或者四个一起（四字对齐）访问。

2.ALU─ALU执行标准的定点和浮点算术操作和逻辑操作。

3.乘法器─乘法器用于执行定点和浮点乘法和定点的乘加运算。

4.移位器─64-bit移位器完成算术和逻辑移位，比特和比特流控制，域存储和提取操作。

5.加速器─128-bit单元用于Trellis解码（例如，Viterbi和Turbo解码）和复数相关运算。

使用这些特点运算模块能够：

1.每周期提供峰值8个16-bit MACs，可持续的7.1个16-bit MACs的运算性能，或峰值2个32-bit MACs，可持续的1.8个32-bit MACs的运算性能（基于FIR）。

2.每周期执行6个单精度浮点运算或者24个16-bit定点操作，提供1800 MFLOPS或7.3 GOPS的性能。

3.每周期执行2个复数16-bit MACs。

4.每周期执行8次Trellis蝶形运算。

数据对齐缓冲器(DAB)

DAB是一个4字的FIFO，能够从非对齐的地址读取数据。通常情况下，读取指令必须同数据的长度对齐，因此DAB能从一个四对齐的地址上读取数据。使用DAB极大地提高了某些应用的效率，例如FIR滤波器。

双整数型ALU（IALU）

FDM-D10101拥有两个IALU，能提供强大的地址产生能力和通用的整数操作。每个IALU能够：

1.为数据和更新指针提供存储器地址。

2.支持环形缓冲和位反序寻址

3.实现通用的整数操作，提高了编程的灵活性

4.每个IALU包含一个由32个字构成的寄存器组

作为地址产生器，IALU完成立即或间接寻址（预修正或后修正），完成对于存储器地址没有限制的取模和位反序操作。每个IALU能够指定单、双或四个字的内存访问。IALU通过硬件支持来实现环形缓冲、位反序和零耗循环。环形缓冲为在数字信号处理中经常用到的延迟线和其他数据结构的编程提供了便利，它们经常被用在数字滤波器和傅立叶变换中。每个IALU提供了用于4个环形缓冲器的寄存器，因此，程序能够建立最多8个环形缓冲器。IALU能够自动处理指针回绕，减小了系统开销，提高了性能，简化了实现。环形缓冲器能够起始于任何内存地址。

由于IALU的运算流水线为一个周期，所以，在大多数情况下，整数结果在下一个周期就能使用。如果结果在给定的周期不能使用的话，硬件（寄存器依赖检查）会产生相应的等待。

程序控制器

FDM-D10101的程序控制器支持如下功能：

1.完全可中断的编程模式，灵活地使用汇编语言和C/C++编程；高吞吐量的中断

处理以及不存在中止周期。

2.八周期指令流水线—三个周期取址流水，五个周期执行流水—运算结果将会在操作数可用两个周期以后得到。

3.提供取址的内存地址；控制器的指令对齐缓冲器（IAB）缓存最多5条预取并等待执行的指令，程序控制器从IAB中提取出指令行，并将指令分发给相应内核模块来执行。

4.管理由JUMP，CALL，RTI，RTS指令，循环结构，条件，中断和软件异常来决定的程序结构和程序流程。

5.分支预测和128位入口分支目标缓冲器（BTB）来减小分支跳转延迟，用以实现条件和无条件跳转指令的高效执行和零消耗循环；正确的预测跳转仅需要0到2个周期的开销，克服了3到6级转移损耗。

6.紧缩型代码无需在内存中对齐；IAB会处理对齐。

中断控制器

DSP支持嵌套和非嵌套中断。每种中断类型在中断向量表中拥有一个寄存器，并且在中断锁存寄存器和中断屏蔽寄存器中占有一位。除了$\overline{IRQ3-0}$硬件中断是可编程的以外，所有的中断能被固定设置成为边沿敏感或电平敏感。

DSP能够区分硬件中断和软件异常并分别处理。当软件异常出现时，DSP中止流水线中的所有指令。当硬件中断发生时，DSP将继续执行已经在流水线中的指令。

灵活的指令集

128-bit指令行能包含4个32-bit指令，提供了许多并行操作以简化编程。例如，一条指令行可以能够让DSP有条件的在两个运算模块中执行乘、加和减操作，同时跳转到程序的其他地方。指令集的一些主要特征包括：

1.为通信系统中Trellis解码（例如，Viterbi和Turbo解码器）和运用复数相关进行的解扩操作增强的指令

2.代数似的汇编语言语法

3.直接支持所有数字信号处理、图象和视频算数类型，去除了硬件模式

4.编码于指令内部的跳转预测，能够实现零消耗循环

5.指令行内部并行编码

6.所有的指令都可以条件执行

7.用户定义的程序和数据存储区

片内SRAM存储器

FDM-D10101拥有6Mbits片上SRAM存储器，该存储器被分为三个2Mbits的块（64K×32-bit）每个存储块——M0，M1，M2－能够存储程序、数据或同时存储程序和数据。所以，在应用中能够根据具体需要配置。将程序和数据存储在不同的存储块中，能够使得DSP可以在取指的同时访问数据。

DSP片内和外部的存储器被组织成一个统一的存储器映象，这个映象定义了系统中的所有元素的地址。参看图2。

这个映象被分为4个存储区：主机空间，外部存储器，多处理器空间和片内存储器。除主机空间外，每个空间又被分为更小的存储空间。

每个片内存储块都连接到128-bit宽的内部总线相连：块M0连接到MD0总线，块M1连接到MD1总线，块M2连接到MD2总线。这种连接使得DSP能够在一个周期内完成3个存储器传输。DSP内部总线结构提供了14.4G bytes/s的存储器带宽，使得内核和I/O可以在一个周期内访问8个32-bit数据字(256bits)和4个32-bit指令。

DSP的这种灵活的存储器结构使得：

1.DSP内核和I/O在同一周期里访问不同的存储块

2.DSP内核并行访问三个存储块，一个取指令，两个访问数据

3.可编程的程序存储器和数据存储器分区

4.程序可以以32-，64-或128-bit字的形式或者16-bit字的形式访问所有存储器（使用DAB）

5.20个周期（66ns）内完成上下文切换

外部端口（片外存储器和外设接口）

FDM-D10101提供了外部端口用以连接外部存储器和其他外设。在DSP统一的寻址空间中有4G的寻址空间。分开的片内总线——三条128-bit数据总线，三条32-bit地

址总线（通过选择器实现了外部系统总线），该总线提供了64-bit的数据总线和32-bit的地址总线。外部端口能提供800M bytes/s的访问速度。

外部总线能被配置成32-或者64-bit操作。当系统被配置成64-bit时，低32-bit连接到偶地址，高32-bit连接到奇地址。

外部端口支持流水，慢速和SDRAM协议。通过高地址线译码来产生存储块选择信号方便了外部存储器和存储器映射外设的访问。

FDM-D10101为同步访问提供了可编程的存储器、流水深度和空闲周期；为流水或慢速设备、主机处理器和其它存储器映射等带有较多变化的访问、保持和禁止时间要求的外设提供了应答控制。

主机接口

FDM-D10101在外部总线和主机处理器之间通过外部端口提供了方便和可配置的接口。为了能和各种主机处理器配合工作，主机接口支持流水或慢速的协议，用来被主机当作从机访问。每种协议带有可编程的传输参数，例如空闲状态，流水深度，插入等待状态等。

主机接口支持主机初始化的突发传输模式。在主机发出开始地址后，使$\overline{\text{BRST}}$信号有效，DSP将会在主机$\overline{\text{BRST}}$继续有效时增加地址。

主机接口提供了死锁恢复机制使得主机能够从DSP死锁中恢复。$\overline{\text{BOFF}}$信号提供了死锁恢复机制。当主机$\overline{\text{BOFF}}$有效时，DSP撤回当前的传送，并使$\overline{\text{HBG}}$信号有效，放弃外部总线。

主机能够直接读写FDM-D10101的片内存储器，能够访问DSP的大多数寄存器，包括DMA控制寄存器（TCB）。向量中断支持主机命令的有效执行。

多处理器接口

FDM-D10101通过外部端口和链路口为多处理器DSP系统定制了强大的功能。这种多处理器处理的能力为处理器间通讯提供最大的带宽，包括：

1．共享总线支持多达8个DSP

2．为无缝多处理器连接提供片内仲裁

3．用于点对点通讯的链路口

外部端口和链路口提供了集成的、无缝的多处理器支持。

外部端口支持统一的寻址空间（如图2），能够对每个FDM-D10101的内部存储器和寄存器进行处理器间的直接访问。DSP的片内分布式总线仲裁逻辑能够为由多达8个FDM-D10101和一个主机处理器组成的系统提供简单无缝的连接。总线仲裁提供循环优先权。总线锁定可连续的完成不可分开读-修改-写序列操作。总线公平特性防止一个DSP过长时间占有外部总线。

DSP的4个链路口为处理器间的通讯提供了又一种途径。吞吐量高达1Gbytes/s。簇型总线提供800M bytes/s的吞吐量，这就使处理器间的带宽总和达到1.8G bytes/s。

SDRAM控制器

SDRAM控制器控制FDM-D10101与同步DRAM（SDRAM）间的数据传输，使用外部端口和SDRAM控制引脚，每个SCLK周期吞吐32-或64-bit数据。

SDRAM接口提供与标准SDRAM——16M-bit，64M-bit,128M-bit和256M-bit的无缝接口。DSP直接支持最大达64M×32-bit的SDRAM。SDRAM接口被映射到DSP统一存储空间的外部存储器。

EPROM接口

FDM-D10101能够被配置为复位时通过外部端口从外部8位EPROM引导。复位后自动从EPROM装载程序到片内存储器，装载过程读访问时插入16个等待周期。引导时$\overline{\text{BMS}}$引脚用作EPROM的片选信号。EPROM引导过程使用DMA通道0，将Byte型数据打包成32-bit的指令。应用程序也可以通过DMA随时访问EPROM（写Flash存储器）。

EPROM或Flash存储器接口没有被映射到DSP的统一存储空间。这种字节寻址空间被限定为最大16MB（24个寻址位）。EPROM或Flash存储器接口引导后可以通过DMA使用。

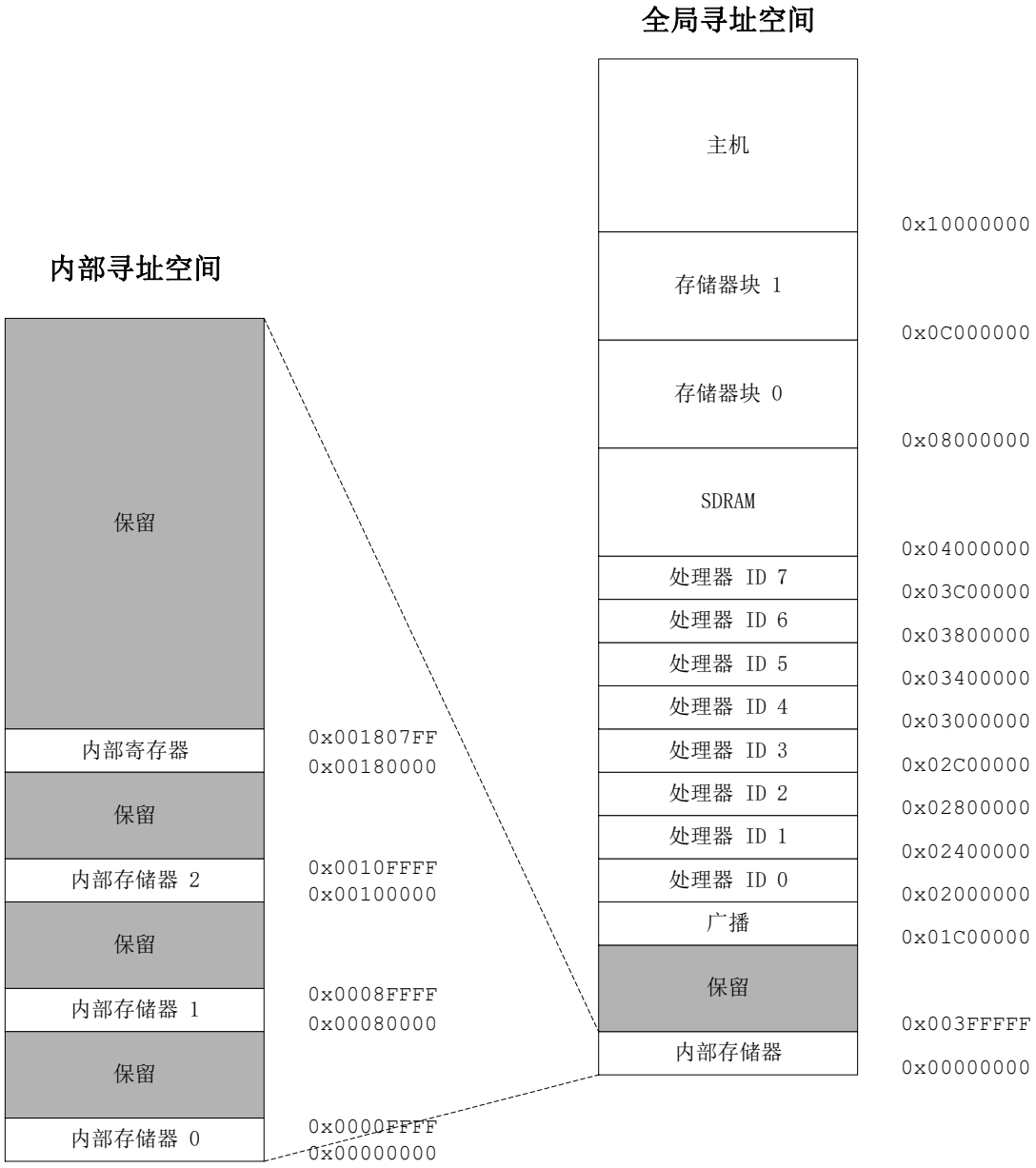


图2 FDM-D10101存储器映射

DMA控制器

FDM-D10101的片上DMA控制器，拥有14个DMA通道，提供处理器不干预的零开销数据传输。DMA控制器独立工作，对DSP内核是不可见的。即当DSP内核在持续执行程序指令时，DMA操作也可以发生。DMA控制器可以在下述场合执行DMA传输：

1.片内存储器和外部存储器以及存储器映射的外设

2.共享总线上的其它DSP的片内存储器、主机处理器或链路口

3.外部存储器和外设或链路口

4.外部主处理器和片内存储器或链路口之间进行。

DMA控制器执行下述的DMA操作：

1.外部端口模块的传输。4个专用的双向DMA通道用于在片内存储器和任何外部存储器以及存储器映射的外设之间传输数据。这些传输支持主模式和握手模式协议。

2.链路口传输。8个专用的DMA通道（4个发送，4个接收）传输4字的数据。只能在链路口之间，及链路口与片内或外部的存储器之间传输。这些传输只使用握手模式协议。在4个接收通道之间DMA优先权循环。

3.DMA自动传输。2个专用的单向DMA通道从外部的主处理器到片内存储器或到链路口传输接收到的数据。这些传输只使用从模式的协议，并且外部的主机处理器必须开始启动传输。

DMA控制器还具有下列增加的特性：

1.FLYBY传输。FLYBY操作只能通过外部端口（DMA通道0）执行，不涉及DSP内核。DMA控制器作为一个通道通过外部存储器从一个外设到另一个外设传输数据。数据传输时，DSP释放外部数据总线；输出地址，存储器的片选（$\overline{MS1-0}$，$\overline{MSSD}$，$\overline{RAS}$，$\overline{CAS}$，$\overline{SDWE}$）和FLYBY、IOEN，以及$\overline{RD}$ /$\overline{WR}$选通；然后响应ACK。

2. 链式DMA。链式DMA操作能够使应用程序自动地连接一个DMA传输到另一个DMA传输，组成DMA序列以使传输连续进行。序列可以由不同的DMA通道组成，具有不同的传输性质

3.二维传输。DMA控制器能够在任何一个DMA发送或接收通道上访问和传送2维内存阵列。这些传输通过索引、计数和修改X和Y两维寄存器来实现。

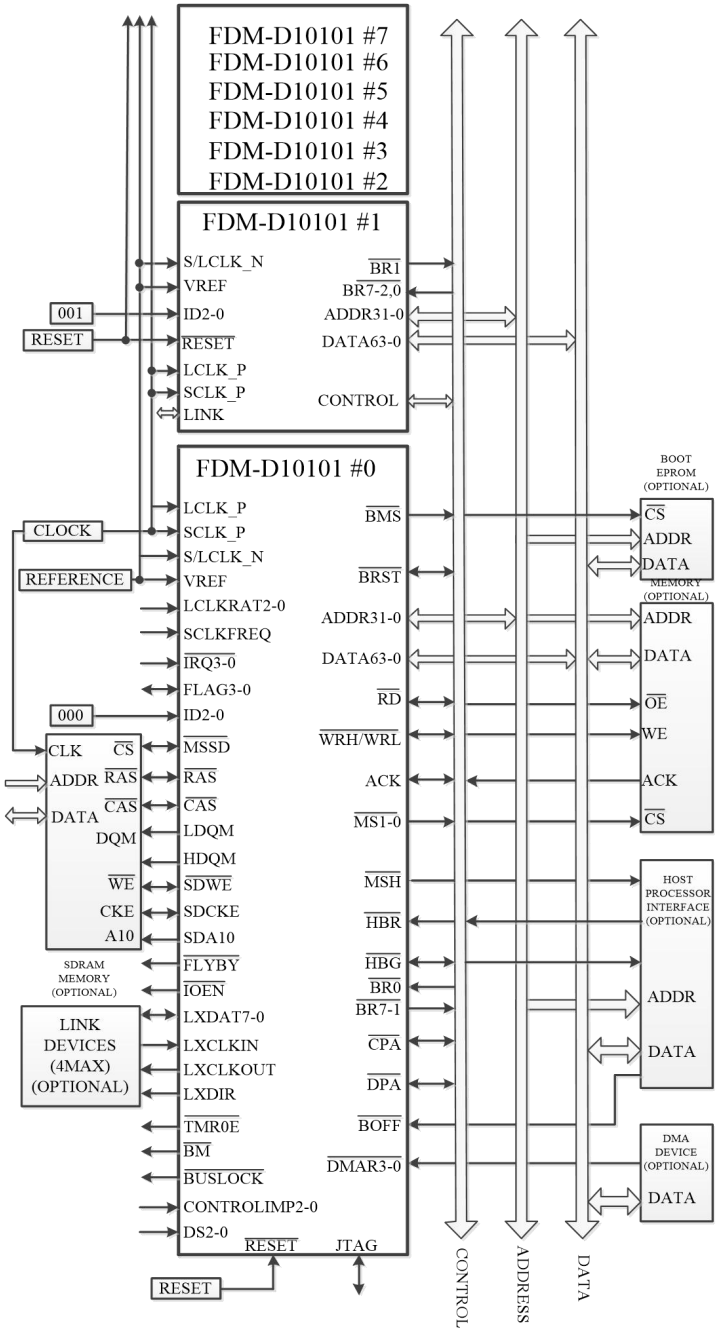


图3 FDM-D10101共享存储器的多处理器系统

链路口

DSP的4个链路口提供额外的8-bit双向I/O能力。以双倍速率——在125MHz时钟的上升和下降沿都锁存数据，即速率可高达250M bytes/s，组合起来最高吞吐量可达1G bytes/s。

链路口提供可供选择的通信通道，用于多处理器系统执行点对点的内部处理器通信。每个链路口都有自己的双缓冲输入和输出寄存器。DSP的内核可以直接写链路口

的发送寄存器和读接收寄存器，或DMA控制器通过8个专用的链路口DMA通道（4个发送，4个接收）进行传输。

每个链路口有3个信号用于控制操作。LxCLKOUT和LxCLKIN执行时钟/确认握手协议。LxDIR表明传输的方向且仅当对LxDAT信号进行缓冲的时候使用。一个应用例子是对长的双绞线使用差分低摆动的缓冲器。LxDAT提供8位数据总线的输入/输出。

应用程序能够对发送和接收进行错误检测机制、数据包的大小以及字节数据传输的速率的分别编程。（应用程序可以使用校验和机制来实现连续链路口传输）。

某些情况下，链路口接收器启动令牌切换来对传输方向进行反向操作，发送器转变为接收器，反之亦然。

定时器和通用I/O

FDM-D10101有一个定时器引脚（TMR0E），当编程的定时器计数满时产生输出；有四个可编程I/O引脚（$\overline{\text{FLAG3}-0}$），可以被用作输入或输出。作输出使用时，这些引脚可以驱动外设；作输入使用时，它们可以用作条件分支的测试。

复位和引导

FDM-D10101有两级复位（见第28页复位规格）：

1.上电复位—系统上电且Strap选项稳定后，$\overline{\text{RESET}}$引脚必须先有效（低）。

2.正常复位—上电复位后的任何复位，$\overline{\text{RESET}}$引脚必须至少有效。

通过设置SQCTL寄存器的SWRST位，DSP能够从内部复位（内核复位），但不影响外部端口和I/O。

复位后，FDM-D10101有四种引导选择：

1.从EPROM引导。当$\overline{\text{BMS}}$引脚Strap选项被设为低时，DSP缺省从EPROM引导。欲获得更多信息，参阅24页Strap引脚功能描述。

2.从外部主设备（主机或另一个FDM-D10101）引导。任何簇总线上的主设备都能够通过写它的内部存储器或通过自动DMA引导FDM-D10101。

3.从链路口引导。所有四个接收链路DMA通道复位后被初始化为传输256个字的块到内部存储器地址0到255，并在块传输（类似于EP DMA）完成后发出一个中断。

相应的DMA中断被设置在地址0。

4.无引导——从外部存储器开始执行。使用“无引导”方式，FDM-D10101必须从外部存储器开始执行，这通过使$\overline{IRQ3-0}$有效启动。

FDM-D10101内核总是通过复位退出空闲模式，并且等待中断。复位后中断向量表中的一些中断被初始化和使能。

抗辐照指标（仅针对抗辐照类型）

抗辐照总剂量能力：100Krad(Si)

抗单粒子效应能力：SEL≥75MeV·cm^2/mg

SEU≥37MeV·cm^2/mg

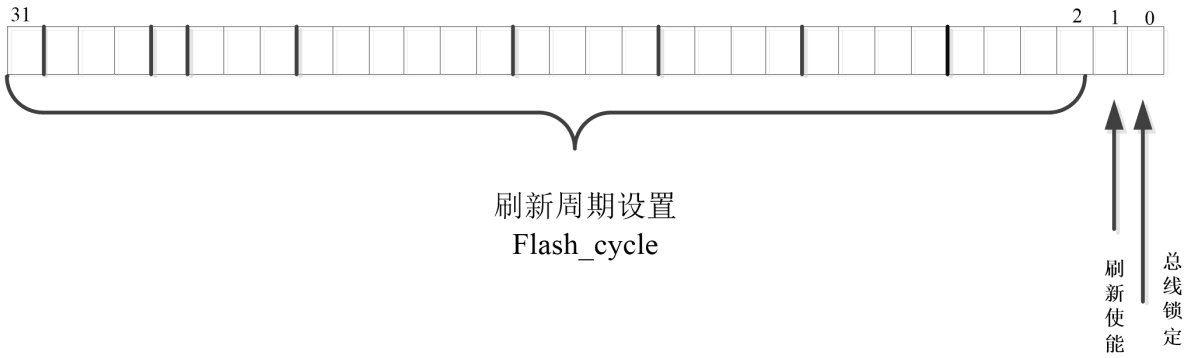
存储器刷新设置

为了实现存储器抗辐照功能，存储内部设置了刷新机制。当存储器中部分数据位被太空粒子打翻，通过存储器刷新机制仍然可以恢复数据。

存储器的刷新频率可配置，配置寄存器复用了BUSLK寄存器。如下图所示。

如果需要最快刷新：那么设置BUSLK=0x06；

C语言使用：__builtin_sysreg_write(__BUSLK,0x06);



刷新周期的定义：flash_cycle*2个周期对存储器的一个32空间进行一次刷新。建议芯片的刷新频率配置成最快刷新频率，即0x6.

低功耗运行

FDM-D10101能够进入低功耗休眠模式，该模式下内核不执行指令，将功耗减少最小。当检测到$\overline{IRQ3-0}$中任一中断引脚的下降沿后，FDM-D10101退出休眠模式。

中断如果被使能，FDM-D10101则执行相应的中断服务程序。这个特性对于需要低功耗待机模式的系统非常有用。

时钟范围

如图4所示，FDM-D10101有两个时钟输入分别驱动两个主要的时钟范围：

1.SCLK（系统时钟）。为外部总线接口提供时钟，并且作为外部总线信号的AC规范参考。外部总线接口运行于1×SCLK频率。DLL锁定内部SCLK到SCLK输入。最大的SCLK时钟频率为DSP内部时钟CCLK频率的一半。SCLK必须与LCLK连接到同一个时钟源。

2.LCLK（局部时钟）。为内部时钟CCLK提供时钟驱动，CCLK为内核、内部总线、存储器和链路口的时钟。指令执行速度也等于CCLK。PLL从LCLK产生锁相的CCLK。LCLKRAT引脚确定由LCLK到CCLK的时钟倍频数（如表4）。链路口时钟由CCLK通过软件可编程分频器得到。$\overline{\text{RESET}}$引脚在LCLK稳定以前必须有效，且有效时间依据规范不能小于2ms。这适用于系统上电和上电后任何对LCLK的动态修改。$\overline{\text{RESET}}$有效时，动态修改可能包括LCLK超出规范的规定。

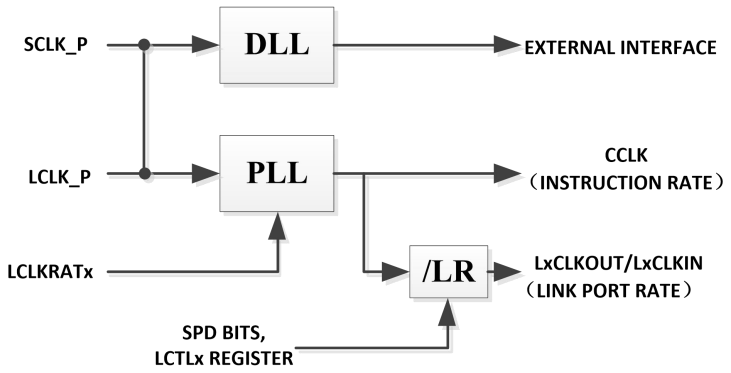


图4 时钟范围

连接SCLK和LCLK到同一个时钟源是芯片的要求。使用整数倍频能够提供可预测的周期到周期操作，这是容错系统和一些多处理器系统的需要。

非整数值完全是功能性的，对于不需要可预测的周期到周期操作的应用可以接受。

输出引脚驱动强度控制

相比进口DSP芯片，国产FDM-D10101不再使用阻抗控制引脚，该改变不会影响

芯片的具体工作，国产FDM-D10101输出驱动强度进行了改变，国产FDM-D10101输出强度仅可以通过DS2信号进行控制，而进口DSP输出强度需要通过DS2-0进行控制。

电源供电

FDM-D10101有两套独立的电源，分别提供给内部逻辑（VDD），模拟电路（VDD_A）和I/O缓冲（VDD_IO）。内部的(VDD)和模拟（VDD_A）电源必须满足1.2V的要求。I/O缓冲（VDD_IO）电源必须满足3.3V要求。

注意模拟（VDD_A）电源的时钟发生器PLL。为了产生稳定的时钟，系统必须给电源输入（VDD_A）提供干净的电源支持，尤其要注意旁路VDD_A电源。

DSP供电的上电顺序是先提供VDD（和VDD_A），然后是VDD_IO。

引脚功能描述

FDM-D10101的大多数输入引脚通常都是同步的——与特定的时钟相连，但也有少数引脚是异步的。对这些异步引脚，片内的同步电路用于防止它们的亚稳定性问题。异步信号的AC规格仅当需要可预测的周期到周期行为时才有用。

所有输入都根据参考时钟采样，因此输入规格（异步最小脉宽和同步输入建立和保持时间）必须被满足以确保识别。

复位时引脚状态

输出引脚通常可以三态。DSP复位时将所有的输出三态，允许这些引脚到达它们内部的上拉或下拉状态。有些输出引脚（控制信号）有上拉或下拉，能够在不同的驱动之间切换时保持已知的值。

引脚定义

下列表中的类型列描述了引脚的类型，端接列给出了系统中不用引脚的端接类型。注意有些引脚总是使用（用au符号表示）。

表3 引脚定义——时钟和复位

信号	类型	端接	描述
LCLK_N	I	au	NC内部未连接
LCLK_P	I	au	局部时钟输入。DSP时钟输入。指令周期速度＝n×LCLK，n可由用户编程到2，2.5，3，3.5，4，5或6。欲获得更多信息，见第8页的时钟范围
LCLKRAT2-01	I(pd[2])	au	LCLK比率。DSP内核时钟（指令周期速度）＝n×LCLK，n可由用户编程到2，2.5，3，3.5，4，5或6，见表4。DSP上电时这些引脚必须保持常值。

信号	类型	端接	描述
SCLK_N	I	au	NC内部未连接。
SCLK_P	I	au	系统时钟输入。DSP的簇型总线系统输入时钟。该引脚必须与LCLK_P连接到同一个时钟源。欲获得更多信息，见第8页的时钟范围。
SCLKFREQ	I(pd[2])	au	SCLK频率。需要SCLKFREQ=1。DSP上电时这些引脚必须保持常值。
$\overline{\text{RESET}}$	I/A	au	复位。设置DSP到已知的状态，使程序进入空闲状态。根据复位操作的类型，$\overline{\text{RESET}}$必须有效一段规定的时间。详细信息见第8页复位和引导。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD-IO}；nc=悬空；au＝总是使用			

[1]内部下拉可能不够，可能需要更强的下拉。

[2]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

[3]内部上拉可能不够，可能需要更强的上拉。

表4 LCLK比率

LCLKRAT2-0	比率
000（缺省）	2
001	2.5
010	3
011	3.5
100	4
101	5
110	6
111	PLL和DLL旁路

表5 引脚定义—外部端口总线控制

信号	类型	端接	描述
ADDR31-0[1]	I/O/T	nc	地址总线。DSP通过这些引脚发出访问存储器和外部设备的地址。多处理器系统中，总线主处理器控制访问片内存储器或其它FDM-D10101的I/O处理器寄存器。当一主机或其它DSP访问它的片内存储器或处理器寄存器时，DSP输入地址。
DATA63-0[1]	I/O/T	nc	外部数据总线。DSP通过这些引脚驱动和接收数据和指令
$\overline{\text{RD}}$[2]	I/O/T (pu[3])	nc	存储器读。当DSP从除SDRAM外的系统中任何从设备读时，RD都有效。若DSP为一从设备，则RD是一个输入，用来指示有读取它的片内存储器或通用寄存器的读交易发生。多处理器系统中，总线主处理器驱动$\overline{\text{RD}}$。$\overline{\text{RD}}$与ADDR引脚同时变化。
$\overline{\text{WRL}}$[2]	I/O/T (pu[3])	nc	低写信号。WRL在两种情况下有效：当FDM-D10101写到外部存储器一个偶地址或写到另一个外部总线管理者；并当FDM-D10101写到一个32位区域（主机，存储器或被编程为32位总线的DSP）。一个外部主处理器（主机或DSP）使WRL有效来写到DSP的片内存储器的低字。在多处理器系统中，总线主处理器驱动器$\overline{\text{WRL}}$。WRL与ADDR引脚同时变化。若DSP为一从设备，则$\overline{\text{WRL}}$是一个输入，用来指示对它的片内存储器或通用寄存器的写交易发生。

信号	类型	端接	描述
$\overline{WRH}$[2]	I/O/T (pu[3])	nc	高写信号。WRH有效当FDM-D10101写一长字（64位）或写到外部存储器的奇地址，或写到另一个64位数据总线上的外部总线管理者。一个外部主处理器（主机或其它DSP）要想写入DSP的64位数据总线的高位字必须选中 $\overline{WRH}$。多处理器系统中，总线主处理器驱动WRH。WRH与ADDR引脚同时变化。若DSP为一从设备，则$\overline{WRH}$是一个输入，用来指示对它的片内存储器或通用寄存器的写交易发生。
ACK	I/O/T	epu	应答。在外部存储器访问时，外部从设备可以拉低ACK来加入等待状态。ACK能被I/O设备、存储器控制器和其它外设使用。DSP可以拉低ACK来加入等待状态以读取它的片内存储器。在从设备写期间FDM-D10101不驱动ACK，因此，需要一个外接上拉电阻（大约10kΩ）。
$\overline{BMS}$[2,4]	O/T (pu/pd[3])	au	引导存储器选择。BMS是引导EPROM或flash存储器的芯片选择。在复位期间，DSP用BMS作为一个Strap引脚（EBOOT）来确定EPROM引导方式。当DSP被设置为从EPROM引导时,BMS在引导顺序中激活。RESET（有效）时下拉使能；在RESET后上拉使能。在多处理器系统中，DSP总线主处理器驱动BMS。详细信息请参看第8页复位与引导和第16页表14EBOOT信号描述。
$\overline{MS1-0}$[2]	O/T(pu[3])	nc	存储器选择。当DSP分别访问存储器bank0或1时，MS0或MS1就有效。MS1-0是译码后的存储器地址引脚，与ADDR引脚同时变化。当ADDR31:26=0b000010时，$\overline{MS0}$有效；ADDR31:26=0b000011时，$\overline{MS1}$有效。在多处理器系统中，主DSP驱动$\overline{MS1-0}$。
$\overline{MSH}$[2]	O/T(pu[3])	nc	存储器选择主机。只要DSP访问主机地址空间(ADDR31:28≠0b0000)，MSH就有效。MSH是译码后的存储器地址引脚，与ADDR引脚同时变化。在多处理器系统中，总线主处理器DSP驱动$\overline{MSH}$。
$\overline{BRST}$[2]	I/O/T(pu[3])	nc	突发。当前总线主处理器（DSP或主机）选中此引脚来指示要进行连续地址的读或写数据。从设备可以在第一个之后忽略地址，并且在每次传输之后内部地址计数器加一。对于主机到DSP的突发访问，$\overline{BRST}$有效时DSP自动增加地址。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至VSS；epu=外部上拉大约10kΩ至VDD-IO；nc=悬空；au＝总是使用			

[1]当一个处理器与主机交换总线控制权时，地址和数据总线可能浮空几个周期。该情况下的浮空意味着输入没有被任何源驱动，也没有直流偏置端接。由于这种浮空无可靠性问题，而且最坏情况下的功耗也可忽略不计，因此不需要加上拉电阻。但是未连接的地址引脚可能需要上拉或者下拉来避免错误的从设备选择，未连接的数据引脚可以悬空。

[2]内部上拉可能不够，可能需要更强的上拉。

[3]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

[4]内部下拉可能不够，可能需要更强的下拉。

表6 引脚定义—外部端口仲裁

信号	类型	端接	描述
BR7-0	I/O	epu	多处理器处理总线请求引脚。在多处理器系统中被用于仲裁总线主控权。每个DSP驱动各自的BRx引脚（对应于它的ID2-0的输入值），并且监控所用其它DSP的。在少于8个DSP的系统中,把未用到的BRx引脚置为高。
ID2-0[1]	I(pd[2])	au	多处理器ID。指明DSP的ID，从而DSP决定它在多处理器系统中的顺序。这些引脚也为DSP指示当前总线请求的是哪些总线请求（BR0到BR7）：000=BR0，001=BR1，010=BR2，011=BR3，100=BR4，101=BR5，110=BR6，111=BR7。ID2-0在系统运行期间必须有一恒定值，并且只能在系统复位期间改变。
BM[1]	O(pd[2])	au	总线主处理器。当前总线控制DSP使BM有效。仅仅为了调试。复位时这是一个Strap引脚。更多信息，见第17页表16。
BOFF	I	epu	撤销。当主机和一个DSP试图同时从对方的总线中读取时可能产生死锁情况。当死锁发生时，主机可以使BOFF有效而强迫DSP在完成它的当前任务之前放弃总线。
BUSLOCK[3]	O/T(pu[2])	nc	总线锁定指示。当前总线主处理器已经锁定总线时提供一个指示。
HBR	I	epu	主机总线请求。一个主机必须使HBR有效来请求对DSP外部总线的控制。在多处理器系统中当HBR有效时，总线主处理器一旦本次交易完成就放弃总线并使HBG有效。
HBG[3]	I/O/T (pu[2])	nc	主机总线授予。响应HBR信号并表示主机可以控制外部总线。放弃总线时，主DSP使ADDR31-0,DATA63-0,MSH,MSSD,MS1-0,RD,WRL,WRH,IOEN,BMS,BRST,FLYBY,RAS,CAS,SDWE,SDA10,SDCKE,LDQM和HDQM引脚成为三态，并且DSP使SDRAM成为自刷新模式。DSP使HBG有效直到主机使HBR无效。在多处理器系统中，当前总线主DSP驱动HBG，所有从DSP监视它。
CPA	I/O(o/d)	见描述	内核优先权访问。当DSP的内核访问到外部存储器时有效。此引脚能使一个从DSP去中断一个主DSP的后台DMA传输，并且获得外部总线的控制权。CPA是漏极开路输出，应连接到系统中的所有DSP。CPA引脚有一个500Ω的内部上拉电阻，它仅在DSP的ID2-0=0时才被使能。如果ID0不使用，则端接该引脚epu或nc；如果ID7-1不使用，则端接引脚epu。
DPA	I/O(o/d)	见描述	DMA优先权访问。当一个高优先级的DSPDMA通道访问外部存储器中时有效。此引脚能使一个在从DSP上的高优先级的DMA传输去中断一个在主DSP上的普通优先级的DMA传输，并获得外部总线的控制权。DPA是开漏输出，应连接到系统中的所有DSP。DPA引脚有一个500Ω的内部上拉电阻，它仅在DSP的ID2-0=0时才被使能。如果ID0不使用，则端接该引脚epu或nc；如果ID7-1不使用，则端接引脚epu。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至VSS；epu=外部上拉大约10kΩ至VDD-IO；nc=悬空；au＝总是使用			

[1]内部下拉可能不够，可能需要更强的下拉。

[2]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

[3]内部上拉可能不够，可能需要更强的上拉。

表7 引脚定义—外部端口DMA/Flyby

信号	类型	端接	描述
DMAR3-0	I/A	epu	DMA请求引脚。使能外部I/O设备从DSP处请求DMA服务。响应DMARx后，DSP根据DMA通道设置的初始化执行DMA传输。DSP忽略从未初始化的DMA通道发来的的请求。
FLYBY[1]	O/T(pu[2])	nc	Flyby模式。当一个DSPDMA通道以FLYBY模式启动，它就在外部总线上产生Flyby交易。在Flyby交易期间，DSP声明FLYBY，指示源和目的I/O设备分别所存下一个数据和选通当前数据，并为下一循环的下一数据做准备。
IOEN[1]	O/T(pu[2])	nc	I/O设备输出使能。为设备和外部存储器之间的Flyby交易而使能外部I/O设备的输出缓冲。Flyby交易时有效
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至VSS；epu=外部上拉大约10kΩ至VDD-IO；nc=悬空；au＝总是使用			

[1]内部上拉可能不够，可能需要更强的下拉。

[2]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

表8 引脚描述—外部口SDRAM控制器

信号	类型	端接	描述
$\overline{\text{MSSD}}$1	I/O/T (pu[2])	nc	Memory选择SDRAM。无论何时DSP访问SDRAM存储空间$\overline{\text{MSSD}}$均有效。$\overline{\text{MSSD}}$是一个译码的存储器地址引脚，无论DSP何时发出SDRAM命令（访问地址31：26=0b000001）它均有效。多处理器系统中，主DSP驱动$\overline{\text{MSSD}}$。
$\overline{\text{RAS}}$1	I/O/T (pu[2])	nc	RowAddressSelect（行地址选择信号）。在对SDRAM进行读写操作的时候低电平用于标记行地址为有效地址。在其他SDRAM的访存过程中，根据SDRAM的设计规范，定义了操作的类型。
$\overline{\text{CAS}}$1	I/O/T (pu[2])	nc	ColumnAddressSelect（列地址选择信号）。在对SDRAM进行读或者写操作的时候，$\overline{\text{CAS}}$的低电平表示地址为有效地址。在其他SDRAM访问过程中，根据SDRAM的设计规范，定义了操作的类型。
LDQM1	O/T(pu[2])	nc	低字SDRAM数据屏蔽。采样为高，SDRAM的DQbuffer为三态。进行传输事务的时候LDQM在$\overline{\text{CAS}}$拉低的情况下表示LDQM是合法的，读操作的时候无效。在写操作过程中，用64-bit的memory总线进行奇数地址的word访存的时候LDQM是有效的，用来屏蔽低位32-bit（word）数据。
HDQM1	O/T(pu[2])	nc	高字SDRAM数据屏蔽。采样为高的时候，SDRAM的DQ数据位三态。$\overline{\text{CAS}}$有效的前提下，HDQM有效，读操作的时候无效。在写操作的过程中，进行偶数地址的word访问或者是32-bit的数据总线用来屏蔽高32-bit数据的写访问时候，该信号有效。
SDA101	O/T(pu[2])	nc	独立的SDRAM第10bit地址引脚。当DSP执行SDRAM传输事务的时候，独立的A10可以使能SDRAM的刷新操作。

信号	类型	端接	描述
SDCKE1，3	I/O/T(pu/pd[2])	nc	SDRAM时钟使能信号。为SDRAM的自刷新或者挂起模式下使能SDRAM的时钟。在多处理系统中，slaveDSP不需要对该信号进行上拉或者下拉操作。MasterDSP（或者ID=0，在一个单处理器系统）在授权给主机之前除去SDRAM在自刷新模式下，其他情况都需要上拉。在自刷新模式下，在授权给主机之前需要进行下拉操作。
$\overline{\text{SDWE}}$1	I/O/T(pu[2])	nc	SDRAM写使能。在$\overline{\text{CAS}}$有效时，如果采样到$\overline{\text{SDWE}}$为低电平，表示SDRAM正在进行写操作。同样，在$\overline{\text{CAS}}$有效时，如果采样到$\overline{\text{SDWE}}$为高电平，表示SDRAM正在进行读操作。在进行其他SDRAM的操作时，$\overline{\text{SDWE}}$是根据SDRAM的设计规范定义了操作的类型。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至VSS；epu=外部上拉大约10kΩ至VDD-IO；nc=悬空；au＝总是使用			

[1]内部上拉可能不够，可能需要更强的下拉。

[2]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

[3]内部上拉可能不够，可能需要更强的上拉。

表9 引脚定义—JTAG口

信号	类型	端接	描述
$\overline{\text{EMU}}$	O(o/d)	nc[1]	仿真。连接到DSP的JTAG仿真目标板的插头。
TCK	I	epd或epu[1]	测试时钟（JTAG）。为JTAG扫描提供一个异步时钟。
TDI[1]	I(pu[3])	nc[1]	测试数据输入（JTAG）。扫描路径的串行数据输入。
TDO	O/T	nc[1]	测试数据输出（JTAG）。扫描路径的串行数据输出。
TMS[1]	O(pu[3])	nc[1]	测试模式选择（JTAG）。用于控制测试状态机。
$\overline{\text{TRST}}$[1]	I/A(pu[3])	au	独立的SDRAM第10bit地址引脚。当DSP执行SDRAM传输事务的时测试复位（JTAG）。复位测试状态机。上电后，正确的器件操作是TRST必须为有效或低脉冲。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至VSS；epu=外部上拉大约10kΩ至VDD-IO；nc=悬空；au＝总是使用			

[1]参见第10页JTAG仿真技术参考EE-68。

[2]内部上拉可能不够，可能需要更强的上拉。

[3]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

表10 引脚定义—标志、中断和定时器

信号	类型	端接	描述
FLAG3-0	I/O/A (pd[2])	nc[1]	标志引脚。双向的输入/输出引脚能被用作编程条件。每个引脚可以被独立配置为输入或输出。FLAG3-0是在上电和复位后为输入。
TCK	I/A (pu[2])	epd或epu[1]	中断请求。有效时，DSP产生一个中断。*IRQ*3-0的每一个引脚可以被独立设置为边沿触发或电平触发。复位之

信号	类型	端接	描述
			后，这些引脚被禁止，除非*IRQ*3-0的Strap选项和中断向量已被初始化引导。
TMR0E[1]	O(pd[2])	nc[1]	定时器0计满。无论何时定时器0计满，此脉冲输出仅对应四个SCLK周期。复位时，这是一个Strap引脚。详细信息请看第表14。
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD-IO}；nc=悬空；au＝总是使用			

[1]内部下拉可能不够，可能需要更强的下拉。

[2]电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

[3]内部上拉可能不够，可能需要更强的上拉。

表11 引脚定义—链路口

信号	类型	端接	描述
L0DAT7-0	I/O	nc	Link0Data7-0
L1DAT7-0	I/O	nc	Link1Data7-0
L2DAT7-0	I/O	nc	Link2Data7-0
L3DAT7-0	I/O	nc	Link3Data7-0
L0CLKOUT	O	nc	Link0时钟/确认输出
L1CLKOUT	O	nc	Link1时钟/确认输出
L2CLKOUT	O	nc	Link2时钟/确认输出
L3CLKOUT	O	nc	Link3时钟/确认输出
L0CLKIN	I/A	epu	Link0时钟/确认输入
L1CLKIN	I/A	epu	Link1时钟/确认输入
L2CLKIN	I/A	epu	Link2时钟/确认输入
L3CLKIN	I/A	epu	Link3时钟/确认输入
L0DIR	O	nc	Link0方向（0输入，1输出）
L1DIR	O	nc	Link1方向（0输入，1输出）
L2DIR[2]	O(pd[3])	nc	Link2方向（0输入，1输出） 复位时是一个Strap引脚。
L3DIR	O(pd[3])	nc	Link3方向（0输入，1输出）
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD-IO}；nc=悬空；au＝总是使用			

[1]链路口数据引脚，若被连接或长时间浮空（例如，令牌从者而没有令牌持有者），不需要加上拉或下拉电阻，因为没有不可靠的问题发生且最坏情况的功耗对这些浮空引脚的影响也可以忽略的。在此情况下的浮空意味着这些引脚不被任何源所驱动且直流偏置终端也不存在。

[2]内部下拉可能不够，可能需要更强的下拉。

[3]见第18页电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

表12 引脚定义—阻抗和驱动强度控制

信号	类型	端接	描述
CONTROLIMP2-1[1] CONTROLIMP0[2]	I(pu[3]) I(pd[3])	au au	CONTROLIMP1 建议外部上拉，或者不连接（内部上拉）。 CONTROLIMP2 CONTROLIMP0 不连接，即使有连接也不影响内部功能。
DS2-0	I(pd[3])	au	DS2 0----------较低驱动强度 1----------较高驱动强度 DS1、DS0不连接，即使有连接也不影响内部功能
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD-IO}；nc=悬空；au＝总是使用			

[1]内部上拉可能不够，可能需要更强的上拉。

[2]内部下拉可能不够，可能需要更强的下拉。

[3]见电气特性的最大和最小消耗电流来确定上拉和下拉的阻抗。

表13 引脚定义—电源、地和参考

信号	类型	端接	描述
V_{DD}	I/O	au	内部逻辑的VDD引脚。
V_{DD_A}	I/O	au	模拟电路的VDD引脚。对旁路这个电源应予以高度重视。
V_{DD_IO}	I/O	au	I/O缓冲器的VDD引脚。
V_{REF}	I/O	au	NC内部未连接
V_{SS}	O	au	地
V_{SS_A}	O	au	模拟地
NC	_		悬空
类型符号：A=异步；G=地；I=Input；O=Output；o/d＝开漏输出；P=电源；pd＝内部下拉大约51kΩ；pu＝内部上拉大约51kΩ；T=三态			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD-IO}；nc=悬空；au＝总是使用			

STRAP引脚功能描述

复位时一些引脚有第二功能。Strap选择设置DSP的运行模式。复位期间，DSP采样Strap选择引脚。Strap引脚的缺省值是一个51KΩ的下拉电阻。如果Strap引脚没有外部上拉电阻或逻辑负载，则DSP在复位时取缺省值。如果Strap引脚已连上了逻辑输入，根据漏电流和/或逻辑负载的低电平输入电流，或许需要一个更强的外部下拉电阻来保证缺省值。要设置缺省模式以外的其它模式，连接Strap引脚到一个足够强的外部

上拉电阻。表格16列出并描述了DSP的每一个Strap引脚。

表14 引脚描述—I/OStrap引脚

信号	作用于引脚	描述
EBOOT	$\overline{BMS}$	EPROM引导 0=复位后立即从EPROM引导（缺省） 1=复位后进入空闲状态，等待外部设备通过外部端口或链路口引导DSP
IRQEN	$\overline{BM}$	中断使能 0=复位后被禁止并设置IRQ3-0中断为电平敏感（缺省） 1=复位后有效并立即设置IRQ3-0中断为边沿敏感
TM1	L2DIR	测试模式1 0=复位期间需要设置 1=保留
TM2	TMROE	测试模式2 0=复位期间需要设置 1=保留

FDM-D10101—技术规格

推荐操作条件

表15 推荐操作条件

参数		测试条件	最小	典型	最大	单位
V_{DD}	内部（内核）供电电压		1.14		1.26	V
V_{DD_A}	模拟供电电压		1.14		1.26	V
V_{DD_IO}	外部（I/O）供电电压		3.15		3.45	V
T_{CASE}	外壳工作温度		-55		+125	℃
V_{IH}	高电平输入电压[1]	@VDD,VDD_IO=max	2		V_{DD_IO}+0.5	V
V_{IL}	低电平输入电压[1]	@VDD,VDD_IO=min	-0.5		0.8	V
I_{DD}	典型情况下VDD供电电流[2]	@CCLK=250MHz,VDD=1.25VTCASE=25ºC		1.2		A
I_{DD}	典型情况下VDD供电电流[2]	@CCLK=300MHz,VDD=1.25VTCASE=25ºC		1.5		A
$I_{DDIDLELP}$	执行IDLELP指令时VDD供电电流	@CCLK=300MHz,VDD=1.20VTCASE=25ºC		173		mA
I_{DD_IO}	典型情况下VDD供电电流[2]	@SCLK=100MHz,VDD_IO=3.3VTCASE=25ºC		137		mA
V_{REF}	基准电压		1.4		1.6	V

规格有改动不另行通知。

[1]适用于输入和双向引脚。

[2]对于内部和外部功耗估算的详细信息，包括功率矢量定义、电流使用描述和公式等。

电气特性

表16 电气特性

参数		测试条件	最小	最大	单位
V_{OH}	高电平输出电压1	@VDD_IO=min,IOH=–2mA	2.4		V
V_{OL}	低电平输出电压1	@VDD_IO=min,IOL=4mA		0.4	uA
I_{IH}	高电平输入电流2	@VDD_IO=max,VIN=VDD_IOmax		10	uA
I_{IHP}	高电平输入电流（pd）2	@VDD_IO=max,VIN=VDD_IOmax	17.2	44.5	uA
I_{IL}	低电平输入电流3	@VDD_IO=max,VIN=0V		10	uA
I_{ILP}	低电平输入电流（pu）4	@VDD_IO=max,VIN=0V	-69	-23	uA
I_{OZH}	三态漏电流高[5,6]	@VDD_IO=max,VIN=VDD_IOmax		10	uA
I_{OZHP}	三态漏电流高（pd)[7]	@VDD_IO=max,VIN=VDD_IOmax	17.2	44.5	uA
I_{OZL}	三态低漏电流[8]	@VDD_IO=max,VIN=0V		10	uA
I_{OZLP}	三态漏电流低（pu)[9]	@VDD_IO=max,VIN=0V	-69	-23	uA
I_{OZLO}	三态漏电流低（od)[7]	@VDD_IO=max,VIN=0V	-9.8	-4.6	uA
C_{IN}	输入电容[10,11]	@fIN=1MHz,TCASE=25°C,VIN=2.5V		5	pF

规格有改动不另行通知。

[1]适用于输入和双向引脚。

[2]适用于带内部下拉电阻的输入引脚（pd）。

[3]适用于不带内部上拉电阻的输入引脚（pu）。

[4]适用于带内部上拉电阻的输入引脚（pu）。

[5]适用于不带内部下拉电阻的三态引脚（pd）。

[6]适用于带500Ω上拉电阻的漏极开路引脚。

[7]适用于带内部下拉电阻的三态引脚（pd）。

[8]适用于不带内部上拉电阻的三态引脚（pu）。

[9]适用于带内部上拉电阻的三态引脚（pu）。

[10]用于所有信号。

[11]保证但未测试。

绝对最大额定值

内部（内核）供电电压（VDD）1……-0.3V到+1.40V

模拟（PLL）供电电压（VDD_A）1……-0.3V到+1.40V

外部（I/O）供电电压（VDD_IO）1……-0.3V到+4.6V

输入电压1……-0.5V到VDD_IO+0.5V

输电压摆幅1……-0.5V到VDD_IO+0.5V

储存温度范围……-65ºC到+150ºC

[1]过载大于上述值时芯片会受到永久性损坏。以上只是过载额定值，芯片在超出上述条件下的工作情况没有给出。在最大额定值条件下持续工作可能影响芯片的可靠性。

ESD敏感性

注意:ESD（静电放电）灵敏器件。静电容易在人体或测试设备上积累高达4000V且放电不宜察觉。虽然FDM-D10101有ESD保护电路，但当芯片受到高能静电放电时可能会受到永久性破坏。因此，采用适当的ESD保护措施，以防止芯片性能降低和功能损失。

时序规格

除了链路口、DMAR3-0和$\overline{IRQ3-0}$引脚，FDM-D10101的所有交流定时都相对于参考时钟边沿。因为输入建立/保持，输出有效/保持，和输出使能/禁止时间相对于参考时钟边沿，FDM-D10101定时数据只有少量计算数值（依靠公式）。关于交流定时，见通用交流定时。关于链路口传输时序，链路口数据传输和令牌切换时序。

通用交流定时

定时是当信号像图10所描述的那样越过1.5V水平时的测量，所有的延迟（纳秒级）在第一个信号到达1.5V的点与第二个信号到达1.5V的点之间都要被测量。关于$\overline{IRQ3-0}$、DMAR3-0、TMR0E、$\overline{FLAG3-0}$（输入）和$\overline{TRST}$引脚的交流异步定时数据见表17。通用交流定时见表18、表22和表23。

表17 交流异步信号规格—表中所有值都在ns级

名称	描述	脉冲宽度低	脉冲宽度高
$\overline{IRQ3-0}$[1]	中断请求	t_{CCLK} + 3 ns	
$\overline{DMAR3-0}$[1]	DMA请求	t_{CCLK} + 4 ns	t_{CCLK} + 4 ns
TMR0E	定时器0计满输出	3 x t_{CCLK} ns	4 x t_{CCLK} ns
FLAG3-0[1,2]	标志引脚输入	1ns	
$\overline{TRST}$	JTAG测试复位输入		

[1] 这些输入引脚不需要与参考时钟同步。

[2] 输出规格见表22和表23.

表18 参考时钟

信号	类型	描述	速度等级（MHZ）	时钟周期最小（ns）	时钟周期最大（ns）	时钟高最小（ns）	时钟低最小（ns）	输入抖动[1] 允许（ps）
CCLK[2,3]		内核时钟	250	4.0	12.5			
CCLK[2,3]		内核时钟	300	3.3	12.5			
LCLK_P[4,5,6,7]	输入	局部时钟	250	大于10或CRx4.0	CRx12.5	{40%到60%占空比周期}		100
LCLK_P[4,5,6,7]	输入	局部时钟	300	大于10或CRx(10/3)	CRx12.5	{40%到60%占空比周期}		100
SCLK_P[3,7,8,9]	输入	系统时钟SCLKFREQ=1	ALL	大于10或CCLKx2	25	{40%到60%占空比周期}		100
TCK[10]	输入	测试时钟（JTAG）	ALL	大于30或CCLKx4		12.5	12.5	

[1]实际输入抖动应当与交流规格综合考虑来做精确定时分析。

[2]CCLK为内部DSP时钟或指令周期时间。此时钟周期等于局部时钟比率(LCLKRAT2-0)被局部时钟周期(LCLK_P)除。可用的内部DSP时钟速率的信息。

[3]CCLK的周期为tCCLK。

[4]内核时钟比率(CR)为2,2.5,3,3.5,4,5,或6，由LCLKRAT2-0引脚设置。更多信息，见表4。

[5]见时钟范围。

[6]LCLK的周期为tLCLK。

[7]LCLK_P和SCLK_P必须连到同一个源上。

[8]更多信息，见表3

[9]SCLK的周期为tSCLK。

[10]TCK的周期为tTCK。

上电顺序，上电复位和正常复位（热复位）时序规格

对于上电顺序，上电复位和正常复位（热复位）定时规格要求，分别参考表19和图6，表20和图7及表21和图8。

表19 上电顺序时序

参数	符号	极限值		单位
		最小	最大	
V_{DD_IO}在V_{DD}和V_{DD_A}稳定和符合规格之后稳定并符合规格的时间	t_{VDD_IO}	>0	-	ms

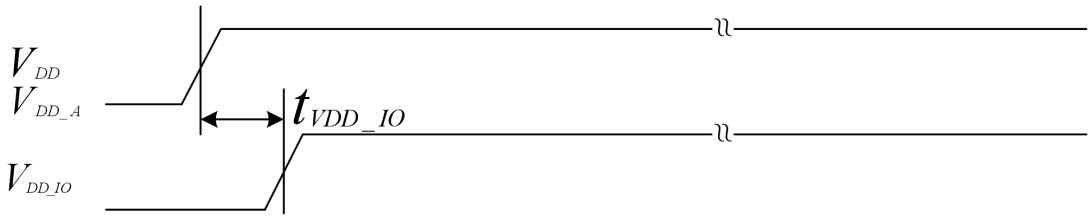


图6 上电顺序定时

表20 上电复位时序

参数	符号	极限值		单位
		最小	最大	
V_{DD}, V_{DD_A}, V_{DD_IO}, **SCLK/LCLK**,和静态/设置管脚稳定并符合规格之后$\overline{RESET}$处于低电平（有效）的时间	t_{START_LO}	2	-	ms
$\overline{RESET}$第一个高电平（无效）的时间	t_{PULSE1_HI}	50 ×t_{SCLK}	100 ×t_{SCLK}	ns
$\overline{RESET}$第二个低电平（有效）的时间	t_{PULSE2_LO}	100 ×t_{SCLK}	-	ns
$\overline{TRST}$在上电（$\overline{RESET}$有效）时低电平（有效）的时间	t_{TRST_PWR}	2 ×t_{SCLK}	-	ns

[1]适用于VDD，VDD_A，VDD_IO，SCLK/LCLK和静态/Strap引脚稳定且符合规格后RESET失效前。

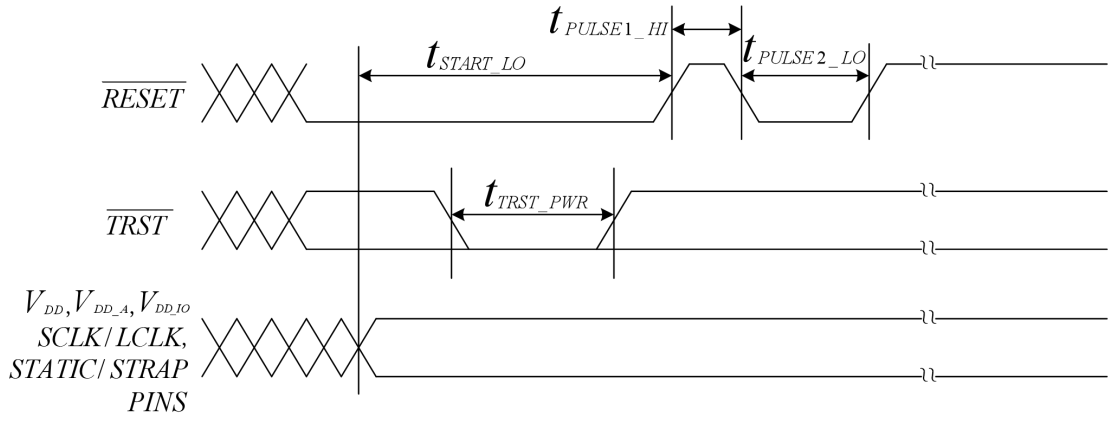


图7 上电复位定时

表21 正常复位（热复位）时序

参数	符号	极限值		单位
		最小	最大	
RESET 低电平（有效）的时间	t_{RST_IN}	100 ×t_{SCLK}	–	ns
RESET 在设置管脚稳定后有效的时间	t_{STRAP}	2	–	ms

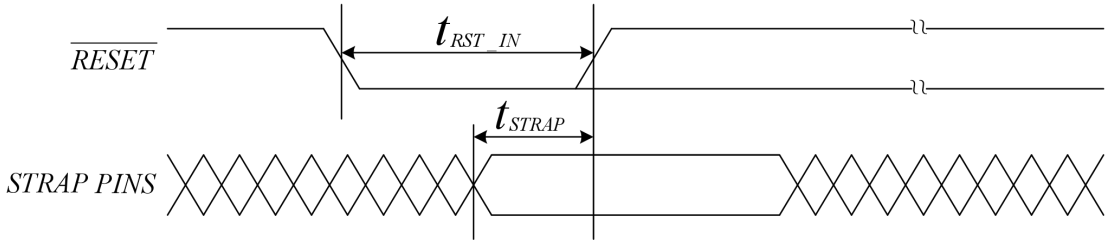


图8 正常复位时序（热启动）

表22 交流信号规格（SCLK<16.7ns）——表中所有值都在ns级

名称	参数	输入建立时间（最小）	输入保持时间（最小）	输出有效时间（最大）	输出保持时间（最小）	输出使能时间（最小）	输出禁止时间（最大）	参考时钟	单位
ADDR31–0	内部地址总线	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
DATA63–0	外部数据总线	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{MSH}}$	存储器主机片选信号	–	–	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{MSSD}}$	存储器SDRAM片选信号	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{MS0-1}}$	存储器静态块选择	–	–	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{RD}}$	存储器读	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{WRL}}$	低字写	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{WRH}}$	高字写	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
ACK	数据应答	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
SDCKE	SDRAM时钟使能	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{RAS}}$	行地址选择	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{CAS}}$	列地址选择	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{SDWE}}$	SDRAM写使能	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
LDQM	SDRAM低字屏蔽	–	–	4.2	1.0	0.9	2.5	SCLK	ns
HDQM	SDRAM高字屏蔽	–	–	4.2	1.0	0.9	2.5	SCLK	ns
SDA10	SDRAMADDR10	–	–	4.2	1.0	0.9	2.5	SCLK	ns

名称	参数	输入建立时间（最小）	输入保持时间（最小）	输出有效时间（最大）	输出保持时间（最小）	输出使能时间（最小）	输出禁止时间（最大）	参考时钟	单位
$\overline{\text{HBR}}$	主机总线请求	2.2	0.5	–	–	–	–	SCLK	ns
$\overline{\text{HBG}}$	主机总线授予	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{BOFF}}$	请求撤销	2.2	0.5	–	–	–	–	SCLK	ns
$\overline{\text{BUSLOCK}}$	总线锁定	–	–	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{BRST}}$	突发存取	2.2	0.5	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{BR}}$7-0	多处理器处理总线请求	2.2	0.5	4.2	1.0	–	–	SCLK	ns
$\overline{\text{FLYBY}}$	FLYBY模式选择	–	–	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{IOEN}}$	FLYBYI/O使能	–	–	4.2	1.0	0.9	2.5	SCLK	ns
$\overline{\text{CPA}}$	内核优先访问	2.2	0.5	5.8	–	–	2.5	SCLK	ns
$\overline{\text{DPA}}$	DMA优先访问	2.2	0.5	5.8	–	–	2.5	SCLK	ns
$\overline{\text{BMS}}$	引导存储器选择	–	–	4.2	1.0	0.9	2.5	SCLK	ns
FLAG3-0	FLAG引脚	–	–	4.2	1.0	1.0	4.0	SCLK	ns
TMR0E	定时器计满	-	-	4.2	1.0			SCLK	ns
$\overline{\text{RESET}}$	全局复位	–	–	–	–	–	–	SCLK	ns
TMS	测试模式选择(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
TDI	测试数据输入(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
TDO	测试数据输出(JTAG)	–	–	6.0	1.0	1.0	5.0	TCK_FE	ns
$\overline{\text{TRST}}$	测试复位(JTAG)	–	–	–	–	–	–	TCK	ns
$\overline{\text{BM}}$	总线主处理器	–	–	4.2	1.0	–	–	SCLK	ns
$\overline{\text{EMU}}$	仿真	–	–	5.5	–	–	5.0	TCK或LCLK	ns
JTAG_SYS_IN	系统输入	1.5	11.0	–	–	–	–	TCK	ns
JTAG_SYS_OUT	系统输出	–	–	16.0	–	–	–	TCK_FE	ns
ID2-0	必须恒定								
CONTROLIMP2-0	必须恒定								
DS2-0	必须恒定								
LCLKRAT2-0	必须恒定								
SCLKFREQ	必须恒定								

表23 交流信号规格（16.7ns≤SCLK≤25ns）——表中所有值都在ns级

名称	描述	输入建立时间(最小)	输入保持时间(最小)	输出有效时间(最大)	输出保持时间(最小)	输出使能时间(最小)	输出禁止时间(最大)	参考时钟	单位
ADDR31–0	内部地址总线	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
DATA63–0	外部数据总线	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{MSH}}$	存储器主机片选信号	–	–	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{MSSD}}$	存储器SDRAM片选信号	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{MS0-1}}$	存储器静态块选择	–	–	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{RD}}$	存储器读	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{WRL}}$	低字写	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{WRH}}$	高字写	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
ACK	数据应答	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
SDCKE	SDRAM时钟使能	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{RAS}}$	行地址选择	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{CAS}}$	列地址选择	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{SDWE}}$	SDRAM写使能	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
LDQM	SDRAM低字屏蔽	–	–	4.2	0.8	0.3	2.5	SCLK	ns
HDQM	SDRAM高字屏蔽	–	–	4.2	0.8	0.3	2.5	SCLK	ns
SDA10	SDRAM *ADDR*10	–	–	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{HBR}}$	主机总线请求	2.8	0.5	–	–	–	–	SCLK	ns
$\overline{\text{HBG}}$	主机总线授予	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{BOFF}}$	请求撤销	2.8	0.5	–	–	–	–	SCLK	ns
$\overline{\text{BUSLOCK}}$	总线锁定	–	–	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{BRST}}$	突发存取	2.8	0.5	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{BR7-0}}$	多处理器处理总线请求	2.8	0.5	4.2	0.8	–	–	SCLK	ns
$\overline{\text{FLYBY}}$	FLYBY模式选择	–	–	4.2	0.8	0.3	2.5	SCLK	ns
$\overline{\text{IOEN}}$	FLYBYI/O使能	–	–	4.2	0.8	0.3	2.5	SCLK	ns

名称	描述	输入建立时间(最小)	输入保持时间(最小)	输出有效时间(最大)	输出保持时间(最小)	输出使能时间(最小)	输出禁止时间(最大)	参考时钟	单位
$\overline{\text{CPA}}$	内核优先访问	2.8	0.5	5.8	–	–	2.5	SCLK	ns
$\overline{\text{DPA}}$	DMA优先访问	2.8	0.5	5.8	–	–	2.5	SCLK	ns
$\overline{\text{BMS}}$	引导存储器选择	–	–	4.2	0.8	0.3	2.5	SCLK	ns
FLAG3-0	FLAG引脚	–	–	4.2	1.0	1.0	4.0	SCLK	ns
TMR0E	定时器0计满			4.2	1.0				
$\overline{\text{RESET}}$	全局复位	–	–	–	–	–	–	SCLK	ns
TMS	测试模式选择(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
TDI	测试数据输入(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
TDO	测试数据输出(JTAG)	–	–	6.0	1.0	1.0	5.0	TCK_FE	ns
$\overline{\text{TRST}}$	测试复位(JTAG)	–	–	–	–	–	–	TCK	ns
$\overline{\text{BM}}$	总线主处理器	–	–	4.2	0.8	–	–	SCLK	ns
$\overline{\text{EMU}}$	仿真	–	–	5.5	–	–	5.0	TCK或LCLK	ns
JTAG_SYS_IN	系统输入	1.5	11.0	–	–	–	–	TCK	ns
JTAG_SYS_OUT	系统输出	–	–	16.0	–	–	–	TCK_FE	ns
ID2-0	必须恒定								
CONTROLIMP2-0	必须恒定								
DS2-0	必须恒定								
LCLKRAT2-0	必须恒定								
SCLKFREQ	必须恒定								

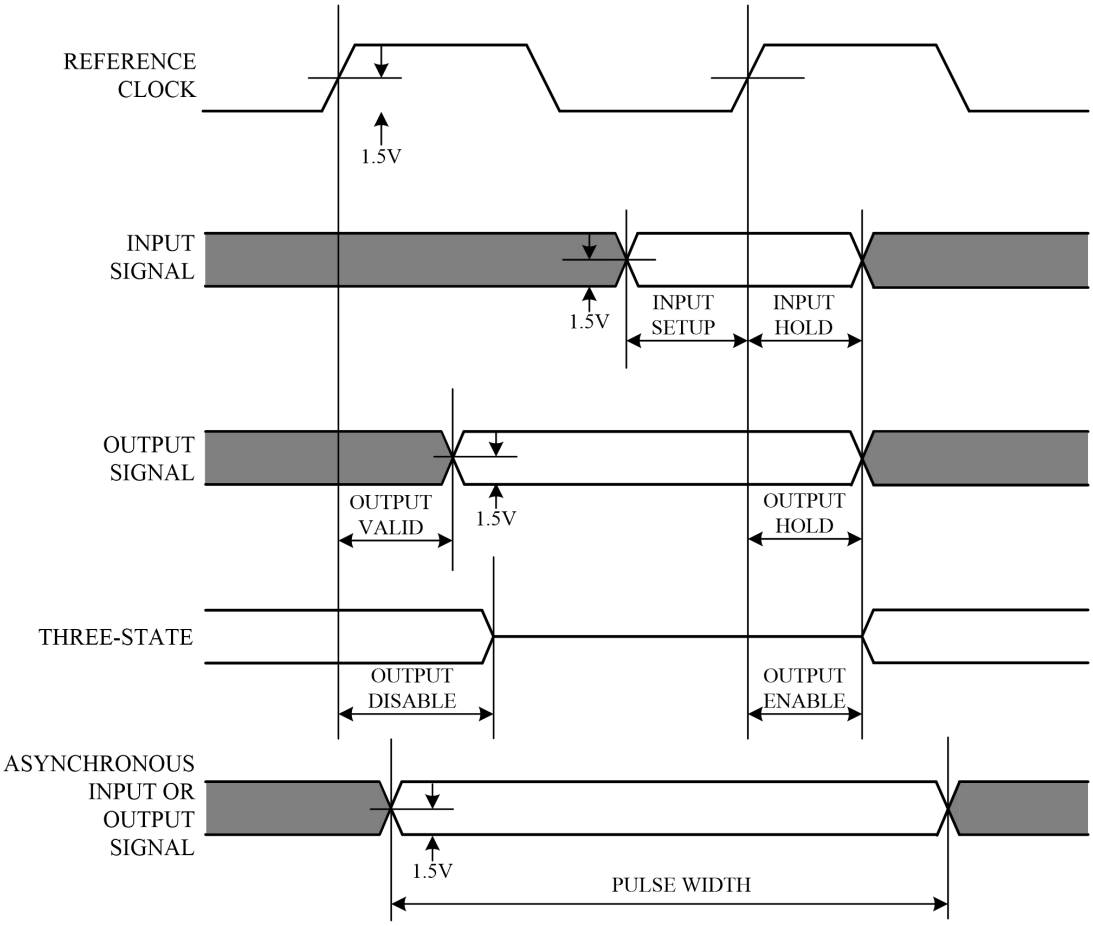


图9 通用交流参数参数

链路口数据传输和令牌切换时序

表24，表25，表26，表27和图10，图11，图12及图13为链路口数据传输和令牌切换的时序规格。

表24 链路口—传输

名称	描述	最小值	最大值	单位
t_{CONNS}	连续脉冲建立	$2xt_{CCLK}+3.5$	–	ns
t_{CONNS}	连续脉冲建立	8	–	ns
t_{CONNIW}	连续脉冲输入宽度	$t_{LxCLK_Tx}+1$	–	ns
t_{ACKS}	应答建立	$0.5t_{LxCLK_Tx}$	–	ns
t_{LXCLK_TX}	发送链路时钟周期	$0.9*LR*t_{CCLK}$	$1.1*LR*t_{CCLK}$	ns
t_{LXCLKH_TX}[1]	发送链路时钟高电平	$0.33t_{LxCLK_Tx}$	$0.66t_{LxCLK_Tx}$	ns
t_{LXCLKH_TX}[2]	发送链路时钟高电平	$0.4t_{LxCLK_Tx}$	$0.6t_{LxCLK_Tx}$	ns
t_{LXCLKL_TX}[1]	发送链路时钟低电平	$0.4t_{LxCLK_Tx}$	$0.6t_{LxCLK_Tx}$	ns
t_{LXCLKL_TX}[2]	发送链路时钟低电平	$0.3t_{LxCLK_Tx}$	$0.66t_{LxCLK_Tx}$	ns

名称	描述	最小值	最大值	单位
t_{DIRS}	LxDIR发送建立	$0.5t_{LxCLK_Tx}$	$2t_{LxCLK_Tx}$	ns
t_{DIRH}	LxDIR发送保持	$0.5t_{LxCLK_Tx}$	$2t_{LxCLK_Tx}$	ns
t_{DOS}[1]	LxDAT7-0输出建立	$0.25t_{LxCLK_Tx}$-1	–	ns
t_{DOH}[1]	LxDAT7-0输出保持	$0.25t_{LxCLK_Tx}$-1	–	ns
t_{DOS}[2]	LxDAT7-0输出建立	0.8或$0.17t_{LxCLK_Tx}$-1取较大的	–	ns
t_{DOH}[2]	LxDAT7-0输出保持	0.8或$0.17t_{LxCLK_Tx}$-1取较大的	–	ns
t_{LDOE}	LxDAT7-0输出使能	1	–	ns
t_{LDOD}	LxDAT7-0输出禁止	1	–	ns

[1]该式适用于LR为2时。在300MHz运行时，FDM-D10101不能运行在LR=×2，最大的LxCLK为125MHz。

[2]该式适用于LR为3，4或8时。

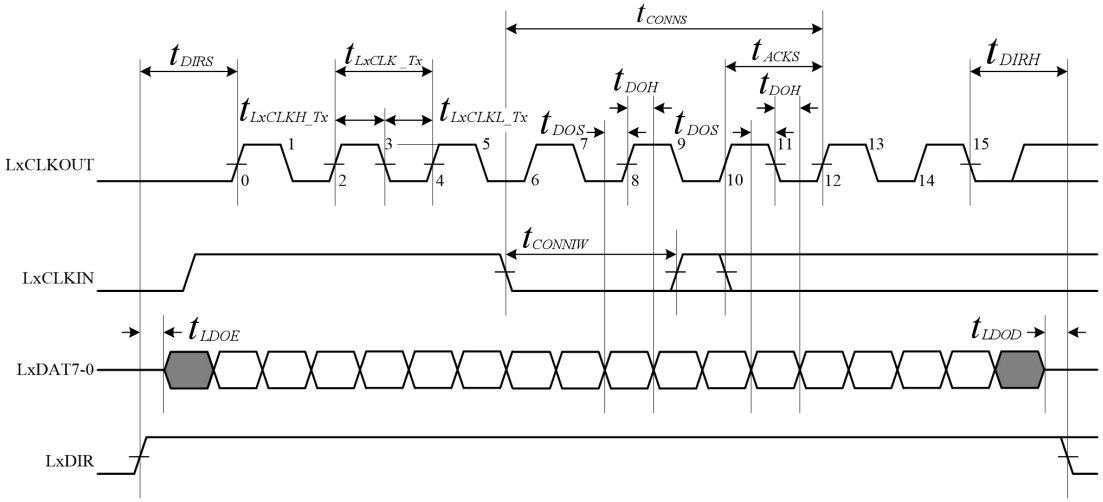


图10 链路口发送

表25 链路口—接收

名称	描述	最小值	最大值	单位
t_{LXCLK_RX}	接收链路时钟周期	max(0.9*LR*4,0.9*LR*t_{CCLK})	1.1*LR*t_{CCLK}	ns
t_{LXCLKH_RX}	接收链路时钟高电平	$0.4t_{LxCLK_Rx}$	$0.6t_{LxCLK_Rx}$	ns
t_{LXCLKL_RX}	接收链路时钟低电平	$0.4t_{LxCLK_Rx}$	$0.6t_{LxCLK_Rx}$	ns
t_{DIS}	LxDAT7-0输入建立	0.6	–	ns
t_{DIH}	LxDAT7-0输入保持	0.6	–	ns
t_{CONNV}	有效连续脉冲	0	$2.5t_{LxCLK_Rx}$	ns
t_{CONNOW}	连续脉冲输出宽度	$1.5t_{LxCLK_Rx}$	–	ns

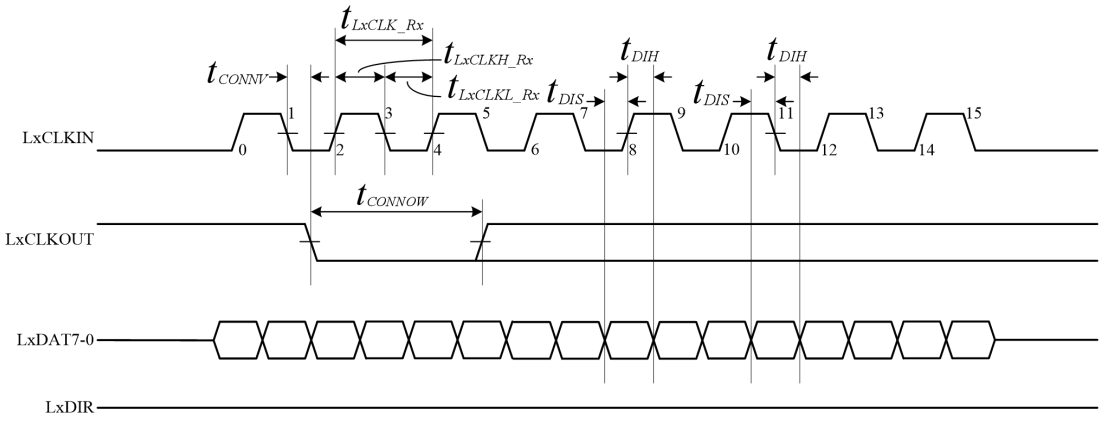


图11 链路口接收

表26 链路口—令牌切换

参数	符号	极限值		单位
		最小	最大	
令牌请求输入宽度	t_{REQI}	5.0×t_{LxCLK_Rx}	-	ns
令牌使能到令牌请求的时间	t_{TKRQ}	-	3.0×t_{LxCLK_Tx}	ns
令牌切换使能输出	t_{TKENO}	8.0×t_{LxCLK_Tx}	-	ns
令牌请求输出宽度	t_{REQO}	6.0×t_{LxCLK_Tx}	-	ns

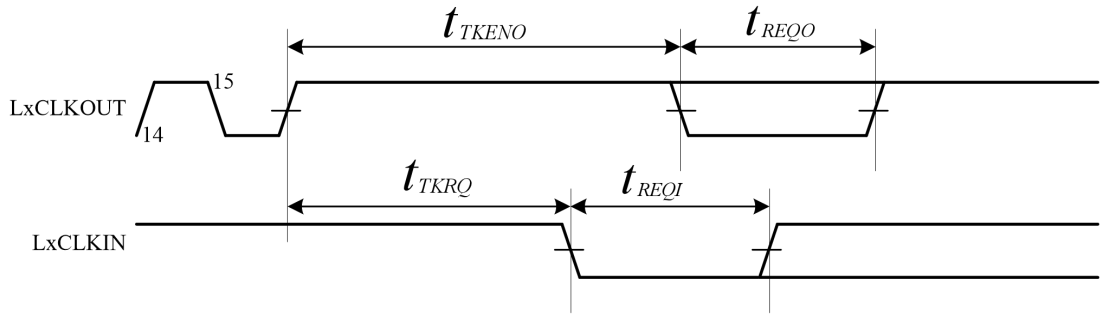


图12 链路口主令牌切换时序图

表27 链路口—令牌请求

参数	符号	极限值		单位
		最小	最大	
令牌切换使能输入	t_{TKENI}	8.0×t_{LXCLK_RX}	-	ns
令牌请求输出宽度	t_{REQO}	6.0×t_{LXCLK_RX}	-	ns

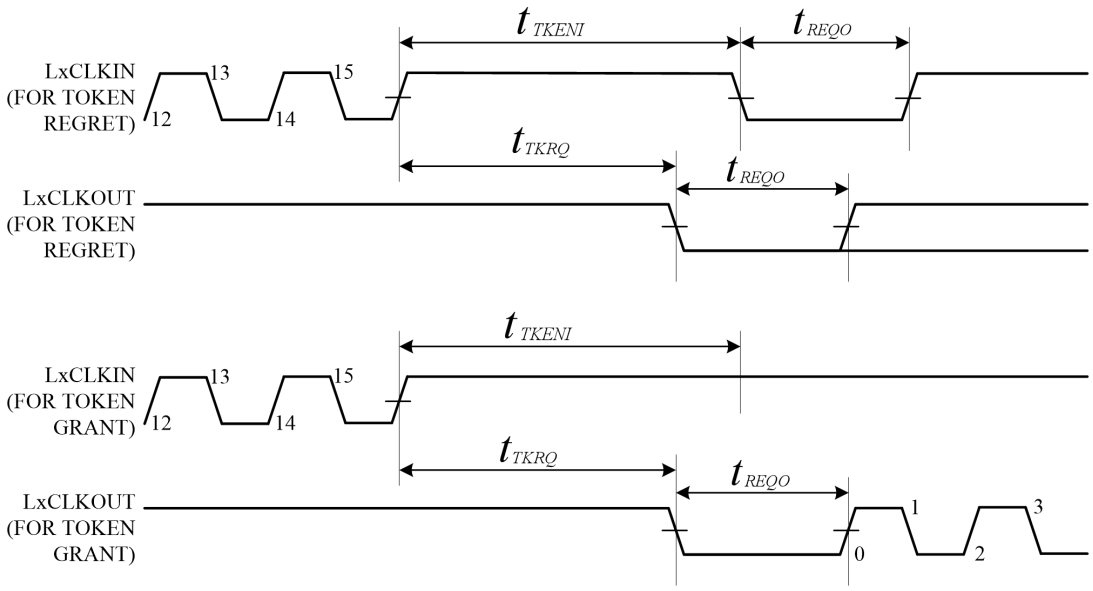


图13 链路口令牌请求切换时序图

测试条件

定时参数的测试条件表22表23给出，包括输出禁止时间，输出使能时间和容性负载。

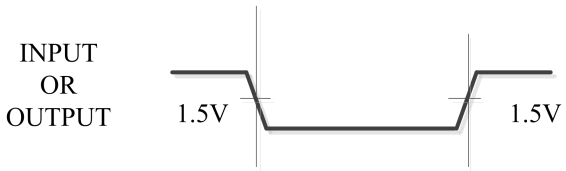


图15 交流测量下的参考电压

输出禁止时间

当输出引脚停止驱动进入高阻状态，开始从原输出高/低电压向高阻过渡，则被认为禁止。总线上电压过渡△V所需的时间，取决于负载电容C_L及负载电流I_L。由下式可近似得到过渡时间：

tDECAY=（C×△V）/I_L

输出禁止时间tDIS是tMEASURED_DIS和tDECAY的差值。参考信号开始改变到输出电压从原来的高低处过渡了△V，这一间隔时间是tMEASURED_DIS。计算tDECAY用测试负载C_L，IL及△V等于0.5V。

输出使能时间

当输出引脚从高阻态转换为驱动态时，认为输出引脚被使能。总线电压上升

△V取决与容性负载C_L以及驱动电流I_D。

电容负载

如图16显示了具有可变电容的电路，用于测量典型的输出上升和下降时间

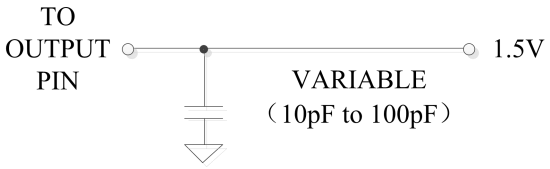


图16 交流测量等效设备负载（包括所有夹具）

封装及管脚

表28 管脚

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
A1	VSS	地	G	B1	VSS	地	G
A2	DATA17	外部数据总线	I/O/T	B2	VSS	地	G
A3	DATA14	外部数据总线	I/O/T	B3	DATA16	外部数据总线	I/O/T
A4	DATA11	外部数据总线	I/O/T	B4	DATA13	外部数据总线	I/O/T
A5	DATA9	外部数据总线	I/O/T	B5	DATA12	外部数据总线	I/O/T
A6	DATA7	外部数据总线	I/O/T	B6	DATA10	外部数据总线	I/O/T
A7	DATA4	外部数据总线	I/O/T	B7	DATA5	外部数据总线	I/O/T
A8	DATA1	外部数据总线	I/O/T	B8	DATA2	外部数据总线	I/O/T
A9	L0DIR	链路口方向	O	B9	NC	空	
A10	L0DAT7	链路口数据	I/O	B10	L0CLKOUT	链路口时钟/确认输出	O
A11	L0DAT4	链路口数据	I/O	B11	L0DAT5	链路口数据	I/O
A12	L0DAT1	链路口数据	I/O	B12	L0DAT2	链路口数据	I/O
A13	LCLK_N	本地参考时钟	I	B13	VSS	地	G
A14	LCLK_P	本地时钟输入	I	B14	VSS	地	G
A15	VDD_A	模拟（PLL）电源	P	B15	VSS_A	模拟（PLL）地	G
A16	SCLK_N	系统参考时钟	I	B16	SCLK_P	系统时钟输入	I
A17	VREF	参考电压	I	B17	VSS	地	G
A18	DS1	数字驱动强度选择	I	B18	DS2	数字驱动强度选择	I
A19	CONTROLIMP2	阻抗控制	I	B19	CONTROLIMP1	阻抗控制	I
A20	$\overline{\text{RESET}}$	复位	I/A	B20	$\overline{\text{DMAR3}}$	DMA请求	I/A
A21	$\overline{\text{DMAR2}}$	DMA请求	I/A	B21	$\overline{\text{DMAR0}}$	DMA请求	I/A

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
A22	$\overline{EMU}$	仿真	O	B22	$\overline{IRQ3}$	中断请求	I/A
A23	$\overline{TRST}$	测试复位（JTAG）	I/A	B23	TCK	测试时钟	I
A24	TMS	测试模式选择（JTAG）	I	B24	$\overline{IRQ1}$	中断请求	I/A
A25	VSS	地	G	B25	TDO	测试数据输出（JTAG）	O/T
C1	VSS	地	G	D1	VSS	地	G
C2	DATA20	外部数据总线	I/O/T	D2	VSS	地	G
C3	DATA21	外部数据总线	I/O/T	D3	DATA19	外部数据总线	I/O/T
C4	DATA18	外部数据总线	I/O/T	D4	VDD_IO	外部（I/O）电源	P
C5	DATA15	外部数据总线	I/O/T	D5	VDD_IO	外部（I/O）电源	P
C6	DATA8	外部数据总线	I/O/T	D6	VDD_IO	外部（I/O）电源	P
C7	DATA6	外部数据总线	I/O/T	D7	VDD_IO	外部（I/O）电源	P
C8	DATA3	外部数据总线	I/O/T	D8	VDD_IO	外部（I/O）电源	P
C9	DATA0	外部数据总线	I/O/T	D9	VDD_IO	外部（I/O）电源	P
C10	L0CLKIN	链路口时钟/确认输入	I/A	D10	VDD_IO	外部（I/O）电源	P
C11	L0DAT6	链路口数据	I/O	D11	VDD_IO	外部（I/O）电源	P
C12	L0DAT3	链路口数据	I/O	D12	VDD_IO	外部（I/O）电源	P
C13	L0DAT0	链路口数据	I/O	D13	VDD_IO	外部（I/O）电源	P
C14	VSS_A	模拟（PLL）地	G	D14	VDD_IO	外部（I/O）电源	P
C15	VDD_A	模拟（PLL）电源	P	D15	VDD_IO	外部（I/O）电源	P
C16	VSS	地	G	D16	VDD_IO	外部（I/O）电源	P
C17	DS0	数字驱动强度选择	I	D17	VDD_IO	外部（I/O）电源	P
C18	CONTROLIMP0	阻抗控制	I	D18	VDD_IO	外部（I/O）电源	P
C19	$\overline{DMAR1}$	DMA请求	I/A	D19	VDD_IO	外部（I/O）电源	P
C20	TDI	测试数据输入（JTAG）	I	D20	VDD_IO	外部（I/O）电源	P
C21	$\overline{IRQ2}$	中断请求	I/A	D21	VDD_IO	外部（I/O）电	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
						源	
C22	LCLKRAT0	LCLK比率	I	D22	VDD_IO	外部（I/O）电源	P
C23	LCLKRAT1	LCLK比率	I	D23	$\overline{BMS}$	启动存储器选择	O/T
C24	$\overline{IRQ0}$	中断请求	I/A	D24	VSS	地	G
C25	VSS	地	G	D25	VSS	地	G
E1	DATA23	外部数据总线	I/O/T	F1	DATA26	外部数据总线	I/O/T
E2	DATA22	外部数据总线	I/O/T	F2	DATA25	外部数据总线	I/O/T
E3	VSS	地	G	F3	DATA24	外部数据总线	I/O/T
E4	VDD_IO	外部（I/O）电源	P	F4	VDD_IO	外部（I/O）电源	P
E5	VDD_IO	外部（I/O）电源	P	F5	VDD_IO	外部（I/O）电源	P
E6	VDD	内部（核）电源	P	F6	VDD	内部（核）电源	P
E7	VDD	内部（核）电源	P	F7	VDD	内部（核）电源	P
E8	VDD_IO	外部（I/O）电源	P	F8	VDD	内部（核）电源	P
E9	VDD_IO	外部（I/O）电源	P	F9	VDD	内部（核）电源	P
E10	VDD	内部（核）电源	P	F10	VDD	内部（核）电源	P
E11	VDD	内部（核）电源	P	F11	VDD	内部（核）电源	P
E12	VDD_IO	外部（I/O）电源	P	F12	VDD	内部（核）电源	P
E13	VDD_IO	外部（I/O）电源	P	F13	VDD	内部（核）电源	P
E14	VDD	内部（核）电源	P	F14	VDD	内部（核）电源	P
E15	VDD	内部（核）电源	P	F15	VDD	内部（核）电源	P
E16	VDD_IO	外部（I/O）电源	P	F16	VDD	内部（核）电源	P
E17	VDD_IO	外部（I/O）电源	P	F17	VDD	内部（核）电源	P
E18	VDD	内部（核）电源	P	F18	VDD	内部（核）电源	P
E19	VDD	内部（核）电源	P	F19	VDD	内部（核）电源	P
E20	VDD_IO	外部（I/O）电源	P	F20	VDD	内部（核）电源	P
E21	VDD_IO	外部（I/O）电	P	F21	VDD	内部（核）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源					
E22	VDD_IO	外部（I/O）电源	P	F22	VDD_IO	外部（I/O）电源	P
E23	VSS	地	G	F23	$\overline{BM}$	总线主处理器	O
E24	SCLKFREQ	SCLK频率	I	F24	$\overline{BUSLOCK}$	总线锁定指示	O/T
E25	LCLKRAT2	LCLK比率	I	F25	TMR0E	定时器0记满	O
G1	DATA29	外部数据总线	I/O/T	H1	L3DAT0	链路口数据	I/O
G2	DATA28	外部数据总线	I/O/T	H2	DATA31	外部数据总线	I/O/T
G3	DATA27	外部数据总线	I/O/T	H3	DATA30	外部数据总线	I/O/T
G4	VDD_IO	外部（I/O）电源	P	H4	VDD_IO	外部（I/O）电源	P
G5	VDD	内部（核）电源	P	H5	VDD	内部（核）电源	P
G6	VDD	内部（核）电源	P	H6	VDD	内部（核）电源	P
G7	VSS	地	G	H7	VSS	地	G
G8	VSS	地	G	H8	VSS	地	G
G9	VSS	地	G	H9	VSS	地	G
G10	VSS	地	G	H10	VSS	地	G
G11	VSS	地	G	H11	VSS	地	G
G12	VSS	地	G	H12	VSS	地	G
G13	VSS	地	G	H13	VSS	地	G
G14	VSS	地	G	H14	VSS	地	G
G15	VSS	地	G	H15	VSS	地	G
G16	VSS	地	G	H16	VSS	地	G
G17	VSS	地	G	H17	VSS	地	G
G18	VSS	地	G	H18	VSS	地	G
G19	VSS	地	G	H19	VSS	地	G
G20	VDD	内部（核）电源	P	H20	VDD	内部（核）电源	P
G21	VDD	内部（核）电源	P	H21	VDD_IO	外部（I/O）电源	P
G22	VDD_IO	外部（I/O）电源	P	H22	VDD_IO	外部（I/O）电源	P
G23	FLAG3	标志引脚	I/O/A	H23	FLAG0	标志引脚	I/O/A
G24	FLAG2	标志引脚	I/O/A	H24	ID2	多处理器ID	I
G25	FLAG1	标志引脚	I/O/A	H25	ID1	多处理器ID	I
J1	L3DAT3	链路口数据	I/O	K1	L3DAT6	链路口数据	I/O
J2	L3DAT2	链路口数据	I/O	K2	L3DAT5	链路口数据	I/O
J3	L3DAT1	链路口数据	I/O	K3	L3DAT4	链路口数据	I/O

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
J4	VDD_IO	外部（I/O）电源	P	K4	VDD_IO	外部（I/O）电源	P
J5	VDD_IO	外部（I/O）电源	P	K5	VDD_IO	外部（I/O）电源	P
J6	VDD	内部（核）电源	P	K6	VDD	内部（核）电源	P
J7	VSS	地	G	K7	VSS	地	G
J8	VSS	地	G	K8	VSS	地	G
J9	VSS	地	G	K9	VSS	地	G
J10	VSS	地	G	K10	VSS	地	G
J11	VSS	地	G	K11	VSS	地	G
J12	VSS	地	G	K12	VSS	地	G
J13	VSS	地	G	K13	VSS	地	G
J14	VSS	地	G	K14	VSS	地	G
J15	VSS	地	G	K15	VSS	地	G
J16	VSS	地	G	K16	VSS	地	G
J17	VSS	地	G	K17	VSS	地	G
J18	VSS	地	G	K18	VSS	地	G
J19	VSS	地	G	K19	VSS	地	G
J20	VDD	内部（核）电源	P	K20	VDD	内部（核）电源	P
J21	VDD_IO	外部（I/O）电源	P	K21	VDD	内部（核）电源	P
J22	VDD_IO	外部（I/O）电源	P	K22	VDD_IO	外部（I/O）电源	P
J23	ID0	多处理器ID	I	K23	NC	空	
J24	NC	空		K24	NC	空	
J25	NC	空		K25	NC	空	
L1	L3CLKIN	链路口时钟/确认输入	I/A	M1	L1DAT0	链路口数据	I/O
L2	L3CLKOUT	链路口时钟/确认输出	O	M2	NC	空	
L3	L3DAT7	链路口数据	I/O	M3	L3DIR	链路口方向	O
L4	VDD_IO	外部（I/O）电源	P	M4	VDD_IO	外部（I/O）电源	P
L5	VDD	内部（核）电源	P	M5	VDD	内部（核）电源	P
L6	VDD	内部（核）电源	P	M6	VDD	内部（核）电源	P
L7	VSS	地	G	M7	VSS	地	G
L8	VSS	地	G	M8	VSS	地	G
L9	VSS	地	G	M9	VSS	地	G
L10	VSS	地	G	M10	VSS	地	G
L11	VSS	地	G	M11	VSS	地	G
L12	VSS	地	G	M12	VSS	地	G
L13	VSS	地	G	M13	VSS	地	G
L14	VSS	地	G	M14	VSS	地	G

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
L15	VSS	地	G	M15	VSS	地	G
L16	VSS	地	G	M16	VSS	地	G
L17	VSS	地	G	M17	VSS	地	G
L18	VSS	地	G	M18	VSS	地	G
L19	VSS	地	G	M19	VSS	地	G
L20	VDD	内部（核）电源	P	M20	VDD	内部（核）电源	P
L21	VDD	内部（核）电源	P	M21	VDD_IO	外部（I/O）电源	P
L22	VDD_IO	外部（I/O）电源	P	M22	VDD_IO	外部（I/O）电源	P
L23	NC	空		M23	$\overline{\text{IOEN}}$	I/O设备输出使能	O/T
L24	NC	空		M24	$\overline{\text{MSH}}$	存储器主机空间片讯	O/T
L25	$\overline{\text{FLYBY}}$	Flyby模式	O/T	M25	$\overline{\text{BRST}}$	突发	I/O/T
N1	L1DAT2	链路口数据	I/O	P1	L1DAT5	链路口数据	I/O
N2	NC	空		P2	L1DAT4	链路口数据	I/O
N3	L1DAT1	链路口数据	I/O	P3	L1DAT3	链路口数据	I/O
N4	VDD_IO	外部（I/O）电源	P	P4	VDD_IO	外部（I/O）电源	P
N5	VDD_IO	外部（I/O）电源	P	P5	VDD_IO	外部（I/O）电源	P
N6	VDD	内部（核）电源	P	P6	VDD	内部（核）电源	P
N7	VSS	地	G	P7	VSS	地	G
N8	VSS	地	G	P8	VSS	地	G
N9	VSS	地	G	P9	VSS	地	G
N10	VSS	地	G	P10	VSS	地	G
N11	VSS	地	G	P11	VSS	地	G
N12	VSS	地	G	P12	VSS	地	G
N13	VSS	地	G	P13	VSS	地	G
N14	VSS	地	G	P14	VSS	地	G
N15	VSS	地	G	P15	VSS	地	G
N16	VSS	地	G	P16	VSS	地	G
N17	VSS	地	G	P17	VSS	地	G
N18	VSS	地	G	P18	VSS	地	G
N19	VSS	地	G	P19	VSS	地	G
N20	VDD	内部（核）电源	P	P20	VDD	内部（核）电源	P
N21	VDD_IO	外部（I/O）电源	P	P21	VDD	内部（核）电源	P
N22	VDD_IO	外部（I/O）电源	P	P22	VDD_IO	外部（I/O）电源	P
N23	$\overline{\text{WRH}}$	高写信号	I/O/T	P23	$\overline{\text{MS1}}$	存储器选择	O/T

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
N24	$\overline{WRL}$	低写信号	I/O/T	P24	$\overline{MS0}$	存储器选择	O/T
N25	$\overline{RD}$	存储器读	I/O/T	P25	HDQM	高字SDRAM数据屏蔽	O/T
R1	L1CLKOUT	链路口时钟/确认输出	O	T1	NC	空	
R2	L1DAT7	链路口数据	I/O	T2	L1DIR	链路口方向	O
R3	L1DAT6	链路口数据	I/O	T3	L1CLKIN	链路口时钟/确认输入	I/A
R4	VDD_IO	外部（I/O）电源	P	T4	VDD_IO	外部（I/O）电源	P
R5	VDD	内部（核）电源	P	T5	VDD	内部（核）电源	P
R6	VDD	内部（核）电源	P	T6	VDD	内部（核）电源	P
R7	VSS	地	G	T7	VSS	地	G
R8	VSS	地	G	T8	VSS	地	G
R9	VSS	地	G	T9	VSS	地	G
R10	VSS	地	G	T10	VSS	地	G
R11	VSS	地	G	T11	VSS	地	G
R12	VSS	地	G	T12	VSS	地	G
R13	VSS	地	G	T13	VSS	地	G
R14	VSS	地	G	T14	VSS	地	G
R15	VSS	地	G	T15	VSS	地	G
R16	VSS	地	G	T16	VSS	地	G
R17	VSS	地	G	T17	VSS	地	G
R18	VSS	地	G	T18	VSS	地	G
R19	VSS	地	G	T19	VSS	地	G
R20	VDD	内部（核）电源	P	T20	VDD	内部（核）电源	P
R21	VDD	内部（核）电源	P	T21	VDD_IO	外部（I/O）电源	P
R22	VDD_IO	外部（I/O）电源	P	T22	VDD_IO	外部（I/O）电源	P
R23	LDQM	低字SDRAM数据屏蔽	O/T	T23	SDCKE	SDRAM时钟使能	I/O/T
R24	NC	空		T24	NC	空	
R25	$\overline{MSSD}$	存储器选择SDRAM	I/O/T	T25	$\overline{SDWE}$	SDRAM写使能	I/O/T
U1	DATA34	外部数据总线	I/O/T	V1	DATA37	外部数据总线	I/O/T
U2	DATA33	外部数据总线	I/O/T	V2	DATA36	外部数据总线	I/O/T
U3	DATA32	外部数据总线	I/O/T	V3	DATA35	外部数据总线	I/O/T
U4	VDD_IO	外部（I/O）电源	P	V4	VDD_IO	外部（I/O）电源	P
U5	VDD_IO	外部（I/O）电	P	V5	VDD_IO	外部（I/O）电	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源				源	
U6	VDD	内部（核）电源	P	V6	VDD	内部（核）电源	P
U7	VSS	地	G	V7	VSS	地	G
U8	VSS	地	G	V8	VSS	地	G
U9	VSS	地	G	V9	VSS	地	G
U10	VSS	地	G	V10	VSS	地	G
U11	VSS	地	G	V11	VSS	地	G
U12	VSS	地	G	V12	VSS	地	G
U13	VSS	地	G	V13	VSS	地	G
U14	VSS	地	G	V14	VSS	地	G
U15	VSS	地	G	V15	VSS	地	G
U16	VSS	地	G	V16	VSS	地	G
U17	VSS	地	G	V17	VSS	地	G
U18	VSS	地	G	V18	VSS	地	G
U19	VSS	地	G	V19	VSS	地	G
U20	VDD	内部（核）电源	P	V20	VDD	内部（核）电源	P
U21	VDD_IO	外部（I/O）电源	P	V21	VDD	内部（核）电源	P
U22	VDD_IO	外部（I/O）电源	P	V22	VDD_IO	外部（I/O）电源	P
U23	$\overline{CAS}$	列地址选择	I/O/T	V23	ADDR31	外部地址总线	I/O/T
U24	NC	空		V24	ADDR30	外部地址总线	I/O/T
U25	$\overline{RAS}$	行地址选择	I/O/T	V25	ADDR29	外部地址总线	I/O/T
W1	DATA40	外部数据总线	I/O/T	Y1	DATA43	外部数据总线	I/O/T
W2	DATA39	外部数据总线	I/O/T	Y2	DATA42	外部数据总线	I/O/T
W3	DATA38	外部数据总线	I/O/T	Y3	DATA41	外部数据总线	I/O/T
W4	VDD_IO	外部（I/O）电源	P	Y4	VDD_IO	外部（I/O）电源	P
W5	VDD	内部（核）电源	P	Y5	VDD	内部（核）电源	P
W6	VDD	内部（核）电源	P	Y6	VDD	内部（核）电源	P
W7	VSS	地	G	Y7	VDD	内部（核）电源	P
W8	VSS	地	G	Y8	VDD	内部（核）电源	P
W9	VSS	地	G	Y9	VDD	内部（核）电源	P
W10	VSS	地	G	Y10	VDD	内部（核）电源	P
W11	VSS	地	G	Y11	VDD	内部（核）电源	P
W12	VSS	地	G	Y12	VDD	内部（核）电源	P
W13	VSS	地	G	Y13	VDD	内部（核）电源	P
W14	VSS	地	G	Y14	VDD	内部（核）电源	P
W15	VSS	地	G	Y15	VDD	内部（核）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
W16	VSS	地	G	Y16	VDD	内部（核）电源	P
W17	VSS	地	G	Y17	VDD	内部（核）电源	P
W18	VSS	地	G	Y18	VDD	内部（核）电源	P
W19	VSS	地	G	Y19	VDD	内部（核）电源	P
W20	VDD	内部（核）电源	P	Y20	VDD	内部（核）电源	P
W21	VDD	内部（核）电源	P	Y21	VDD_IO	外部（I/O）电源	P
W22	VDD_IO	外部（I/O）电源	P	Y22	VDD_IO	外部（I/O）电源	P
W23	ADDR28	外部地址总线	I/O/T	Y23	ADDR26	外部地址总线	I/O/T
W24	NC	空		Y24	ADDR25	外部地址总线	I/O/T
W25	ADDR27	外部地址总线	I/O/T	Y25	ADDR24	外部地址总线	I/O/T
AA1	DATA46	外部数据总线	I/O/T	AB1	DATA49	外部数据总线	I/O/T
AA2	DATA45	外部数据总线	I/O/T	AB2	DATA48	外部数据总线	I/O/T
AA3	DATA44	外部数据总线	I/O/T	AB3	DATA47	外部数据总线	I/O/T
AA4	VDD_IO	外部（I/O）电源	P	AB4	VDD_IO	外部（I/O）电源	P
AA5	VDD_IO	外部（I/O）电源	P	AB5	VDD_IO	外部（I/O）电源	P
AA6	VDD_IO	外部（I/O）电源	P	AB6	VDD_IO	外部（I/O）电源	P
AA7	VDD	内部（核）电源	P	AB7	VDD_IO	外部（I/O）电源	P
AA8	VDD	内部（核）电源	P	AB8	VDD_IO	外部（I/O）电源	P
AA9	VDD_IO	外部（I/O）电源	P	AB9	VDD_IO	外部（I/O）电源	P
AA10	VDD_IO	外部（I/O）电源	P	AB10	VDD_IO	外部（I/O）电源	P
AA11	VDD	内部（核）电源	P	AB11	VDD_IO	外部（I/O）电源	P
AA12	VDD	内部（核）电源	P	AB12	VDD_IO	外部（I/O）电源	P
AA13	VDD_IO	外部（I/O）电源	P	AB13	VDD_IO	外部（I/O）电源	P
AA14	VDD_IO	外部（I/O）电源	P	AB14	VDD_IO	外部（I/O）电源	P
AA15	VDD	内部（核）电源	P	AB15	VDD_IO	外部（I/O）电源	P
AA16	VDD	内部（核）电源	P	AB16	VDD_IO	外部（I/O）电源	P
AA17	VDD_IO	外部（I/O）电	P	AB17	VDD_IO	外部（I/O）电	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源				源	
AA18	VDD_IO	外部（I/O）电源	P	AB18	VDD_IO	外部（I/O）电源	P
AA19	VDD	内部（核）电源	P	AB19	VDD_IO	外部（I/O）电源	P
AA20	VDD	内部（核）电源	P	AB20	VDD_IO	外部（I/O）电源	P
AA21	VDD_IO	外部（I/O）电源	P	AB21	VDD_IO	外部（I/O）电源	P
AA22	VDD_IO	外部（I/O）电源	P	AB22	VDD_IO	外部（I/O）电源	P
AA23	ADDR23	外部地址总线	I/O/T	AB23	ADDR20	外部地址总线	I/O/T
AA24	ADDR22	外部地址总线	I/O/T	AB24	ADDR19	外部地址总线	I/O/T
AA25	ADDR21	外部地址总线	I/O/T	AB25	ADDR18	外部地址总线	I/O/T
AC1	VSS	地	G	AD1	VSS	地	G
AC2	VSS	地	G	AD2	VSS	地	G
AC3	DATA50	外部数据总线	I/O/T	AD3	VSS	地	G
AC4	DATA51	外部数据总线	I/O/T	AD4	DATA52	外部数据总线	I/O/T
AC5	DATA54	外部数据总线	I/O/T	AD5	DATA55	外部数据总线	I/O/T
AC6	DATA57	外部数据总线	I/O/T	AD6	DATA58	外部数据总线	I/O/T
AC7	DATA60	外部数据总线	I/O/T	AD7	DATA61	外部数据总线	I/O/T
AC8	DATA63	外部数据总线	I/O/T	AD8	L2DAT0	链路口数据	I/O
AC9	L2DAT2	链路口数据	I/O	AD9	L2DAT3	链路口数据	I/O
AC10	L2DAT5	链路口数据	I/O	AD10	L2DAT6	链路口数据	I/O
AC11	L2CLKOUT	链路口时钟/确认输出	O	AD11	L2CLKIN	链路口时钟/确认输入	I/A
AC12	NC	空		AD12	$\overline{\text{BR0}}$	多处理器处理总线请求	I/O
AC13	$\overline{\text{BR2}}$	多处理器处理总线请求	I/O	AD13	$\overline{\text{BR3}}$	多处理器处理总线请求	I/O
AC14	$\overline{\text{BR5}}$	多处理器处理总线请求	I/O	AD14	$\overline{\text{BR6}}$	多处理器处理总线请求	I/O
AC15	ACK	应答	I/O/T	AD15	$\overline{\text{HBR}}$	主机总线请求	I
AC16	$\overline{\text{HBG}}$	主机总线授予	I/O/T	AD16	$\overline{\text{CPA}}$	内核优先访问权	I/O
AC17	ADDR0	外部地址总线	I/O/T	AD17	ADDR1	外部地址总线	I/O/T
AC18	ADDR3	外部地址总线	I/O/T	AD18	ADDR4	外部地址总线	I/O/T
AC19	ADDR6	外部地址总线	I/O/	AD19	ADDR7	外部地址总线	I/O/T

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
			T				
AC20	ADDR9	外部地址总线	I/O/T	AD20	SDA10	SDRAM地址引脚	O/T
AC21	ADDR11	外部地址总线	I/O/T	AD21	ADDR12	外部地址总线	I/O/T
AC22	ADDR14	外部地址总线	I/O/T	AD22	ADDR15	外部地址总线	I/O/T
AC23	VSS	地	G	AD23	VSS	地	G
AC24	ADDR17	外部地址总线	I/O/T	AD24	VSS	地	G
AC25	ADDR16	外部地址总线	I/O/T	AD25	VSS	地	G
AE1	VSS	地	G	AE14	$\overline{\text{BR7}}$	多处理器处理总线请求	I/O
AE2	VSS	地	G	AE15	$\overline{\text{BOFF}}$	撤销	I
AE3	VSS	地	G	AE16	$\overline{\text{DPA}}$	DMA优先访问权	I/O
AE4	DATA53	外部数据总线	I/O/T	AE17	ADDR2	外部地址总线	I/O/T
AE5	DATA56	外部数据总线	I/O/T	AE18	ADDR5	外部地址总线	I/O/T
AE6	DATA59	外部数据总线	I/O/T	AE19	ADDR8	外部地址总线	I/O/T
AE7	DATA62	外部数据总线	I/O/T	AE20	ADDR10	外部地址总线	I/O/T
AE8	L2DAT1	链路口数据	I/O	AE21	ADDR13	外部地址总线	I/O/T
AE9	L2DAT4	链路口数据	I/O	AE22	VSS	地	G
AE10	L2DAT7	链路口数据	I/O	AE23	VSS	地	G
AE11	L2DIR	链路口方向	O	AE24	VSS	地	G
AE12	$\overline{\text{BR1}}$	多处理器处理总线请求	I/O	AE25	VSS	地	G
AE13	$\overline{\text{BR4}}$	多处理器处理总线请求	I/O				

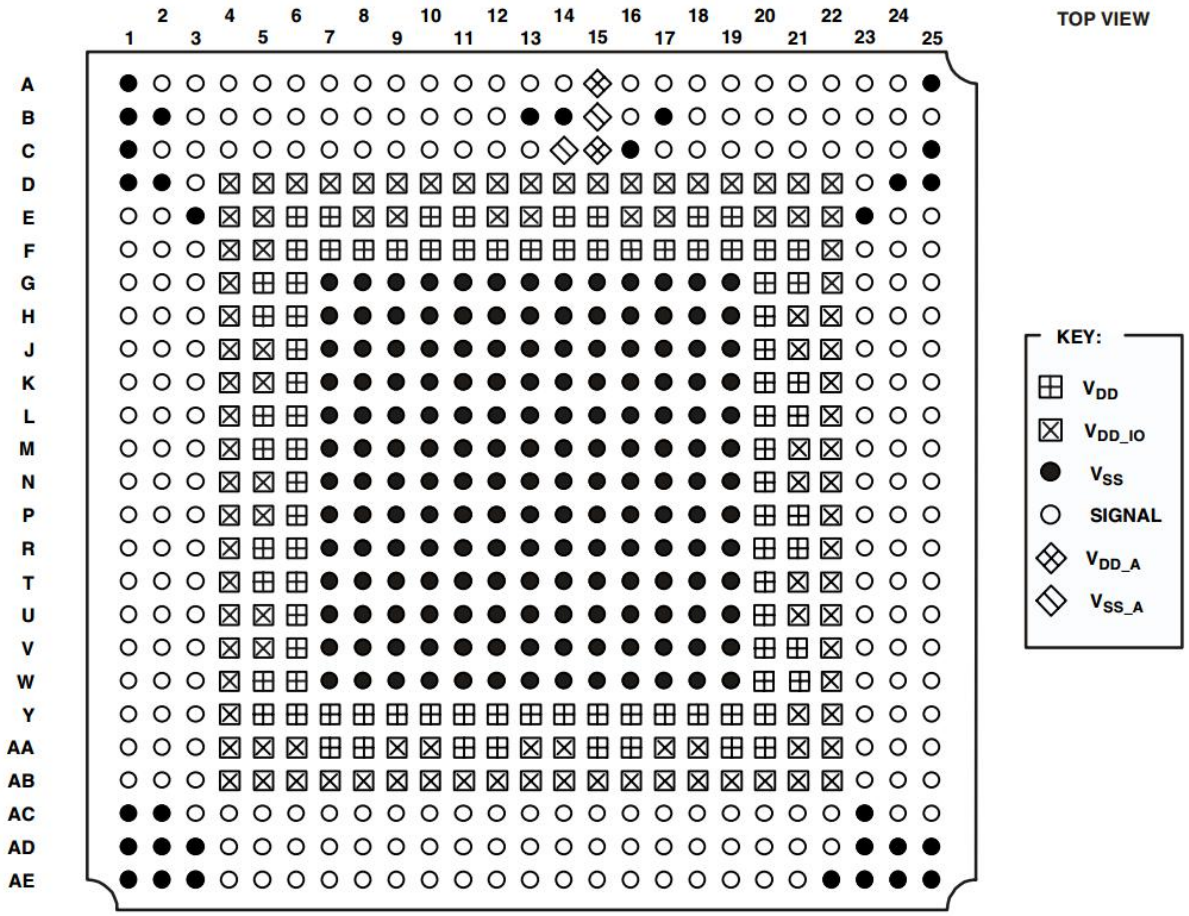

TOP VIEW
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25
A B C D E F G H J K L M N P R T U V W Y AA AB AC AD AE
KEY:
VDD
VDD_IO
VSS
SIGNAL
VDD_A
VSS_A

图17 器件顶视图

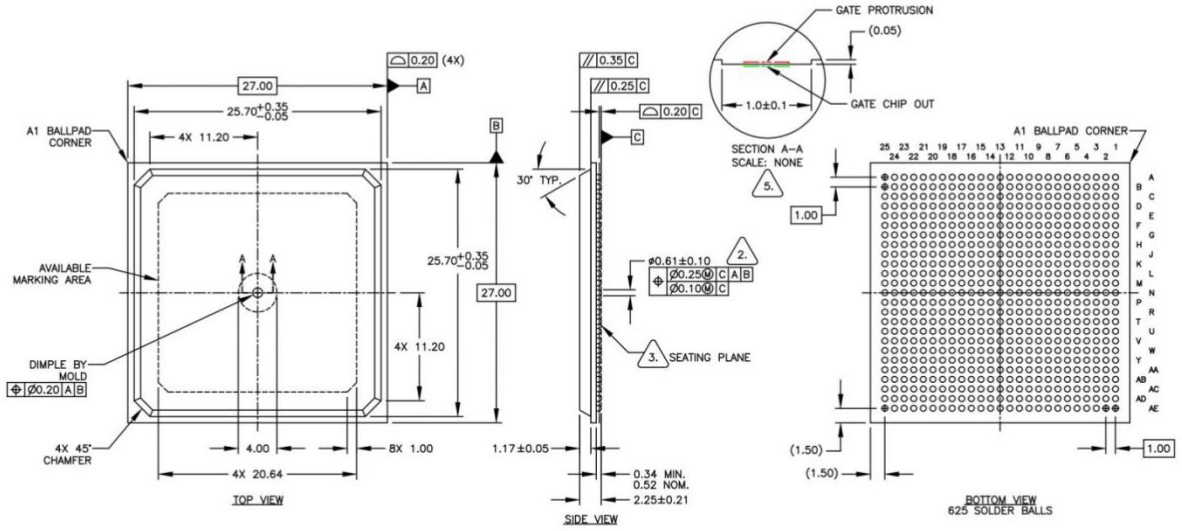


图18 器件塑料封装

表28 塑料封装尺寸

尺寸符号	数　　值（单位：mm）		
	最　小	公　称	最　大
A	—	27.00	—
B	—	27.00	—
芯片高度	2.04	2.25	2.46
焊球阵列宽度	—	24.00	—
焊球阵列长度	—	24.00	—
焊球间距	—	1.00	—
焊球直径	0.51	0.61	0.71

表29 塑料封装其他信息

信息类型	信息内容
焊球材料	SAC305（三种金属的百分比分别是：96.5%Sn、3.0%Ag、0.5%Cu）

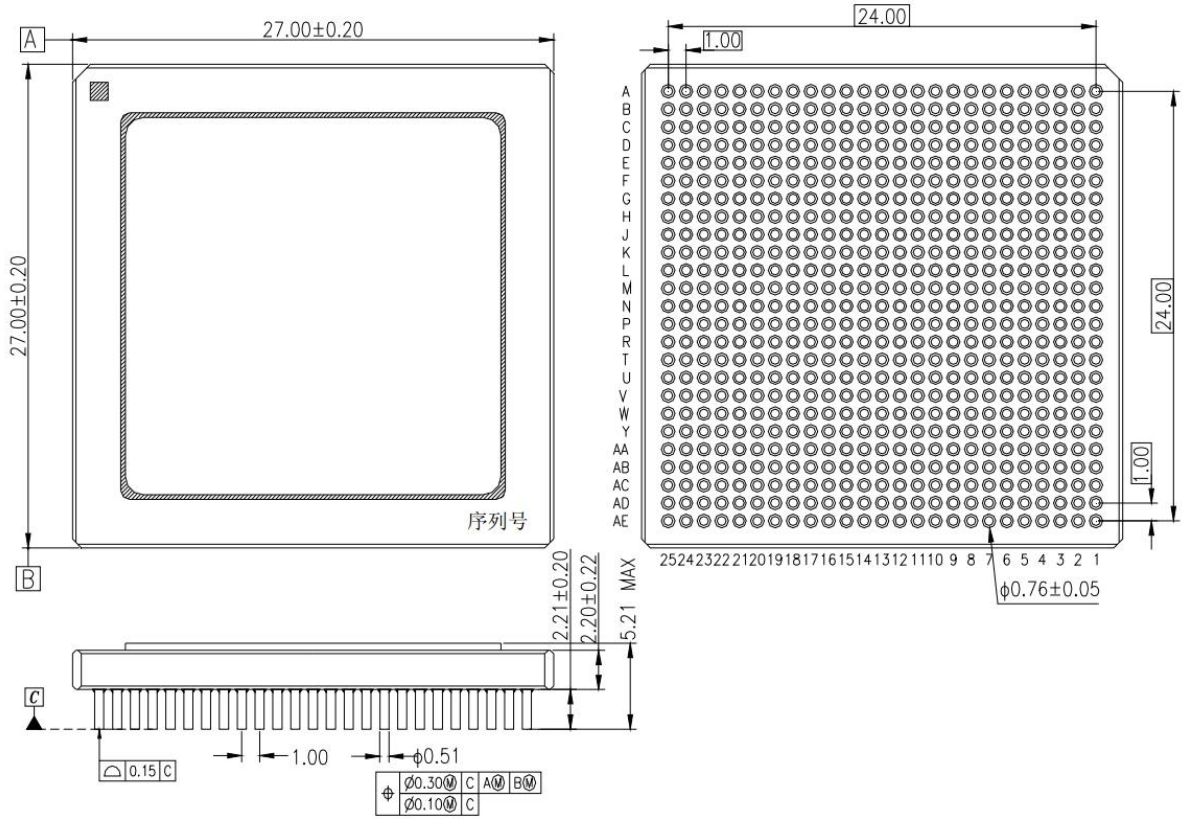


图19 器件陶瓷封装

表30 陶瓷封装尺寸

尺寸符号	数　　值（单位：mm）		
	最　小	公　称	最　大
A	—	27.00	—
B	—	27.00	—
芯片高度	—	—	5.21
焊柱阵列宽度	—	24.00	—
焊柱阵列长度	—	24.00	—
焊柱间距	—	1.00	—
焊柱直径	—	0.51	—
焊柱高度	2.01	2.21	2.41

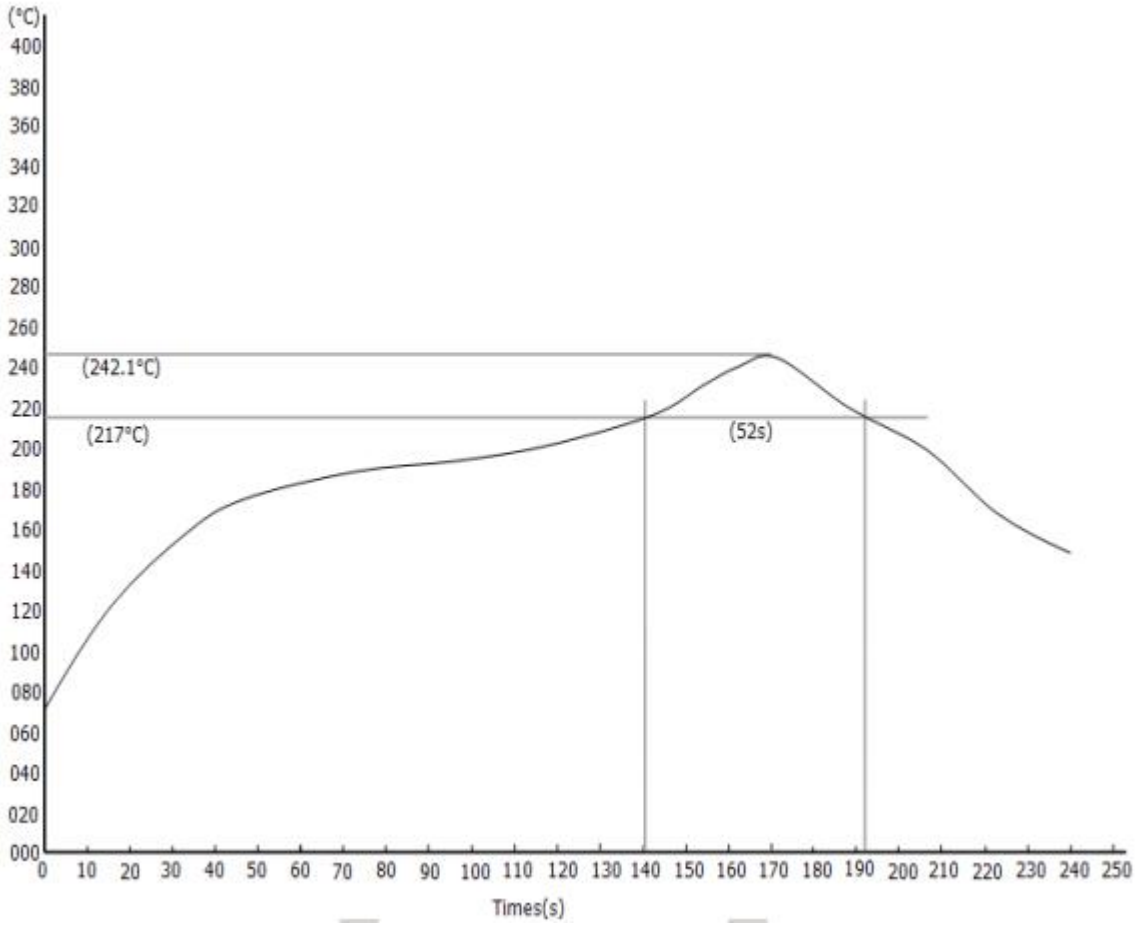
表31 陶瓷封装其他信息

信息类型	信息内容
封帽工艺	Au80Sn20 合金封帽
焊柱材料	Sn10Pb90
焊柱焊接材料	Sn63Pb37
内腔体积	151.3mm^3

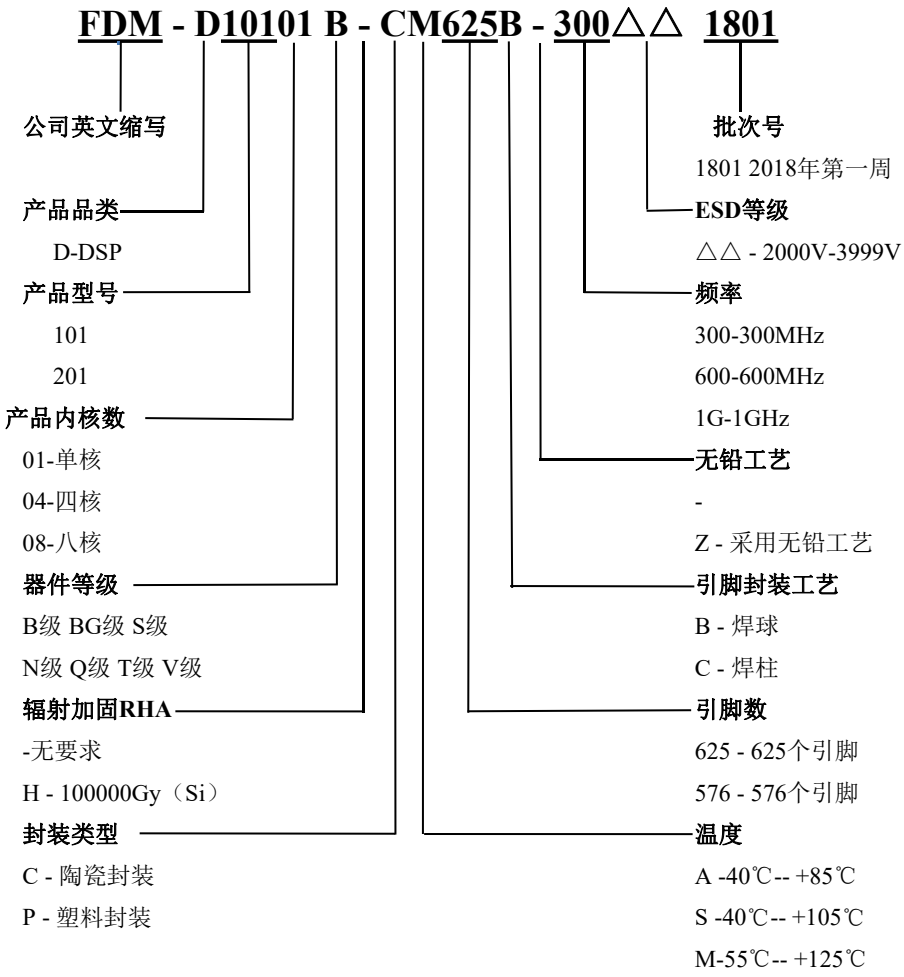
回流焊曲线说明

峰值温度为 242.1℃，实际峰值温度 5℃内时间 tp 约 15s，液相线以上温度维持时间 tL=（25~55）s，倾斜下降率平均为 3℃/s，25℃到峰值温度的时间约 180s。样品应在回流循环之间进行有效降温（最好降到室温或以下）。

注：此回流曲线对应塑封SAC焊球材料的焊接，不适用于陶瓷SnPb焊柱材料的焊接。



产品型号


FDM - D10101 B - CM625B - 300△△ 1801
公司英文缩写
产品品类
D-DSP
产品型号
101
201
产品内核数
01-单核
04-四核
08-八核
器件等级
B级 BG级 S级
N级 Q级 T级 V级
辐射加固RHA
-无要求
H - 100000Gy（Si）
封装类型
C - 陶瓷封装
P - 塑料封装
批次号
1801 2018年第一周
ESD等级
△△ - 2000V-3999V
频率
300-300MHz
600-600MHz
1G-1GHz
无铅工艺
-
Z - 采用无铅工艺
引脚封装工艺
B - 焊球
C - 焊柱
引脚数
625 - 625个引脚
576 - 576个引脚
温度
A -40℃-- +85℃
S -40℃-- +105℃
M-55℃-- +125℃