智能数字信号处理器及其解决方案提供商

FDM-D30101 数据手册

版本 V1.0

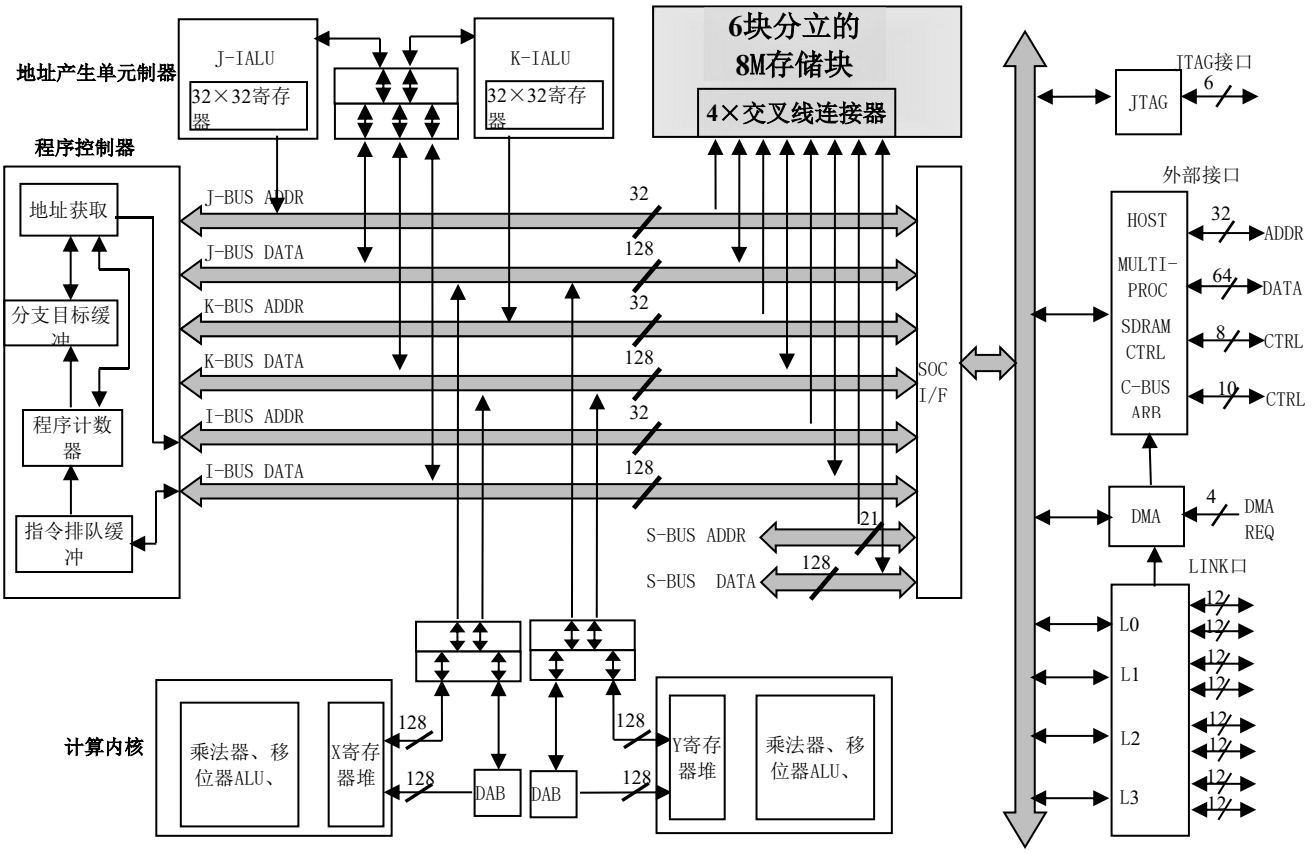
青岛本原微电子有限公司

关键特性:

- 频率1.2 GHz,指令周期：0.83ns
- 48Mbits 片内SRAM
- 25 mm × 25 mm (576-ball) 热学性能优化BGA封装
- 双运算模块，每个包含一个ALU，乘法器，64为移位器和32字的寄存器组，以及相关的数据对齐缓冲器（DAB）
- 双整数ALU（IALU），每个有独立的32个字的寄存器组用于数据寻址；
- 一个有指令对齐缓冲器（IAB）、分支目标缓冲器（BTB）和中断控制器的程序控制器
- 4条互相独立的128位宽度的内部数据总线，每条连接1个功能模块
- 一个提供与主机处理器、多处理器空间（DSP）、片外存储器映射外设、外部SRAM和SDRAM相连的外部端口
- 一个14通道DMA控制器，四个链路口
- 两个64位可编程定时器，提供外部定时器信号接口和可编程Flag接口
- 一个IEEE1149.1兼容JTAG接口，用于片上仿真
- 共享总线支持多个DSP无缝互连

主要优点：

- 提供高性能静态超标量 DSP 操作，专门优化适用于通信和大的需要多 DSP 处理器的应用
- 杰出的 DSP 算法和 I/O 性能表现
- DMA 控制器支持 14 个 DMA 通道，可完成片内存储器，片外存储器，存储器映射外设，链路口，主机处理器和其他（多处理器）DSP 间的低开销传输
- 非常灵活的指令、集和支持友好的高级语言的 DSP 结构便于 DSP 编程
- 可扩展的多处理器系统仅需低通信开销。
- I/O 通信带宽 9GB/s
- 峰值计算性能：7.2GFLOPS、9.6GMACS



FDM-D30101的功能框图

目录

概述 **1**
双运算模块 3
数据对齐缓冲器(DAB) 4
双整数型ALU（IALU） 4
程序控制器 4
中断控制器 5
灵活的指令集 5
处理器存储器 5
外部口（片外存储器/外设接口） 7
主机接口 7
多处理器接口 7
SDRAM控制器 9
EPROM接口 9
DMA控制器 9
链路口 11
可编程定时器和通用I/O 11
复位和启动 11
时钟域 12
电压域、电流 13
引脚功能描述 13
复位时引脚状态 14
引脚定义 14
STRAP引脚功能描述 20
FDM-D30101—技术规格 20
工艺结构 21
使用条件 21
推荐工作条件 21
ESD敏感性 21
时序规格 21
测试条件 29
输出禁止时间 29
输出使能时间 30
电容负载 30
封装及管脚 31
FDM-D30101封装 41

概述

FDM-D30101是一款极高性能的，静态超标量处理器，专门为大的信号处理任务和通信结构进行了优化。该处理器将非常宽的存储器宽度和双运算模块（支持32-和40-bit浮点以及8-，16-，32-，64-bit定点处理）组合在一起，建立了数字信号处理器性能的新标准。

FDM-D30101静态超标量结构使DSP每周期能执行多达4条指令，24个16-bit定点运算和6个浮点运算。四条相互独立的128-bit宽的内部数据总线，每条连接6个8Mbits内部存储器块，提供4字的数据，指令以及I/O访问和56GBytes/s的内部存储器带宽。运行在1.0 GHz时，FDM-D30101内核的指令周期为1.0ns。利用其单指令多数据特点，FDM-D30101可以提供80亿次40-bit的MAC运算或者20亿次80-bit的MAC运算。以下表说明了该DSP的性能指标：

表1 1.0GHz运行时通用算法性能

性能指标	**速度**	**时钟周期**
32bit算法，20亿次MAC/s峰值性能		
1024点复数FFT(基2)	9.42μs	9419
64K点输入	1.397ms	1397544
单FIR MAC	0.5ns	0.5
[8*8][8*8]矩阵乘法（复数，浮点）	1.4μs	1399
16bit算法，80亿次MAC/s峰值性能		
256点复数FFT(基2)	0.585μs	585
I/O DMA传送速率		
外部口	1GBytes/s	n/a
链路口（每路）	2GBytes/s	n/a

FDM-D30101的结构如图所示：

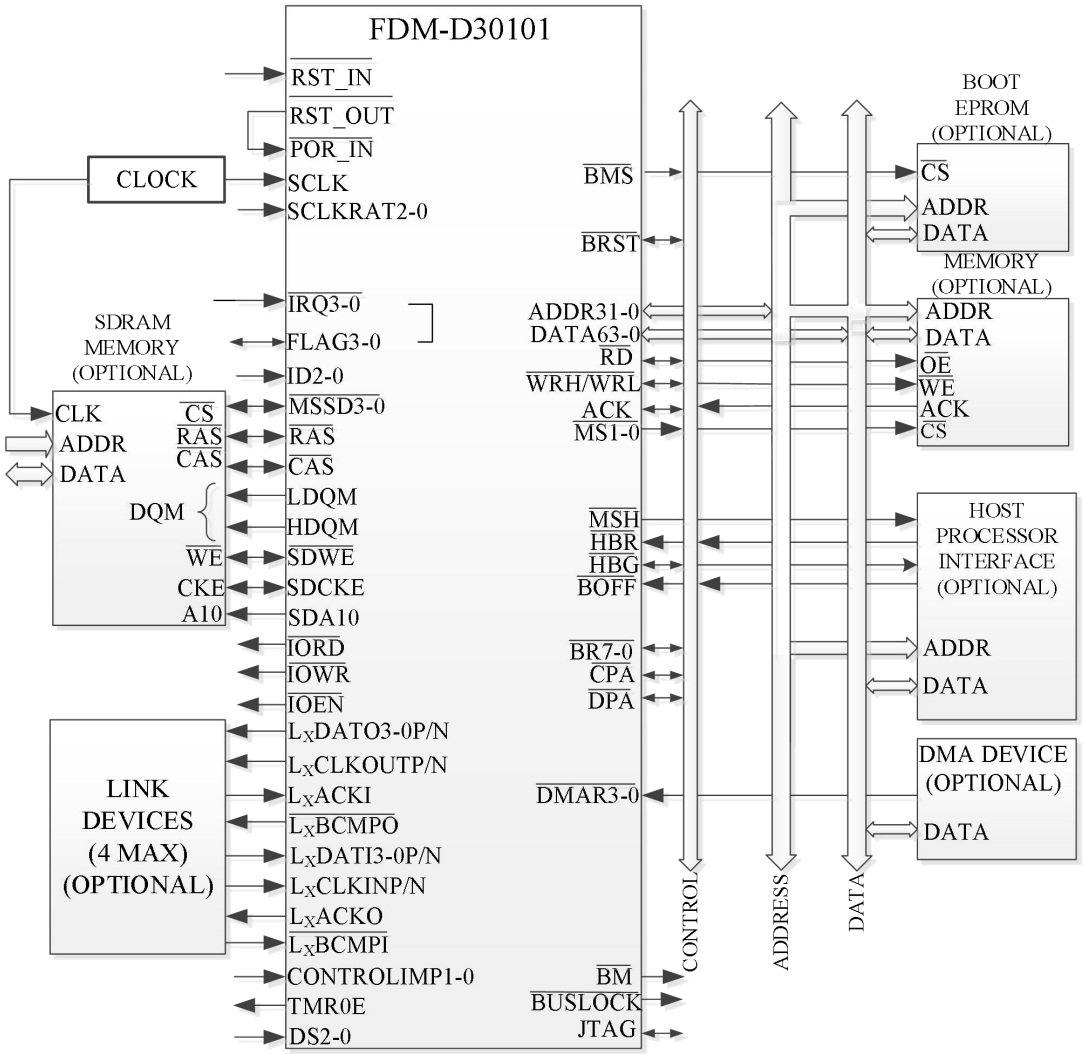


图1 带有外部SDRAM的单处理器系统

其中包括：

1. 双运算模块，每个包括一个 ALU，乘法器，64-bit 移位器和 32 字的寄存器组以及相关的数据对齐缓冲器。
2. 双整数 ALU，每个有独立的 31 个字的寄存器组用于数据寻址。
3. 一个有指令对齐缓冲器 IAB，分支目标缓冲器 BTB
4. 一个中断控制器，支持硬件和软件中断，电平和边沿触发方式以及支持中断优先级和中断嵌套
5. 4 条相互独立的 128-bit 内部数据总线，每条连接 6 个 8Mbits 内部存储器块
6. 片内 48MbitsSRAM
7. 一个提供与主机处理器，多处理器空间（DSP），片外存储器映射外设，外部 SRAM 和 SDRAM 相连的外部端口。
8. 14 通道的 DMA 控制器

9. 四个全双工链路口

10. 两个 64-bit 计数器

11. 与 IEEE 1149.1 兼容的 JTAG 接口，用于片上仿真

FDM-D30101 DSP使用静态超标量体系结构，内核可以通过两个运算单元以超长指令字方式同时执行1－4条32-bit指令。因为DSP在运行期间并不重新排列指令顺序，用户需要在运行周期以前选择哪几条指令并行执行，所以程序指令执行的顺序是静态的。

除了少数例外，指令行中无论包含1条，2条，3条还是4条32-bit指令，FDM-D30101皆使用一个周期执行完毕。

为了优化程序执行，程序员必须遵从指令并行执行规则。总的说来，DSP能否在单周期完成并行执行，依赖于每条指令行资源和指令中使用的源和目标寄存器。程序员能够直接控制三个内核模块－IALU，运算模块和程序控制器

大多数情况下，FDM-D30101具有一个两周期完全互锁的指令流水线，因此在任何情况下，当一个运算结果对于另一个操作来说是不能够使用的时候，DSP会自动的插入一个或者多个延时周期。使用独立指令来高效地编程能够去除大部分的运算和内存传输依赖。

另外，FDM-D30101通过两种方法来支持单指令多数据操作——SIMD运算模块和SIMD运算。程序员能够使用两个运算模块来操作相同的数据（广播发布）或不同的数据（合并发布）。另外每一个运算模块能同时执行4个16-bit或者8个8-bitSIMD运算。

双运算模块

FDM-D30101的运算模块能够相互独立或一起工作，执行通用运算来实现单指令多数据流。单周期内每个运算单元可以执行2条运算指令，指令可以同时控制ALU，乘法器，移位器完成独立的操作。

在汇编语言语法中，运算模块被标示为X和Y，每个模块包含四个运算部件：一个ALU，一个乘法器，一个64-bit移位器和一个32字寄存器组

1. 寄存器组：每个运算单元拥有一个多端口 32 位字全正交寄存器组，该寄存器组可用于运算单元和数据总线之间的数据传输和存储中间结果。指令能够单独的访问寄存器组中的任意一个寄存器（字对齐）或者两个一组（双字对齐），或者四个一组（四字对齐）。

2. ALU：ALU 执行标准的定点和浮点算术操作和逻辑操作。

3. 乘法器：乘法器用于执行定点和浮点的乘法以及定点的乘加运算。

4. 移位器：64-bit 移位器用于完成算术和逻辑移位，比特和比特流控制，域存储和提取操作。

使用上述特点，运算模块有以下功能:

1. 提供峰值 8 个 16-bitMACS/周期，连续 7.1 个 16-bitMACS/周期的运算性能，或者峰值 2 个 32-bitMACS/周期，连续 1.8 个 32-bitMACS/周期的运算性能（基于 FIR）
2. 每周期执行 6 个单精度浮点运算或者 24 个 16-bit 定点操作，提供 6GFLOPS 或者 24GOPS 的性能
3. 每周期执行 2 个复数 16-bitMACS
4. 每周期执行 8 次 Trellis 蝶形运算。

数据对齐缓冲器(DAB)

DAB是一个四字FIFO，能从非对齐的地址读取数据。通常情况下，读取指令必须同数据的长度对齐，所以能从一个四对齐的地址上读取数据。使用DAB极大提高了某些应用的效率，例如FIR滤波器

双整数型ALU（IALU）

FDM-D30101拥有两个IALU，能够提供强大的地址产生能力和执行通用的整数操作。在汇编语言中两个IALU被称作J,KALU。每个IALU能够提供

1. 为数据和更新指针提供存储器地址
2. 支持环形缓冲和位反序寻址
3. 实现通用的整数操作，提高了编程灵活性
4. 每个 IALU 包含一个由 31 个字构成的寄存器组。

作为地址产生器，IALU完成立即或间接寻址（预修改和后修改），完成对于存储器地址没有限制的取模和位反序操作。每个IALU能够指定单，双或四个字的内存访问。IALU通过硬件支持来实现环形缓冲，位反序和零耗循环。环形缓冲为在数字信号处理中经常用到的延迟线和其他数据结构提供了编程的便利，它经常用在数字滤波器和傅立叶变换中。每个IALU提供了用于四个环形缓冲器的寄存器，因此，程序能够建立最多八个环形缓冲器。IALU能够自动处理指针回绕，减小了系统开销，提高了性能，简化了实现途径。环形缓冲器能够始于任何内存地址。

因为IALU运算流水线为一个周期，所以在多数情况下，整数结果在下一个周期就能使用。如果结果在给定的周期里边不能使用，硬件（寄存器依赖检查）会产生相应的等待。

程序控制器

FDM-D30101的程序控制器支持如下功能

1. 完全可中断的编程模式，灵活使用汇编语言和 C/C++语言编程，高吞吐量的中断处理，不存在中止周期。
2. 十周期指令流水线：四个取指周期和六个执行周期，运算结果将在操作数可用之后的两

周期后得到。

3. 提供取指的内存地址；控制器的指令对齐缓冲器（IAB）缓存最多 5 条预取指令等待执行，程序控制器从 IAB 中提取指令行并将指令分发给相应的内核模块来执行

4. 管理由 JUMP，CALL，RTI，RTS 指令，循环结构，条件，中断和软件异常决定的程序结构和程序流程。

5. 用分支预测和 128 入口分支目标缓冲器（BTB）来减小分支跳转延迟，以实现条件和无条件跳转指令的高效执行和零消耗循环；预测正确跳转时无延时开销，否则需要 5 到 9 周期的延迟开销。

6. 紧缩型代码无需在内存中对齐，IAB 会处理对齐

中断控制器

DSP支持嵌套和非嵌套中断。每种中断类型在中断向量表里边拥有一个寄存器，并且在中断锁存寄存器和中断屏蔽寄存器中占有一位。除了$\overline{\mathrm{IRQ3-0}}$硬件中断是可编程的以外，所有的中断能被固定设置成为边沿敏感或电平敏感。

DSP能够区分硬件中断和软件异常，并分别处理。当软件异常出现时，DSP中止流水线中的所有指令。当硬件中断发生时，DSP将继续执行已经在流水线中的指令。

灵活的指令集

1. 128-bit 指令行包含 4 条 32-bit 指令，提供了很多并行操作可简化编程。例如一条指令行可以能够为通信系统中 Trellis 解码，还可能同时运用复数相关进行的解扩操作增强指令。
2. 代数式的汇编语言语法
3. 直接支持所有的数字信号处理，图像和视频运算数据类型，与硬件模式无关
4. 编码于指令内部的跳转预测，能够实现零开销循环
5. 指令行内部并行编码
6. 所有的指令都可以条件执行
7. 用户定义的程序和数据存储区

处理器存储器

处理器的外部地址和内部地址映射到统一的地址空间，这个地址空间为所有的存储元素分配了地址，如图3所示

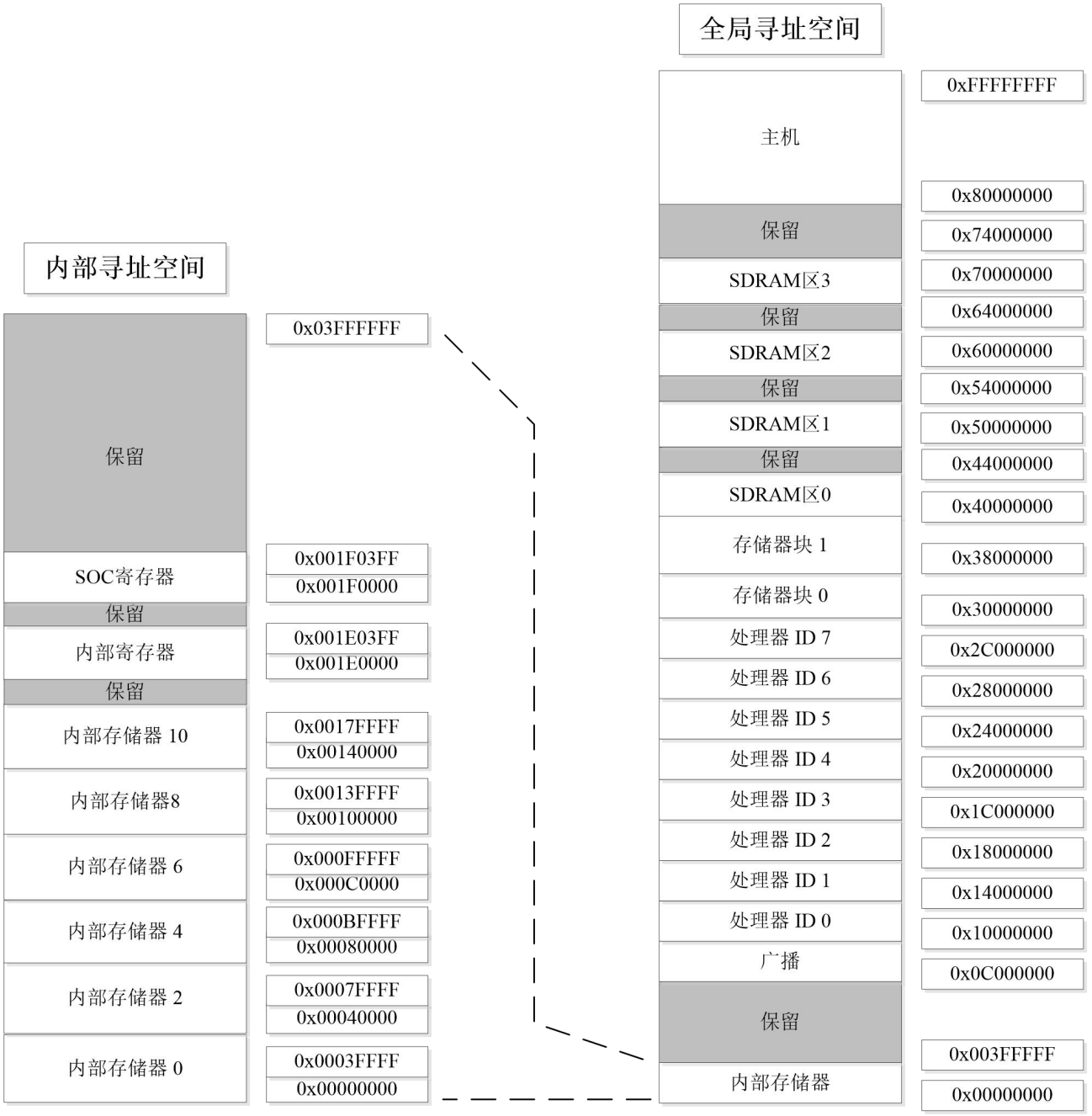


图3 FDM-D30101存储映射图

整个地址空间分为4个部分，主机空间、外部存储器空间、多处理器空间和内部存储器空间。并且，除了主机空间，每个地址空间又被分成更小的空间。

FDM-D30101处理器的内部存储器含有一个48Mbits的片上SRAM，该SRAM分成6块，每块8Mbits。每个存储器块M0、M2、M4、M6、M8和M10都可以存储指令或数据或者两者混合存储。将指令和数据放在不同的存储器块中，可以使处理器能够在取指令的同时进行数据的访问。

6个存储器块通过一个交换器与外部4条128-bit的总线进行连接，这使得处理器能够在一个周期里同时进行4个存储器操作。处理器内部的总线结构提供了高达每秒56GBytes的存储器带宽，使得处理器核和I/O处理器能够在一个周期里同时传输8个32-bit的字和4个32-bit的指令。处理器灵活的存储器结构提供了以下的性能：

1. 处理器核和I/O在同一个周期内访问不同的存储器块

2. 处理器核可以同时访问3个存储器块，即两个数据传输和一个指令读取
3. 可编程的程序存储器和数据存储器分区功能
4. 可编程的 32-bit、64-bit 和 12-bit 位字长的存储器访问（16-bit 访问需要 DAB）

外部口（片外存储器/外设接口）

FDM-D30101处理器的外部口为片外存储器和外设提供了接口。4G的地址空间都包含在DSP的统一寻址空间中。四条128-bit的数据总线和4条32-bit的地址总线通过多路复用器在SOC接口选通并经过SOC总线传输到外部口，从而启动一次外部系统总线传输。外部系统总线仅有一条64-bit的数据总线和一条32-bit的地址总线。外部口在外部总线上的传输速率可以达到1G Bytes/s。

外部总线可以定义成32位或64位（低位在后）的传输操作。当系统总线定义成64位操作，则外部数据总线的低32位连接到偶地址，而高32位连接到奇地址。

外部口支持流水协议、慢速协议和SDRAM协议三种传输协议。通过片内的高位地址线译码来生成存储器块选择信号，外部存储器设备和存储器映射外设的寻址将非常便利。

FDM-D30101处理器为同步存取访问提供可编程的存储器、流水深度、空闲周期，并且提供外部应答控制信号来支持与流水或慢速设备、主处理器、以及其它存储器映射的外设相连接的可变存取、保留、禁止时间要求的接口。

主机接口

FDM-D30101处理器通过外部口为外部总线和主处理器提供了一个简单并且可配置的接口。为了适应不同种类的主处理器主机接口支持FDM-D30101处理器通过流水协议或慢速协议以访问从设备的方式来访问主处理器，支持主处理器通过流水协议以访问从设备的方式来访问FDM-D30101处理器。每种协议都有可编程的传输参数，比如空闲周期、流水深度、内部等待周期等。

主机接口支持由主处理器启动的连发传输。在主处理器发出连发传输的起始地址和$\overline{\text{BRST}}$信号后，DSP在主处理器继续发出$\overline{\text{BRST}}$时内部增加地址值。

主机接口提供一个死锁的复原机制，使得主机包括DSP可以从死锁状态恢复过来。$\overline{\text{BOFF}}$信号用来实现这一机制。当主处理器发出$\overline{\text{BOFF}}$信号，DSP取消当前的传输，并且发出$\overline{\text{HBG}}$信号，放弃外部总线的使用权。

主处理器可以直接读或写FDM-D30101处理器的内部存储器，可以访问绝大多数的DSP寄存器，包括DMA控制寄存器（TCB）。向量中断有效地支持了主处理器命令的执行。

多处理器接口

FDM-D30101处理器通过外部口和链路口为多DSP系统量身打造了强大的支持特性。这一多处理器能力为处理器之间的通信提供了最高的带宽，包括：

1. 在同一总线上最多可连 8 片 DSP

2. 多 DSP 无缝连接的片上仲裁

3. 点对点通信的链路口

外部口和链路口提供了集成的无缝的多DSP互连支持。

外部口支持统一的寻址空间，使得每个FDM-D30101处理器可以直接访问其它处理器的内部存储器和寄存器。DSP的片上分布式仲裁逻辑可以为一个包含主处理器和多达8片DSP的系统提供简单、无缝的互连方式。总线仲裁具有轮换的优先级。总线锁支持不可分的读后写序列。总线仲裁的公平性质保证了某一DSP不会占用外部总线太长时间。

DSP的四个链路口提供了处理器间通信的第二种方式，且具有8G Bytes/s的吞吐量。由于外部总线提供了1G Bytes/s的吞吐量，所以多处理器间的带宽可以达到8G Bytes/s的带宽。

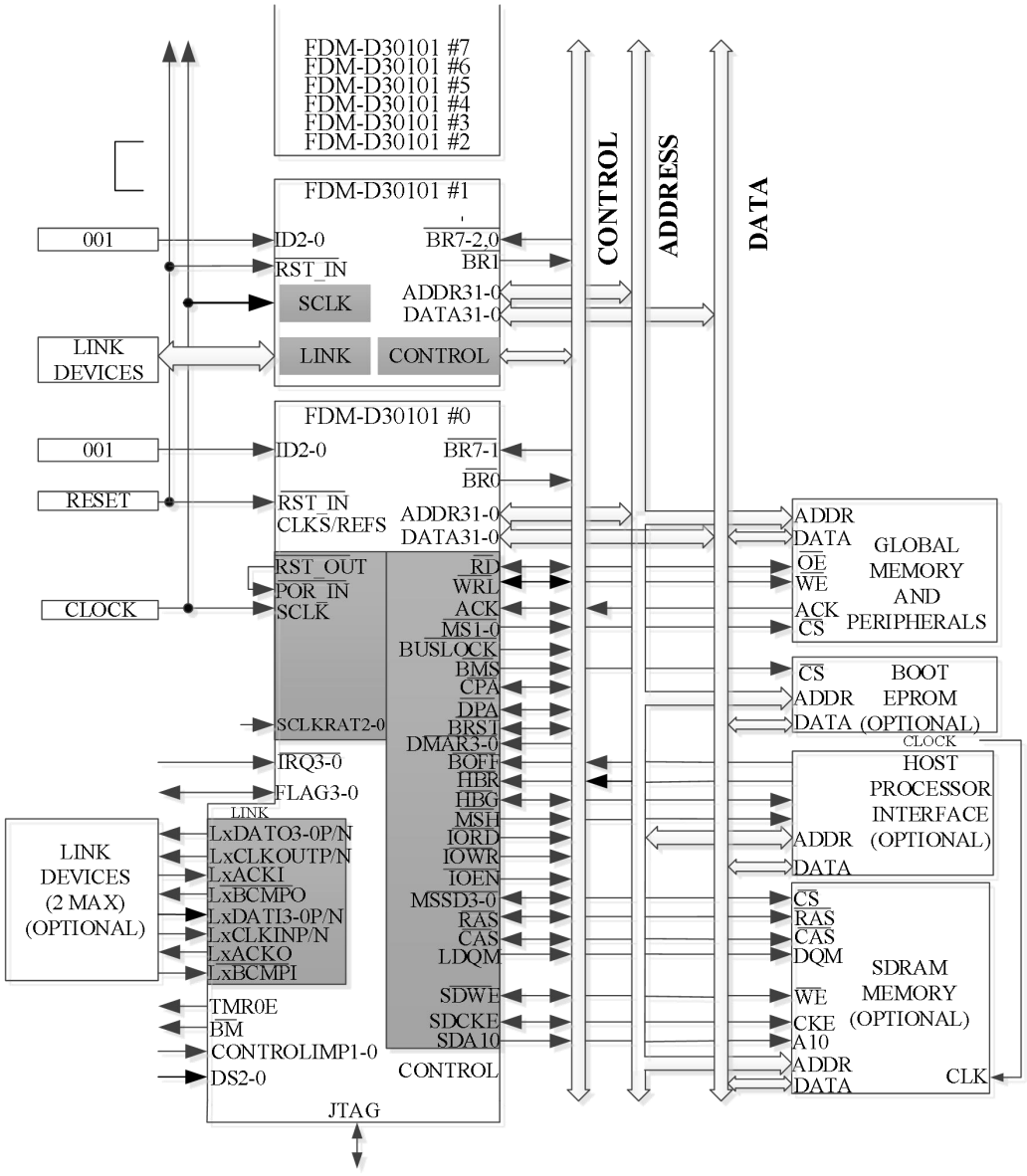


图4 FDM-D30101共享存储多处理器系统图

SDRAM控制器

SDRAM控制器通过外部口和SDRAM控制引脚，控制FDM-D30101处理器以每SCLK周期32或64位的吞吐量将数据传入或传出外部SDRAM。

SDRAM接口提供一个具有标准SDRAMs——16Mb，64Mb，128Mb，以及256Mb的无缝接口。DSP直接支持最大达到4个64M×32-bit的SDRAM块。这个SDRAM接口在每个DSP的统一存储器映射中映射到外部存储器地址空间。

EPROM接口

FDM-D30101处理器能通过外部口在重启时从一个外部的8位EPROM加载启动。在重启后，一个自动执行的过程把程序从EPROM加载到内部存储器。这一过程在每一次读取操作时用16个等待周期。在引导加载过程中，$\overline{\text{LxBCMPI}}$引脚作为EPROM的片选信号。EPROM引导过程使用DMA通道0，并且把这些收到的字节打包成32位的指令。在常规的DMA操作中，也可以访问EPROM（写闪存）。

EPROM或闪存接口并没有映射到DSP的统一地址空间。它是一个最大容量限制在16M的字节地址空间（24位地址线）。在启动引导后，EPROM或闪存接口能通过DMA来使用

DMA控制器

FDM-D30101处理器的片上DMA控制器有14个DMA通道，提供无核干预的零开销数据传输。DMA控制器独立操作，对于DSP核来说是透明的，这就使得DMA执行操作的时候DSP核可以继续执行程序指令。

DMA控制器执行的DMA传输有：内部存储器与外部存储器或存储器映射的外设或同一总线上其它DSP的内部存储器或主处理器或是链路口I/O之间的传送；外部存储器与外设或是链路口I/O之间的传送；外部总线主控设备与内部存储器或链路I/O之间的传送。DMA控制器进行的传送类别可归纳如下：

1. 外部口块传输。四个专用的双向 DMA 通道用于在 DSP 的内部存储器与外部存储器、存储器映射的外设之间进行块传输。这类传输支持自主模式和握手模式。

2. 链路口传输。八个专用的 DMA 通道（四个发送，四个接收）用于在链路口与链路口、内部存储器、外部存储器之间进行四字组传输。这类传输只使用握手模式。四个接收通道的优先级采用轮换方式。

3. 自动 DMA 传输。两个专用的单向 DMA 通道传送从外部总线主控设备到内部存储器或链路口 I/O 的数据。这类传输仅使用被动模式，必须由外部总线主控设备启动传输。

此外DMA控制器还具有如下的特性：

1. 飞跃传输（FLYBY）。飞跃传输操作只经过外部口由 DMA 通道 0 来执行，且不牵涉

DSP 核。DMA 控制器充当一个导通管的角色，把数据从 I/O 设备传到外部 SDRAM 存储器。在一次传输过程中，DSP 放弃外部数据总线；输出地址和存储器选择信号（$\overline{\mathrm{MSSD3-0}}$）；输出$\overline{\mathrm{IORD}}$、$\overline{\mathrm{IOWR}}$、$\overline{\mathrm{IOEN}}$，以及$\overline{\mathrm{RD}}$/$\overline{\mathrm{WR}}$选通信号；并且回应 ACK 信号。

2. 链式 DMA。链式 DMA 操作使得连续传输可以通过自动地链接一个传输序列到另一个来实现。连续的两个传输序列可以发生在不同的 DMA 通道，也可以有不同的传输属性。

3. 二维 DMA。DMA 控制器能在任何 DMA 传输或接收通道访问和传输二维存储阵列。这类传输通过指针、计数器、X 和 Y 维的地址修正寄存器来实现。

链路口

DSP的四个全双工链路口使用低电压差分信号（LVDS）技术，分别提供额外的四位传输和四位接收I/O能力。由于具有双倍数据传输率的操作能力——在时钟的上升和下降沿都锁存数据，且最高可以达到1GHz的时钟频率，每个链路口能最大支持每个方向1GBytes/s的吞吐量，故而总的吞吐量是8G Bytes/s。

链路口提供了一个可供选择的通信通道，这个通道对于实现点对点的多处理器间通信非常有用。此外，链路口也可以用来引导。

每个链路口都有其自己的三级四字输入缓冲以及两级四字输出缓冲寄存器。DSP核可以直接写链路口的传输寄存器，直接读接收寄存器。此外，DMA控制器可以通过专用的通道（四个接收，四个发送）来执行DMA传送。

链路口的每个方向有三个信号线来控制其操作。对于发送端，LxCLKOUT是传输时钟输出，LxACKI是用来控制数据流的握手信号输入，$\overline{\text{LxBCMPO}}$是用来表征块传输完成的输出信号。对于接收端，LxCLKIN是接收时钟输入，LxACKO时间用来控制数据流的握手信号输出，$\overline{\text{LxBCMPI}}$是用来表征块传输完成的输入信号。LxDATO3-0引脚是发送端的数据总线输出，LxDATI3-0引脚是接收端的数据总线输入。

可以对发送和接收操作编程独立的错误检测机制、数据包的大小、传输速率。

可编程定时器和通用I/O

FDM-D30101有一个定时器引脚(TMR0E)，当编程的定时器计数满时产生输出；有四个可编程I/O引脚($\overline{\text{FLAG3}-0}$),可以被用做输入或输出。当输出使用时，这些引脚可以驱动外设；当输入时，他们可以用做条件分支的测试。

复位和启动

FDM-D30101在三种情况下被复位：

1. 上电复位，加电时，电源稳定后，$\overline{\text{RST_IN}}$管脚电平先低再高，FDM-D30101 被复位
2. 正常复位，在电源稳定情况下，$\overline{\text{RST_IN}}$管脚被置低电平，然后再变高电平；
3. DSP 核复位，EMUCTL 寄存器的 SWRST 位置位，DSP 核复位，但外部口和 I/O 不复位

复位以后，FDM-D30101有四种方式进行引导：

1. EPROM 引导
2. 主机引导
3. 链路口引导

4. NO-BOOT 方式，通过中断直接执行

在NO-BOOT方式下，FDM-D30101处理器根据不同的中断情况，从相应的地址空间开始执行指令

表2 无引导方式从内存地址启动

中断	起始地址
IRQ0	0x3000 0000(外部存储空间 BANK0 异步空间)
IRQ1	0x3800 0000(外部存储空间 BANK1 异步空间)
IRQ2	0x8000 0000(外部存储空间 HOST 空间)
IRQ3	0x0000 0000(内部存储空间 M0)

复位后，DSP核暂时处于IDLE状态，等待各引导方式发送过来的中断信号，进入正常工作状态。

时钟域

FDM-D30101一共有4个时钟域，分别是：

1. SCLK：系统时钟域
2. CCLK：DSP 内核时钟域
3. SOCCLK：DSP SOC 总线时钟域
4. LxCLKOUT：链路口时钟域

SCLK为外部总线接口提供时钟，并且作为外部总线信号的AC规范参考。外部总线接口运行于1倍SCLK频率。最大的SCLK时钟频率为DSP内部时钟CCLK频率的四分之一。CCLK为内核、内部总线、存储器的时钟，DSP核按CCLK频率执行指令。CCLK与SCLK成倍数关系，由管脚SCLKRATx配置决定，最高是SCLK的12倍。LxCLKOUT为链路口输出频率，通过程序对CCLK分频产生。SOCCLK为存储器到外部口及链路口SOC总线的工作频率，为CCLK的二分之一。

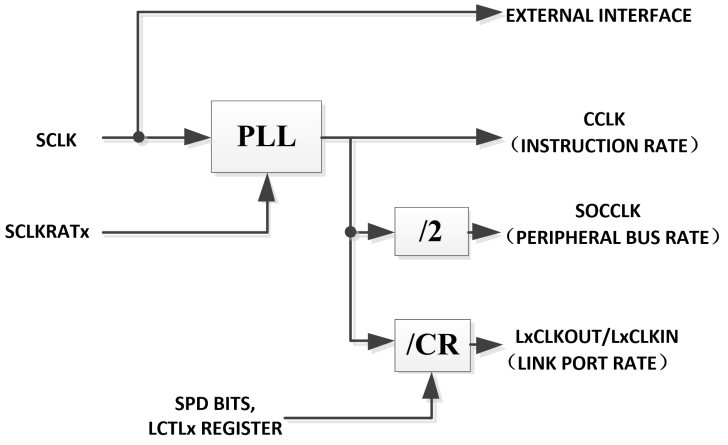


图5 FDM-D30101时钟域结构图

电压域、电流

FDM-D30101有种四种电压[1]：

1. V_{DD}:数字 0.9V，用于内核供电和 SRAM 存储器
2. V_{DD_A}:模拟 0.9V，用于内部锁相环电路供电
3. V_{DD_IO}:数字 1.8V/2.5V，用于 I/O 供电

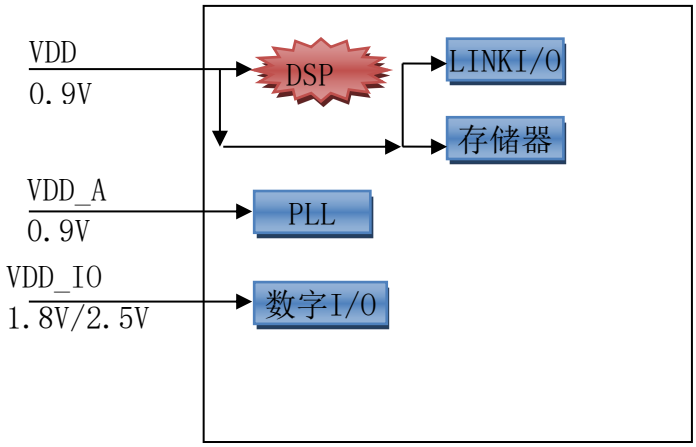


图6 FDM-D30101电源连接图

下表列出了在1.0GHz时钟频率下的主要电压和电流的典型值。

表3 电源工作参数典型值

参数	参数标识	典型值	单位
内核逻辑电压	VDD	0.9	V
模拟电压	VDD_A	0.9	V
外部I/O电压	VDD_IO	1.8/2.5	V
内核逻辑电流	IDD	1.5	A
模拟电流	IDD_A	20-50	mA
外部I/O电流	IDD_IO	0.16	A

引脚功能描述

FDM-D30101的大多数输入引脚通常都是同步的—与特定的时钟相连，但也有少数引脚是异步的。对这些异步引脚，片内的同步电路用于防止它们的亚稳定性问题。异步信号的AC规格仅当需要可预测的周期到周期行为时才有用。

所有输入都根据参考时钟采样，因此输入规格（异步最小脉宽和同步输入建立和保持时间）必须被满足以确保识别

复位时引脚状态

输出引脚通常可以三态。DSP复位时将所有的输出三态，允许这些引脚到达它们内部的上拉或下拉状态。有些输出引脚（控制信号）有上拉或下拉，能够在不同的驱动之间切换时保持已知的值。

引脚定义

下列表中的类型列描述了引脚的类型，端接列给出了系统中不用引脚的端接类型。

表4 时钟和复位

信号	类型	端接	说明
SCLKRAT2_0	I(pd)	na	SCLK 比率。DSP的内核时钟(指令周期) = n *SCLK， 其中n可由用户定义为4、5、6、7、8、10或12。 比率 SCLKRAT2 SCLKRAT1 SCLKRAT0 4 0 0 0 (默认) 5 0 0 1 6 0 1 0 7 0 1 1 8 1 0 0 10 1 0 1（SCLK≤80Mhz） 12 1 1 0 10 1 1 1（SCLK≥80Mhz） DSP上电后，这些引脚值必须恒定。
SCLK	I	na	系统时钟输入为DSP总线提供的系统时钟输入。
$\overline{\text{RST_IN}}$	I/A	na	复位 将DSP置为某一已知状态，同时使程序进入IDLE状态。根据复位操作的不同类型，$\overline{\text{RESET}}$信号必须满足特定的时序要求。
$\overline{\text{RST_OUT}}$	O	na	复位输出，指示DSP复位完成，与$\overline{\text{RST_IN}}$引脚连接
$\overline{\text{POR_IN}}$	I/A	na	内部SRAM上电复位，与$\overline{\text{RST_OUT}}$引脚连接
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表5外部端口总线控制

信号	类型	端接	说明
ADDR31-0	I/O/T (pu_ad)	nc	地址总线 DSP在这些引脚上发出地址来访问存储器和外设。在多处理器系统中，总线主控处理器输出地址信息用来访问内部存储器或其它FDM-D30101的I/O 处理器寄存器。当主机或其它DSP访问其内部存储器或I/O 处理器寄存器时DSP读入地址信息。
DATA63-0	I/O/T (pu_ad)	nc	外部数据总线 DSP在这些引脚上驱动和接收数据或指令。未使用的DATA总线无须外接上拉电阻。

信号	类型	端接	说明
$\overline{RD}$	I/O/T (pu_0)	epu[1]	存储器读 DSP读系统从动器件（不包括SDRAM）时 $\overline{RD}$ 有效。当DSP是从处理器时 $\overline{RD}$ 为输入引脚，并指示访问其内部存储器或通用寄存器的读操作。在多处理器系统中，主处理器驱动 $\overline{RD}$ 。 $\overline{RD}$ 与ADDR引脚同步变化。
$\overline{WRL}$	I/O/T (pu_0)	epu[1]	低位写信号 WRL在两种情况下有效：1.FDM-D30101向外部存储器或另一总线使用者写入偶地址字；2. FDM-D30101向一个32-bit区域进行写操作（主机、存储器或DSP编程为32-bit程序总线）。外部主处理器（主机或DSP）向DSP的存储器写入低字时此信号有效。在多处理器系统中，由主处理器驱动 $\overline{WRL}$ 。 $\overline{WRL}$ 随ADDR引脚同步改变。当DSP是从处理器时， $\overline{WRL}$ 是输入信号，指示访问其内部存储器或通用寄存器的写操作。
$\overline{WRH}$	I/O/T (pu_0)	epu[1]	高位写信号 当FDM-D30101写一个长字（64-bit），或向外部存储器奇地址以及64-bit数据总线上另一总线使用者写数据时有效。外部主处理器（主机或其它DSP）通过64位地址线写入高字时此信号必须有效。多处理器系统中，总线主控处理器驱动 $\overline{WRH}$ 。 $\overline{WRH}$ 随ADDR引脚同步改变。当DSP是从处理器时， $\overline{WRH}$ 是输入信号，指示访问其内部存储器或通用寄存器的写操作。
ACK	I/O/T (pu_od_0)	epu[1]	应答信号 外部从动器件通过保持ACK无效（低），在访问外部存储器时插入等待周期。I/O器件、存储器控制器等外设可用ACK指示数据访问状态。DSP也可以保持ACK无效以延长外部设备对其片内存储器的读操作。此引脚有内部500Ω上拉电阻。
$\overline{BMS}$	I/O/T (pu)	na	引导存储器片选 $\overline{BMS}$ 是引导EPROM或flash存储器的片选信号。DSP配置为EPROM引导方式时，引导过程中 $\overline{BMS}$ 有效。复位过程中下拉有效（确认）；复位后上拉有效（不确认）。 多处理器系统中，总线主控处理器驱动此引脚。
$\overline{MS1-0}$	O/T (pu_0)	nc	存储器片选 DSP对存储器块0或1进行操作时， $\overline{MS0}$ ， $\overline{MS1}$ 分别有效。它们是存储器地址译码信号，随地址信号ADDR的改变而改变： MS0:ADDR31:27＝0b00110 MS1:ADDR31:27＝0b00111 多处理器系统中，主控DSP驱动 $\overline{MS1-0}$ 。
$\overline{MSH}$	O/T (pu_0)	nc	主机存储器空间片选 DSP访问主机地址空间（ADDR31=0b1）时 $\overline{MSH}$ 有效。 $\overline{MSH}$ 是存储器地址引脚的译码信号，与ADDR同步变化。多处理器系统中，此引脚由主DSP驱动。
$\overline{BRST}$	I/O/T (pu_0)	epu[1]	突发信号 当前总线主控处理器（DSP或主机）通过此引脚表明它正在进行地址连续的读/写操作。主机对DSP进行突发访问时，DSP在 $\overline{BRST}$ 有效时自动累加地址。

符号类型： A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ

端接符号： epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}

[1]对于ID=000的处理器可以忽略上拉电阻

表6 引脚定义—外部端口仲裁

信号	类型	端接	说明
$\overline{BR0-7}$	I/O	V_{DD-IO}[1]	多处理器总线请求 多处理器系统中，DSP使用此信号来仲裁总线使用权。每个DSP只驱动自己的$\overline{BRx}$线（与其ID2-0输入值对应）并监测其它芯片的$\overline{BRx}$线。若多处理器系统中DSP个数少于8，须将未用的$\overline{BRx}$引脚上拉。
ID2-0	I(pd)	na	多处理器ID 表明DSP的ID，并决定它在多处理器系统中的顺序。 申请总线时，此引脚决定DSP的哪个总线请求信号有效（$\overline{BR0}$-$\overline{BR7}$）：000=$\overline{BR0}$，001=$\overline{BR1}$，010=$\overline{BR2}$，011=$\overline{BR3}$，100=$\overline{BR4}$，101=$\overline{BR5}$，110=$\overline{BR6}$，111=$\overline{BR7}$。 系统工作时ID2-0必须恒定，它们只能在复位过程中更改取值。
$\overline{BM}$	O	na	总线获得 当前掌握总线使用权的DSP输出$\overline{BM}$信号。仅用于调试。复位时是一个第二功能引脚
$\overline{BOFF}$	I	epu	弃权 主机和DSP同时试图读对方总线时可能产生死锁。死锁后，主机声明此信号强迫DSP放弃总线，停止其正在进行的访问操作。
$\overline{BUSLOCK}$	O/T (pu)	na	总线锁定指示 表明总线主控处理器已经锁定总线。
$\overline{HBR}$	I	epu	主机总线请求 主机使HBR信号有效，请求控制DSP外部总线。多处理器系统中$\overline{HBR}$有效时，总线主控处理器在外部总线传送完毕后使声明$\overline{HBG}$信号有效，释放外部总线。 总线释放后，主 DSP将三态ADDR31-0、DATA63-0、$\overline{MSH}$、$\overline{MSSD3-0}$、$\overline{MS1-0}$、$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$、$\overline{BMS}$、$\overline{BRST}$、$\overline{FLYBY}$、$\overline{IOEN}$、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、SDCKE、LDQM以及HDQM引脚，并使SDRAM进入自刷新方式。
$\overline{HBG}$	I/O/T (pu_0)	epu[2]	主机总线授权 回应$\overline{HBR}$信号，表明主机可以使用外部总线。DSP将一直保持$\overline{HBG}$有效，直到主机使$\overline{HBR}$失效。多处理器系统中当前主DSP驱动此脚，其它从动DSP监视该信号。
$\overline{CPA}$	I/O/OD (pu_od_0)	epu[2]	核优先访问 当DSP核访问外部存储空间时有效，这个引脚使得从 DSP可以打断主DSP的后台DMA传输，并为由处理器核启动的传送操作取得外部总线的控制权。$\overline{CPA}$ 是一个开漏输出引脚，系统中所有DSP的此引脚应联在一起。它只在ID0的DSP上有效。此引脚有内部500 Ω上拉电阻，不用时应悬空。
$\overline{DPA}$	I/O/OD (pu_od_0)	epu[2]	DMA优先访问 高优先级的DMA通道对外部存储器进行操作时有效。这个引脚使得从DSP的高优先级DMA通道可以打断主DSP的普通优先级DMA传输，并为DMA启动的传送操作赢得外部总线的控制权。 $\overline{DPA}$ 是一个开漏管脚，系统中所有DSP的此引脚应联在一起。它只在ID0的DSP上有效。此引脚有内部500Ω上拉电阻，不用时应悬空。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

[1]$\overline{BRx}$引脚匹配ID_{2-0}输入信号，如果不用可以悬空，比如ID=000的芯片，$\overline{BR0}$引脚可以悬空，其他$\overline{BRx}$引脚需要上拉。

[2]对于ID=000的处理器可以忽略上拉电阻

表7 引脚定义—外部端口DMA/Flyby

信号	类型	端接	说明
$\overline{DMAR3-0}$	I/A	epu	DMA请求 外部I/O设备通过此引脚向DSP请求DMA服务。作为 $\overline{DMARx}$ 信号的回应，DSP按照DMA通道的初始化操作启动数据传输。DSP将忽略没有初始化的DMA通道的请求。 此脚为边沿触发。
$\overline{IOWR}$	O/T (pu_0)	nc	I/O写 飞越模式读传输，使得I/O设备代替处理器采样数据
$\overline{IORD}$	O/T (pu_0)	nc	I/O读 飞越模式写传输，使得I/O设备代替处理器采样数据
$\overline{IOEN}$	O/T (pu_0)	nc	I/O设备输出使能 外设和外部存储器进行飞越操作时，使能外部I/O设备的缓冲区。用于飞越操作。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表8 引脚描述—外部口SDRAM控制器

信号	类型	端接	说明
$\overline{MSSD3-0}$	I/O/T (pu)	nc	SDRAM存储器片选，DSP访问SDRAM寻址空间时有效。它是存储器地址译码信号，并在DSP发出SDRAM命令周期内有效（访问地址ADDR31:30＝0b01）。多处理器系统中，主DSP驱动此信号。
$\overline{RAS}$	I/O/T (pu)	nc	行地址选通 若在时钟上升沿采样此信号为低，表明读/写SDRAM时行地址有效。对于其它的SDRAM访问，它依照SDRAM规范定义要执行的操作。
$\overline{CAS}$	I/O/T (pu)	nc	列地址选通 若在时钟上升沿采样此信号为低，表明读/写SDRAM时列地址有效。对于其它的SDRAM访问，它依照SDRAM规范定义要执行的操作。
LDQM	O/T (pd)	nc	SDRAM数据低字屏蔽 采样为高时，LDQM置SDRAM DQ缓存为三态。CAS有效时，LDQM对SDRAM传送操作有效。LDQM对读操作不起作用。对写操作，当通过64-bit存储器总线写入奇地址字时LDQM有效，并禁止低字写入。
HDQM	O/T (pd)	nc	SDRAM数据高字屏蔽 采样为高时，HDQM置SDRAM DQ缓存为三态。$\overline{CAS}$ 有效时，HDQM对SDRAM操作有效。HDQM在读操作中不起作用。对写操作，当对一个偶地址进行字访问或当存储器配置成32-bit总线时HDQM有效，并禁止高字写入。
SDA10	O/T (pu_0)	nc	SDRAM A10 SDRAM 地址位10。DSP进行非SDRAM传送时，独立的A10信号用来使能SDRAM刷新操作。

信号	类型	端接	说明
SDCKE	I/O/T (pu_m/pd _m)	nc	SDRAM时钟使能 SDRAM处于自刷新和悬挂模式时，用来激活SDRAM时钟。多处理器系统中的从DSP没有上拉或下拉。主DSP（或单处理器系统中ID=0的DSP）在授权总线以前有一个5k的上拉电阻，SDRAM处于自刷新模式。在自刷新模式下，主处理器在授权总线前有5K的下拉电阻。
$\overline{SDWE}$	I/O/T (pu_0)	nc	SDRAM写使能 时钟上沿采样为低且 $\overline{CAS}$ 有效时， $\overline{SDWE}$ 表明DSP正在进行SDRAM写操作。时钟上沿采样为高且 $\overline{CAS}$ 有效时，则 $\overline{SDWE}$ 表明DSP正在进行SDRAM读操作。对其它的SDRAM访问， $\overline{SDWE}$ 按照SDRAM的说明书来定义要执行操作的类型。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表9 引脚定义—JTAG口

信号	类型	端接	描述
$\overline{EMU}$	O/OD	nc[1]	仿真。连接到DSP的JTAG仿真目标板的插头。
TCK	I	epd或epu[1]	测试时钟（JTAG）。为JTAG扫描提供一个异步时钟。
TDI[1]	I(pu_ad)	nc[1]	测试数据输入（JTAG）。扫描路径的串行数据输入。
TDO	O/T	nc[1]	测试数据输出（JTAG）。扫描路径的串行数据输出。
TMS[1]	O(pu_ad)	nc[1]	测试模式选择（JTAG）。用于控制测试状态机。
$\overline{TRST}$[1]	I/A(pu_ad)	na	独立的SDRAM第10bit地址引脚。当DSP执行SDRAM传输事务的时测试复位（JTAG）。复位测试状态机。上电后，正确的器件操作是TRST必须为有效或低脉冲。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

[1]参见第10页JTAG仿真技术参考EE-68。

表10 引脚定义—标志、中断和定时器

信号	类型	端接	说明
FLAG3-0	I/O/A (pu)	nc	标志引脚 此双向输入/输出引脚可用作程序的条件。每一个引脚可独立的配置为输入或输出管脚。它们在上电、复位后为输入，并由100KΩ静态下拉电阻拉至低电平。

信号	类型	端接	说明
$\overline{\text{IRQ3 - 0}}$	I/A (pu)	nc	中断请求 有效时，DSP产生一个中断。每一个 $\overline{\text{IRQ}}$ 都可以配置为边沿触发或电平触发。复位后，除非 $\overline{\text{IRQ3 - 0}}$ 的第二功能选项和中断向量初始化为引导用途，否则这些引脚无效，。
$\overline{\text{TMR0E}}$	O(pd)	na	定时器0记满。复位时为第二功能引脚。 当定时器0记满，此脚输出4个SCLK周期的脉冲。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表11 引脚定义—链路口

信号	类型	端接	说明
LxDATO3-0P	O	nc	链路口3-0数据3-0 LVDS_P发送
LxDATO3-0N	O	nc	链路口3-0数据3-0 LVDS_N发送
LxCLKOUTP	O	nc	链路口3-0时钟LVDS_P发送
LxCLKOUTN	O	nc	链路口3-0时钟LVDS_N发送
LxACKI	I(pd)	nc	链路口3-0接收应答
$\overline{\text{LxBCMPO}}$	O(pu)	nc	链路口3-0数据块传输完成，$\overline{\text{L0BCMPO}}$内部有5KΩ的上拉电阻，而$\overline{\text{L1BCMPO}}$，$\overline{\text{L2BCMPO}}$，$\overline{\text{L3BCMPO}}$引脚只有在reset时内部才有5KΩ上拉电阻。
LxDATI3-0P	I	V_{DD_IO}	链路口3-0数据3-0 LVDS_P接收
LxDATI3-0N	I	V_{DD_IO}	链路口3-0数据3-0 LVDS_N接收
LxCLKINP	I/A	V_{DD_IO}	链路口3-0时钟LVDS_P接收
LxCLKINN	I/A	V_{DD_IO}	链路口3-0时钟LVDS_N接收
LxACKO	O	nc	链路口3-0发送应答
$\overline{\text{LxBCMPI}}$	I(pd_I)	V_{SS}	链路口3-0数据块传输完成
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ；pd_I=内部下拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表12 引脚定义—阻抗和驱动强度控制

信号	类型	端接	说明
CONTROLIMP0 CONTROLIMP1	I(pd) I(pu)	na na	CONTROLIMP0建议外部下拉，或者不连接（内部下拉）。CONTROLIMP0为测试控制引脚，为高时PLL旁路。 CONTROLIMP1 建议外部上拉，或者不连接（内部上拉）。CONTROLIMP1为0时，DS1信号输出DLL时钟

信号	类型	端接	说明
DS2,0 DS1	I(pu) I(pd)	na	DS2 DS0控制IO驱动强度： 00----------最低驱动强度 01----------较低驱动强度 10----------较高驱动强度 11----------最高驱动强度 DS1建议不连接。
ENEDREG	I(pu)	V_{SS}	建议接地。测试引脚。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

表13 引脚定义—电源、地和参考

信号	类型	端接	说明
VDD	P	na	用于内部逻辑的VDD引脚。
VDD_A	P	na	用于模拟电路的VDD引脚。特别注意这些电源脚的旁通电路。
VDD_IO	P	na	用于I/O的VDD引脚。
VSS	G	na	地线引脚。
NC	-	nc	悬空。
符号类型：A =异步；G =地线；I =输入；O =输出；o/d =开漏输出；P =电源；pd =内部5KΩ下拉；pu =内部5KΩ上拉；S =同步；T =三态；pd_0=内部下拉5KΩ(ID=0)；pu_0=内部上拉5KΩ（ID=0）；pu_od_0=内部上拉5KΩ（ID=0）；pd_m=内部下拉5KΩ（主机总线）；pu_m=内部上拉5KΩ（主机总线）；pu_ad=内部上拉51KΩ			
端接符号：epd=外部下拉大约10kΩ至V_{SS}；epu=外部上拉大约10kΩ至V_{DD_IO}；nc=悬空；na＝总是使用；V_{DD_IO}=直连V_{DD_IO}；V_{SS}=直连V_{SS}			

STRAP引脚功能描述

表14 引脚描述—I/O Strap引脚

信号	类型	作用于引脚	描述
EBOOT	I（pd_0）	$\overline{BMS}$	EPROM引导 0=复位后立即从EPROM引导（默认值） 1=复位后进入空闲状态，等待外部设备通过外部端口或链路口引导DSP
IRQEN	I（pd）	$\overline{BM}$	中断使能 0=复位后被禁止并设置IRQ3-0中断为电平敏感（默认值） 1=复位后有效并立即设置IRQ3-0中断为边沿敏感
LINK_DWIDTH	I（pd）	TMR0E	链路口输入默认数据宽度 0=1-bit（默认值） 1=4-bit
SYS_REG_WE	I（pd_0）	$\overline{BUSLOCK}$	SYSCON和SDRCON写使能 0=复位之后一次写使能 1=总是可写
TM1	I（pu）	$\overline{L1BCMP0}$	测试模式1，复位之后不要超过默认的驱动值
TM2	I（pu）	$\overline{L2BCMP0}$	测试模式2，复位之后不要超过默认的驱动值
TM3	I（pu）	$\overline{L3BCMP0}$	测试模式3，复位之后不要超过默认的驱动值

FDM-D30101—技术规格

工艺结构

器件采用1层多晶8层金属（铜）CMOS工艺。

使用条件

绝对最大额定值

内部（核）电压（***VDD***）：-0.3V ～+0.99V

模拟（PLL）电压（***VDD_A***）：-0.3V～+0.99V

外部（I/O）电压（***VDD_IO***）：-0.3V～+2.75V

输入电压：-0.63V～3.05V

输出电压波动：-0.5V～***VDD_IO*** +0.5V

存储温度范围：-65℃～+150℃

推荐工作条件

工作温度（*T*A）：-55℃～+125℃

内部时钟频率（*f*）：1.2GHz

内部（核）电压（***VDD***）：0.81V ～0.99V

模拟（PLL）电压（***VDD_A***）：0.81V ～0.99V

外部（I/O）电压（***VDD_IO***）：1.71V～1.89V /2.38V～2.63V

高电平输入电压（***VIH***）：1.26V～3.05V

低电平输入电压（***VIL***）：-0.3V ~+0.54V

ESD敏感性

注意:ESD（静电放电）灵敏器件。静电容易在人体或测试设备上积累高达2000V且放电不宜察觉。虽然FDM-D30101有ESD保护电路，但当芯片受到高能静电放电时可能会受到永久性破坏。因此，采用适当的ESD保护措施，以防止芯片性能降低和功能损失。

时序规格

表15内核时钟参数

序号	参数名	参数说明	极限值（1.2G Hz）		单位
			最小	最大	
1	t_{CCLK}	内核时钟周期	0.83	5	ns

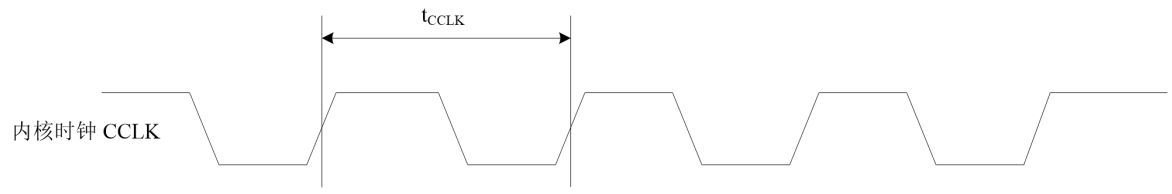


图7 内核时钟周期时序

表16系统时钟参数

序号	参数名	参数说明	SCLKRAT=4 /6 /8 /10 /12		SCLKRAT=5 /7		单位
			最小	最大	最小	最大	
1	t_{SCLK}	本地时钟时钟周期	8	20	8	20	ns
2	t_{SCLKH}	本地时钟高电平时间	0.4×t_{SCLK}	0.60×t_{SCLK}	0.45×t_{SCLK}	0.55×t_{SCLK}	ns
3	t_{SCLKL}	本地时钟低电平时间	0.4×t_{SCLK}	0.60×t_{SCLK}	0.45×t_{SCLK}	0.55×t_{SCLK}	ns
4	t_{SCLKF}	本地时钟下降沿时间	–	1.5	–	1.5	ns
5	t_{SCLKR}	本地时钟上升沿时间	–	1.5	–	1.5	ns
6	t_{SCLKJ}	本地时钟抖动时间	–	500	–	500	ps

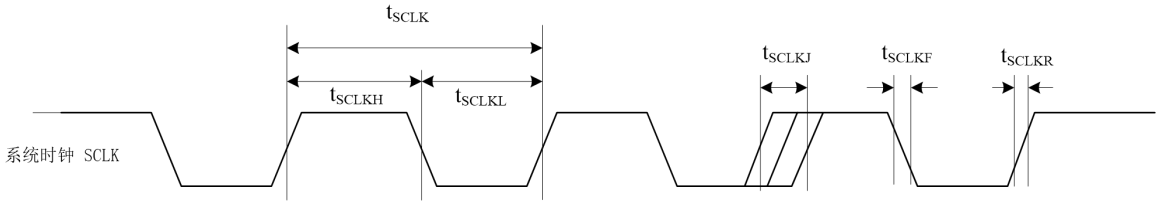


图8 系统时钟周期时序

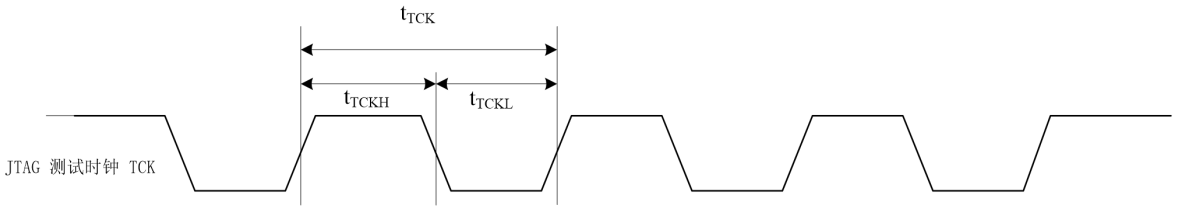


图9 JTAG测试时钟周期时序

表17 JTAG测试时钟参数

序号	参数名	参数说明	极限值		单位
			最小	最大	
1	t_{TCK}	测试时钟(JTAG)时钟周期	大于30或t_{CCLK}× 4	–	ns
2	t_{TCKH}	测试时钟(JTAG)高电平时间	12	–	ns
3	t_{TCKL}	测试时钟(JTAG)低电平时间	12	–	ns

表18上电复位时序参数

序号	参数名	参数说明	极限值		单位
			最小	最大	
1	$t_{RST_IN_PWR}$	时序要求 **V_{DD}, V_{DD_A}, V_{DD_IO}, V_{DD_DRAM}, SCLK**, 和静态/设置管脚稳定并符合规格之后**$\overline{RST_IN}$** 才可以释放为高电平	2	–	ms
2	$t_{TRST_IN_PWR}$	时序要求 **$\overline{TRST}$** 在上电复位时，需要置为低电平	100 ×t_{SCLK}	–	ns

序号	参数名	参数说明	极限值		单位
			最小	最大	
3	$t_{RST_OUT_PWR}$	转换特性 $\overline{RST_OUT}$ 在$\overline{RST_IN}$ 释放之后才能释放（变高电平）的时间	1.5	–	ms

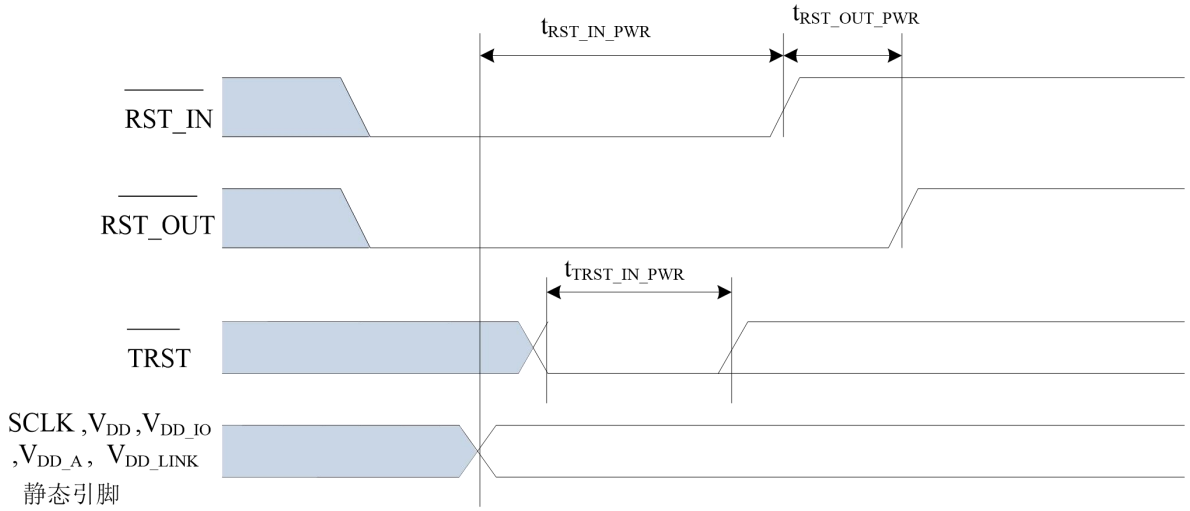


图10上电复位时序

表19复位时序参数

序号	参数名	参数说明	极限值		单位
			最小	最大	
1	t_{RST_IN}	时序要求 $\overline{RST_IN}$ 有效时间	2	–	ms
2	t_{STRAP}	$\overline{RST_IN}$ 在设置管脚稳定后有效的时间	1.5	–	ms
3	t_{RST_OUT}	转换特性 $\overline{RST_OUT}$ 在$\overline{RST_IN}$ 释放之后才能释放（变高电平）的时间	1.5	–	ms

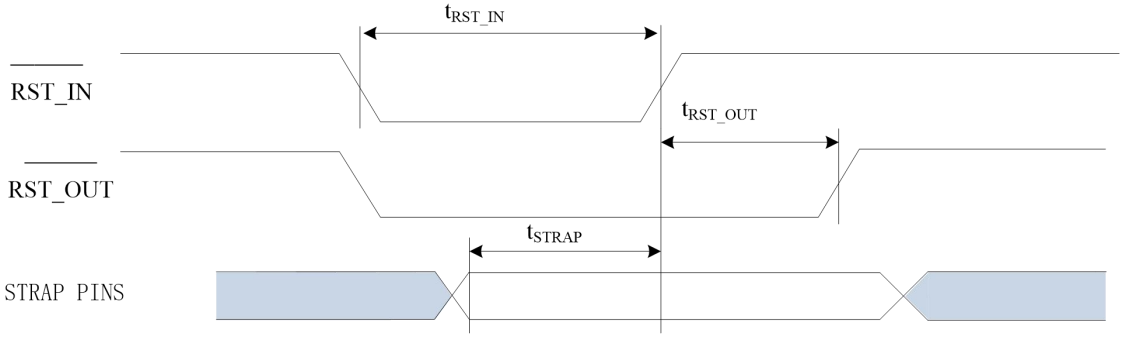


图11正常复位时序

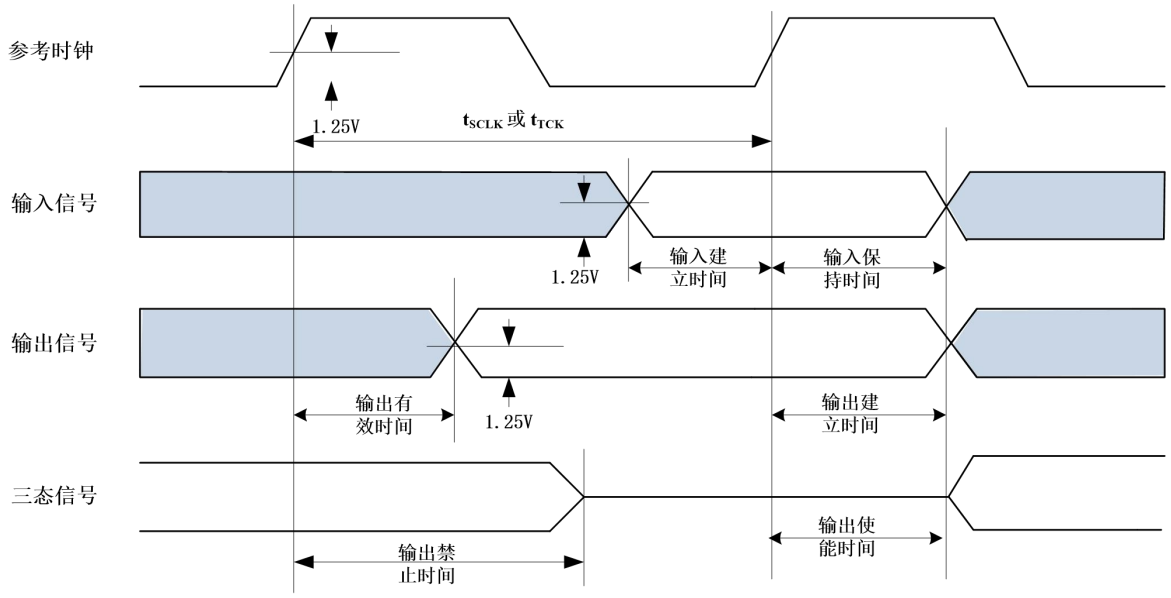


图12通用交流信号时序图

表20交流信号规格

序号	参数名	描述	输入建立时间(最小)	输入保持时间(最小)	输出有效时间(最大)	输出保持时间(最小)	输出使能时间(最小)	输出禁止时间(最大)	参考时钟	单位
1	**ADDR31–0**	外部地址总线	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
2	**DATA63–0**	外部数据总线	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
3	**$\overline{\text{MSH}}$**	存储器主机片选信号	–	–	4.0	1.0	1.15	2.0	SCLK	ns
4	**$\overline{\text{MSSD3-0}}$**	存储器SDRAM片选信号	1.5	0.5	4.0	1.0	1.0	2.0	SCLK	ns
5	**$\overline{\text{MS1-0}}$**	存储器静态块选择	–	–	4.0	1.0	1.15	2.0	SCLK	ns
6	**$\overline{\text{RD}}$**	存储器读	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
7	**$\overline{\text{WRL}}$**	低字写	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
8	**$\overline{\text{WRH}}$**	高字写	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
9	**ACK**	数据应答高到低	1.5	0.5	3.6	1.0	1.15	2.0	SCLK	ns
		数据应答低到高	1.5	0.5	4.2	0.9	1.15	2.0	SCLK	ns
10	**SDCKE**	SDRAM时钟使能	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
11	**$\overline{\text{RAS}}$**	行地址选择	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
12	**$\overline{\text{CAS}}$**	列地址选择	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
13	**$\overline{\text{SDWE}}$**	SDRAM写使能	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
14	**LDQM**	SDRAM低字屏蔽	–	–	4.0	1.0	1.15	2.0	SCLK	ns
15	**HDQM**	SDRAM高字屏蔽	–	–	4.0	1.0	1.15	2.0	SCLK	ns
16	**SDA10**	SDRAM ***ADDR*10**	–	–	4.0	1.0	1.15	2.0	SCLK	ns
17	**$\overline{\text{HBR}}$**	主机总线请求	1.5	0.5	–	–	–	–	SCLK	ns
18	**$\overline{\text{HBG}}$**	主机总线授予	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
19	**$\overline{\text{BOFF}}$**	请求撤销	1.5	0.5	–	–	–	–	SCLK	ns
20	**$\overline{\text{BUSLOCK}}$**	总线锁定	–	–	4.0	1.0	1.15	2.0	SCLK	ns
21	**$\overline{\text{BRST}}$**	突发存取	1.5	0.5	4.0	1.0	1.15	2.0	SCLK	ns
22	**$\overline{\text{BR7-0}}$**	多处理器处理总线请求	1.5	0.5	4.0	1.0	–	–	SCLK	ns

序号	参数名	描述	输入建立时间(最小)	输入保持时间(最小)	输出有效时间(最大)	输出保持时间(最小)	输出使能时间(最小)	输出禁止时间(最大)	参考时钟	单位
23	**$\overline{BM}$**	总线主处理器	–	–	4.0	1.0	–	–	SCLK	ns
24	**$\overline{IORD}$**	FLYBY 读使能	–	–	4.0	1.0	1.0	2.0	SCLK	ns
25	**$\overline{IOWR}$**	FLYBY 写使能	–	–	4.0	1.0	1.15	2.0	SCLK	ns
26	**$\overline{IOEN}$**	FLYBY I/O使能	–	–	4.0	1.0	1.15	2.0	SCLK	ns
27	**$\overline{CPA}$**	内核优先访问高到低	1.5	0.5	4.0	1.0	0.75	2.0	SCLK	ns
		内核优先访问低到高	1.5	0.5	29.5	2.0	0.75	2.0	SCLK	ns
28	**$\overline{DPA}$**	DMA优先访问高到低	1.5	0.5	4.0	1.0	0.75	2.0	SCLK	ns
		DMA优先访问低到高	1.5	0.5	29.5	2.0	0.75	2.0	SCLK	ns
29	**$\overline{BMS}$**	引导存储器选择	–	–	4.0	1.0	1.15	2.0	SCLK	ns
30	**FLAG3-0**	FLAG 引脚	–	–	4.0	1.0	1.15	2.0	SCLK	ns
31	**$\overline{RST_IN}$**	全局复位	1.5	–	–	–	–	–	SCLK	ns
32	**TMS**	测试模式选择(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
33	**TDI**	测试数据输入(JTAG)	1.5	1.0	–	–	–	–	TCK	ns
34	**TDO**	测试数据输出(JTAG)	–	–	4.0	1.0	0.75	2.0	TCK	ns
35	**$\overline{TRST}$**	测试复位(JTAG)	1.5	0.5	–	–	–	–	TCK	ns
36	**$\overline{EMU}$**	仿真高到低	–	–	5.5	2.0	1.15	4.0	TCK或SCLK	ns
37	**ID2-0**	静态引脚-必须接常数值	–	–	–	–	–	–	–	ns
39	**DS2-0**	静态引脚-必须接常数值	–	–	–	–	–	–	–	ns
40	**SCLKRAT2-0**	静态引脚-必须接常数值	–	–	–	–	–	–	–	ns
42	**STRAP SYS**	静态引脚	1.5	0.5	–	–	–	–	SCLK	ns
43	**JTAG SYS**	JTAG 系统引脚	+2.5	+10.0	+12.0	-1.0	–	–	TCK	ns

表21 Link Port LVDS输出电特性参数

序号	参数名	参数说明	测试条件	极限值		单位	分组
				最小	最大		
1	**V_{OH}**	输出高电平电压，V_{O_P}或V_{O_N}	R_L=100Ω		1.85	V	
2	**V_{OL}**	输出低电平电压，V_{O_P}或V_{O_N}	R_L=100Ω	0.92		V	
3	**$\|V_{OD}\|$**	输出差分电压	R_L=100Ω	250	400	mA	
4	**I_{OS}**	输出短路电流	V_{O_P}或V_{O_N}=0 V_{OD}=0		+5/-55 +/-10	mA	
5	**V_{OCM}**	输出共模电压		1.125	1.375	V	

表22 Link Port LVDS输入电特性参数

序号	参数名	参数说明	测试条件	极限值		单位	分组
				最小	最大		
1	$\|V_{ID}\|$	输入差分电压		100	600	mV	
2	V_{ICM}	输入共模电压		0.2	1.6	V	

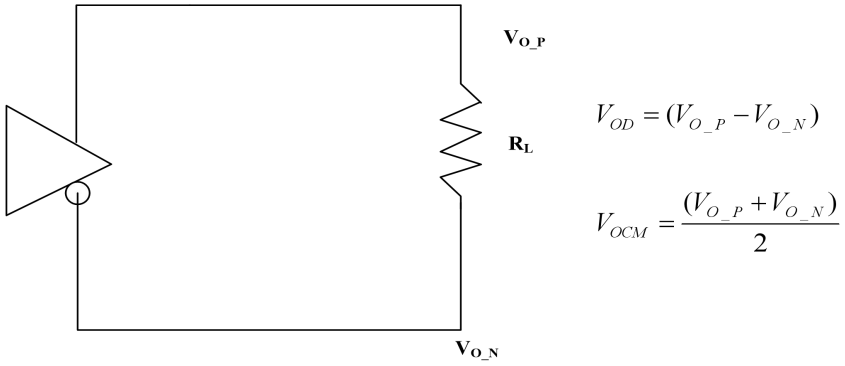


图13Link Port传输电气特性

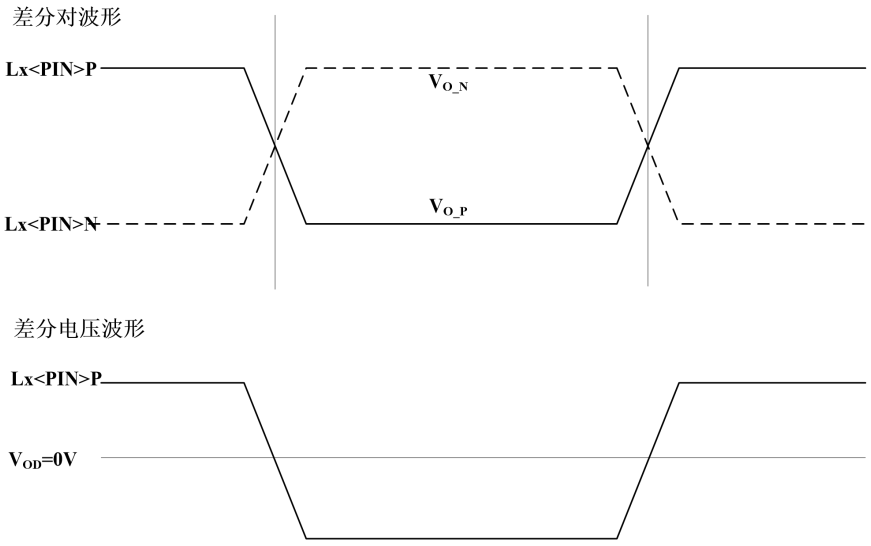


图14Link Port信号定义

表23 Link Port输出电特性参数

序号	参数名	参数说明	极限值		单位	分组
			最小	最大		
1	t_{REO}	上升沿时间		200	ps	
2	t_{FEO}	下降沿时间		200	ps	
3	t_{LCLKOP}	LINK 时钟输出周期	取2.0与0.9×LCR×t_{CCLK}中最大值	1.1×LCR×t_{CCLK}	ns	
4	t_{LCLKOH}	LINK 时钟输出高电平时间	0.4×t_{LCLKOP}	0.6×t_{LCLKOP}	ns	
5	t_{LCLKOL}	LINK 时钟输出低电平时间	0.4×t_{LCLKOP}	0.6×t_{LCLKOP}	ns	
6	t_{COJT}	LINK 时钟抖动		1/+125	ps	
7	t_{LDOS}	LCR=1 和LCR=1.5时，LINK 数据输出建立时间	取2.5与0.25×LCR×t_{CCLK}-0.15中最小值		ns	
		LCR=2 和LCR=4时，LINK 数据输出建立时间	取2.5与0.25×LCR×t_{CCLK}-0.3中最小值		ns	

序号	参数名	参数说明	极限值		单	分
8	t_{LDOH}	LCR=1 和LCR=1.5时，LINK 数据输出保持时间	取2.5与0.25×LCR×t_{CCLK} -0.15中最小值		ns	
		LCR=2 和LCR=4时，LINK 数据输出保持时间	取2.5与0.25×LCR×t_{CCLK} -0.3中最小值		ns	
9	t_{LACKID}	从LxACKI上升沿到第一个传输时钟边沿的延时时间		16×LCR×t_{CCLK}	ns	
10	t_{BCMPOV}	$\overline{\text{LxBCMPO}}$ 有效时间		2×LCR×t_{CCLK}	ns	
11	t_{BCMPOH}	$\overline{\text{LxBCMPO}}$ 保持时间	3×TSW-0.5		ns	
12	t_{LACKIS}	LxACKI变低的建立时间到发送端停止发送的时间	16×LCR×t_{CCLK}		ns	
13	t_{LACKIH}	没有中断时LxACKI变高的建立时间到发送端恢复发送的时间	0.5		ns	

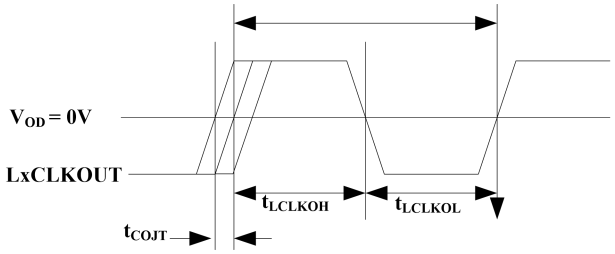
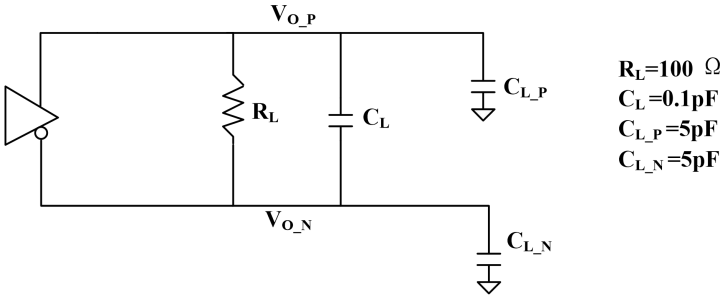


图15 Link Port 输出时钟



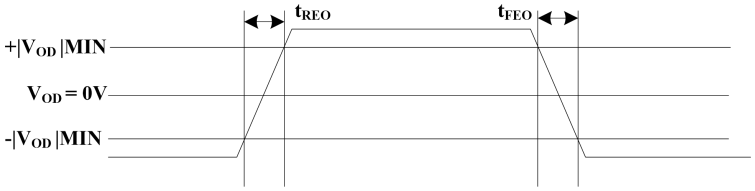


图16Link Port差分输出信号传输时序

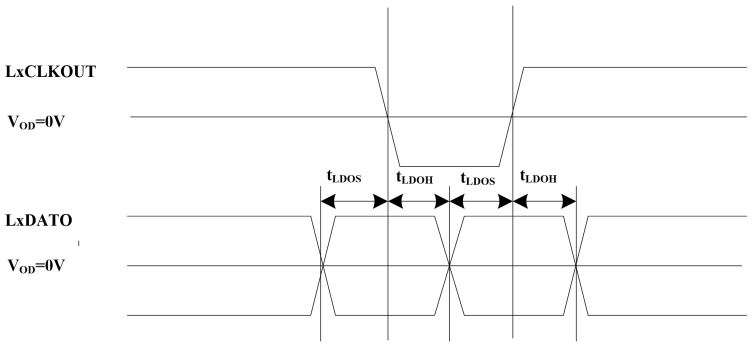


图17 Link Port 数据输出建立时间和保持时间时序图

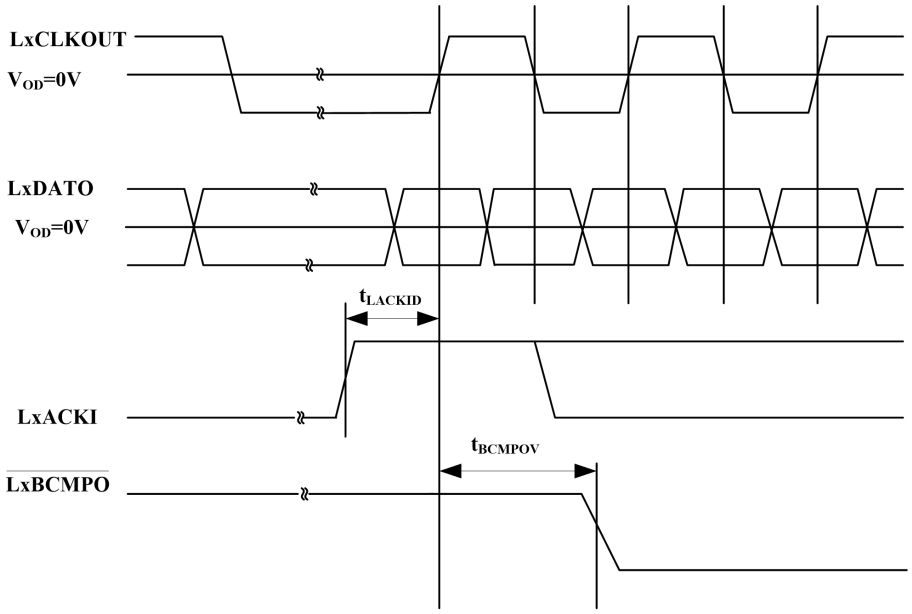


图18 Link Port数据传输开始时序图

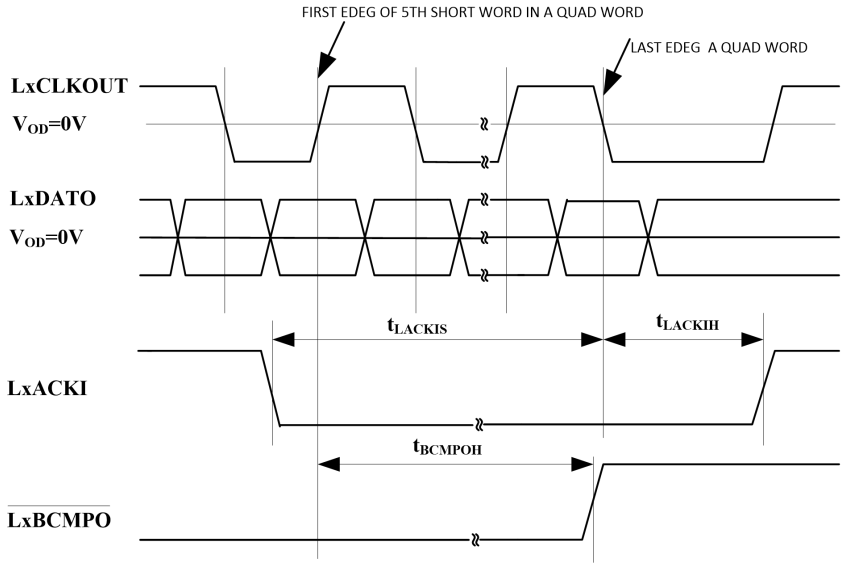


图19Link Port传输结束和停止时序图

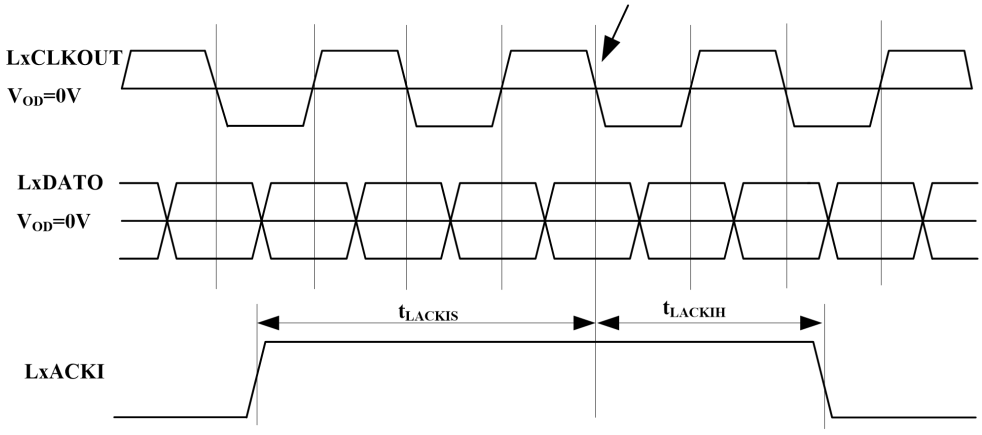


图20 Link Port 连续传输时序图

表24 Link Port 数据输入时序参数

序号	参数名	参数说明	极限值		单位	分组
			最小	最大		
1	t_{LCLKIP}	输入时钟周期	取0.9与0.9×t_{CCLK}中最大值		ns	
2	t_{LDIS}	输入数据建立时间	0.2		ns	
3	t_{LDIH}	输入数据保持时间	0.2		ns	
4	t_{BCMPIS}	$\overline{\text{LxBCMPI}}$ 建立时间	2×t_{LCLKIP}		ns	
5	t_{BCMPIH}	$\overline{\text{LxBCMPI}}$ 保持时间	2×t_{LCLKIP}		ns	

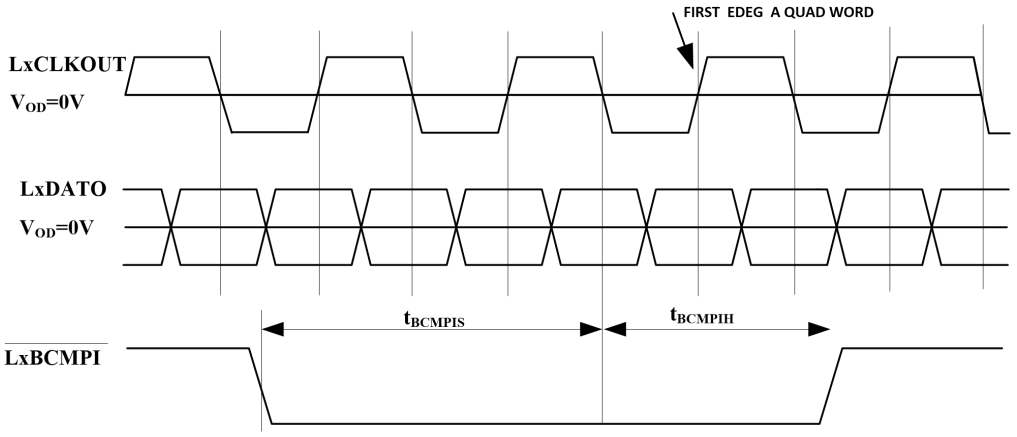


图21 Link Port 接收最后四字时序

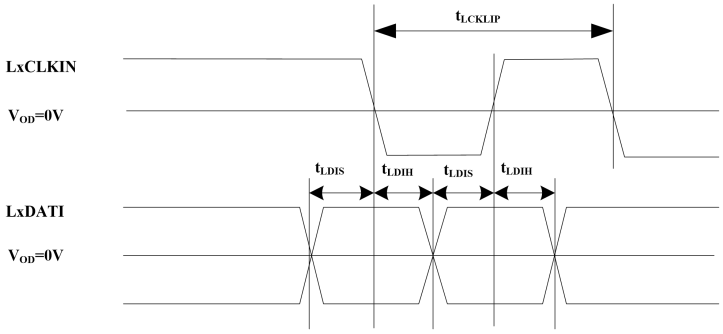


图22Link Port 输入数据的建立保持时间时序图

测试条件

交流信号规范包括输出禁止时间，输出使能时间和电容负载，具体的参考电压如下图所示。

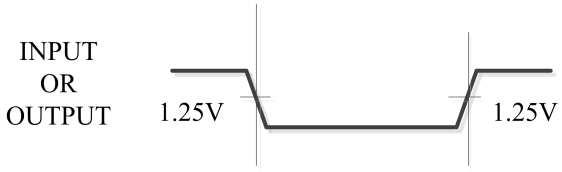


图23交流测量下的参考电压

输出禁止时间

当输出引脚停止驱动进入高阻状态，开始从原输出高/低电压向高阻过渡，则被认为禁止。总线上电压过渡△V所需的时间，取决于负载电容C_L及负载电流I_L。由下式可近似得到过渡时间：

$t_{DECAY}=（C_L×△V）/I_L$

输出禁止时间t_{DIS}是$t_{MEASURED_DIS}$和t_{DECAY}的差值。参考信号开始改变到输出电压从原来的高低处过渡了△V，这一间隔时间是$t_{MEASURED_DIS}$。计算t_{DECAY}用测试负载C_L，IL及△V等于0.5V。

输出使能时间

当输出引脚从高阻态转换为驱动态时，认为输出引脚被使能。总线电压上升△V取决与容性负载C_L以及驱动电流I_D。

$T_{RAMP}=（C_L×△V）/I_D$

电容负载

如图16显示了具有可变电容的电路，用于测量典型的输出上升和下降时间

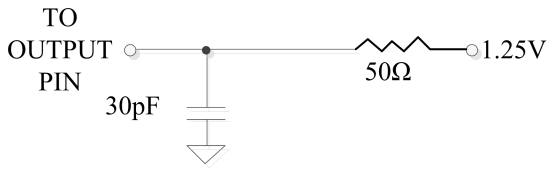


图24交流测量等效设备负载（包括所有夹具）

封装及管脚

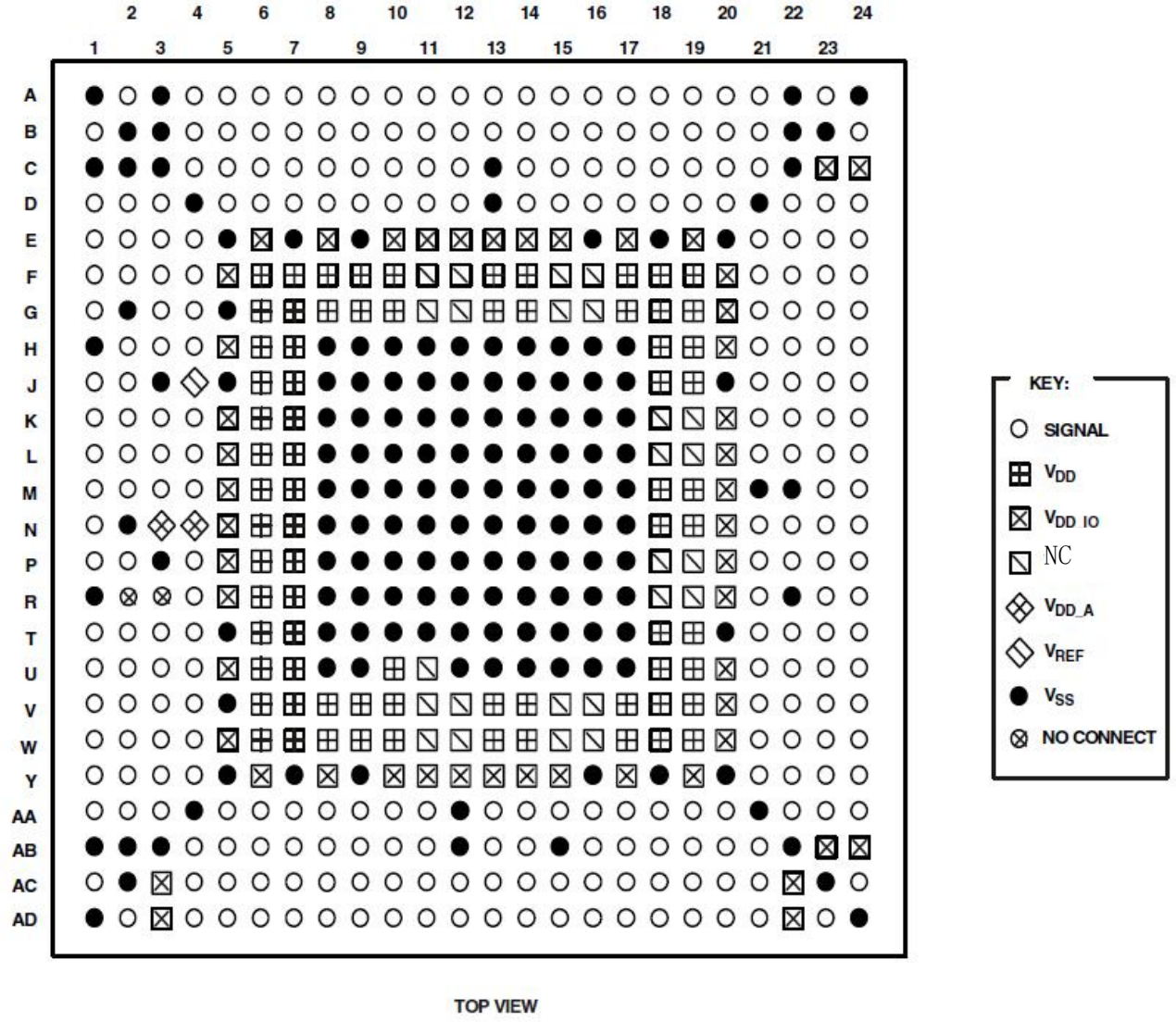


图25 576球型BGA_ED封装管脚定义

表25管脚

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
A1	VSS	地	G	B1	DATA53	外部数据总线	I/O/T
A2	DATA51	外部数据总线	I/O/T	B2	VSS	地	G
A3	VSS	外部数据总线	I/O/T	B3	VSS	地	G
A4	DATA49	外部数据总线	I/O/T	B4	DATA50	外部数据总线	I/O/T
A5	DATA43	外部数据总线	I/O/T	B5	DATA44	外部数据总线	I/O/T
A6	DATA41	外部数据总线	I/O/T	B6	DATA42	外部数据总线	I/O/T
A7	DATA37	外部数据总线	I/O/T	B7	DATA38	外部数据总线	I/O/T
A8	DATA33	外部数据总线	I/O/T	B8	DATA34	外部数据总线	I/O/T
A9	DATA29	外部数据总线	I/O/T	B9	DATA30	外部数据总线	I/O/T
A10	DATA25	外部数据总线	I/O/T	B10	DATA26	外部数据总线	I/O/T
A11	DATA23	外部数据总线	I/O/T	B11	DATA24	外部数据总线	I/O/T
A12	DATA19	外部数据总线	I/O/T	B12	DATA20	外部数据总线	I/O/T
A13	DATA15	外部数据总线	I/O/T	B13	DATA16	外部数据总线	I/O/T
A14	DATA11	外部数据总线	I/O/T	B14	DATA12	外部数据总线	I/O/T
A15	DATA9	外部数据总线	I/O/T	B15	DATA10	外部数据总线	I/O/T

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
A16	DATA5	外部数据总线	I/O/T	B16	DATA6	外部数据总线	I/O/T
A17	DATA1	外部数据总线	I/O/T	B17	DATA2	外部数据总线	I/O/T
A18	$\overline{WRL}$	低写信号	I/O/T	B18	$\overline{WRH}$	高写信号	I/O/T
A19	ADDR30	外部地址总线	I/O/T	B19	ADDR31	外部地址总线	I/O/T
A20	ADDR28	外部地址总线	I/O/T	B20	ADDR29	外部地址总线	I/O/T
A21	ADDR22	外部地址总线	I/O/T	B21	ADDR23	外部地址总线	I/O/T
A22	VSS	地	G	B22	VSS	地	G
A23	ADDR21	外部地址总线	I/O/T	B23	VSS	地	G
A24	VSS	地	G	B24	ADDR18	外部地址总线	I/O/T
C1	VSS	地	G	D1	DATA55	外部数据总线	I/O/T
C2	VSS	地	G	D2	DATA56	外部数据总线	I/O/T
C3	VSS	地	G	D3	DATA54	外部数据总线	I/O/T
C4	DATA52	外部数据总线	I/O/T	D4	VSS	地	G
C5	DATA47	外部数据总线	I/O/T	D5	DATA48	外部数据总线	I/O/T
C6	DATA45	外部数据总线	I/O/T	D6	DATA46	外部数据总线	I/O/T
C7	DATA39	外部数据总线	I/O/T	D7	DATA40	外部数据总线	I/O/T
C8	DATA35	外部数据总线	I/O/T	D8	DATA36	外部数据总线	I/O/T
C9	DATA31	外部数据总线	I/O/T	D9	DATA32	外部数据总线	I/O/T
C10	DATA27	外部数据总线	I/O/T	D10	DATA28	外部数据总线	I/O/T
C11	DATA21	外部数据总线	I/O/T	D11	DATA22	外部数据总线	I/O/T
C12	DATA17	外部数据总线	I/O/T	D12	DATA18	外部数据总线	I/O/T
C13	VSS	地	G	D13	VSS	地	G
C14	DATA13	外部数据总线	I/O/T	D14	DATA14	外部数据总线	I/O/T
C15	DATA7	外部数据总线	I/O/T	D15	DATA8	外部数据总线	I/O/T
C16	DATA3	外部数据总线	I/O/T	D16	DATA4	外部数据总线	I/O/T
C17	ACK	应答	I/O/T	D17	DATA0	外部数据总线	I/O/T
C18	$\overline{RD}$	外部总线读信号	I/O/T	D18	$\overline{BRST}$	突发	I/O/T
C19	ADDR26	外部地址总线	I/O/T	D19	ADDR27	外部地址总线	I/O/T
C20	ADDR24	外部地址总线	I/O/T	D20	ADDR25	外部地址总线	I/O/T
C21	ADDR20	外部地址总线	I/O/T	D21	VSS	地	G
C22	VSS	地	G	D22	ADDR19	外部地址总线	I/O/T
C23	VDD_IO	外部（I/O）电源	P	D23	ADDR17	外部地址总线	I/O/T
C24	VDD_IO	外部（I/O）电源	P	D24	ADDR16	外部地址总线	I/O/T
E1	DATA61	外部数据总线	I/O/T	F1	DATA63	外部数据总线	I/O/T
E2	DATA62	外部数据总线	I/O/T	F2	$\overline{MS1}$	存储器选择	O/T
E3	DATA57	外部数据总线	I/O/T	F3	DATA59	外部数据总线	I/O/T
E4	DATA58	外部数据总线	I/O/T	F4	DATA60	外部数据总线	I/O/T
E5	VSS	地	G	F5	VDD_IO	外部（I/O）电源	P
E6	VDD_IO	外部（I/O）电源	P	F6	VDD	内部（核）电源	P
E7	VSS	地	G	F7	VDD	内部（核）电源	P
E8	VDD_IO	外部（I/O）电源	P	F8	VDD	内部（核）电源	P
E9	VSS	地	G	F9	VDD	内部（核）电源	P
E10	VDD_IO	外部（I/O）电源	P	F10	VDD	内部（核）电源	P
E11	VDD_IO	外部（I/O）电	P	F11	NC	空	

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源					
E12	VDD_IO	外部（I/O）电源	P	F12	NC	空	
E13	VDD_IO	外部（I/O）电源	P	F13	VDD	内部（核）电源	P
E14	VDD_IO	外部（I/O）电源	P	F14	VDD	内部（核）电源	P
E15	VDD_IO	外部（I/O）电源	P	F15	NC	空	
E16	VSS	地	G	F16	NC	空	
E17	VDD_IO	外部（I/O）电源	P	F17	VDD	内部（核）电源	P
E18	VSS	地	G	F18	VDD	内部（核）电源	P
E19	VDD_IO	外部（I/O）电源	P	F19	VDD	内部（核）电源	P
E20	VSS	地	G	F20	VDD_IO	外部（I/O）电源	P
E21	ADDR15	外部地址总线	I/O/T	F21	ADDR13	外部地址总线	I/O/T
E22	ADDR14	外部地址总线	I/O/T	F22	ADDR12	外部地址总线	I/O/T
E23	ADDR11	外部地址总线	I/O/T	F23	ADDR9	外部地址总线	I/O/T
E24	ADDR10	外部地址总线	I/O/T	F24	ADDR8	外部地址总线	I/O/T
G1	$\overline{\text{MSSD1}}$	SDRAM选择	I/O/T	H1	VSS	地	G
G2	VSS	地	G	H2	$\overline{\text{MSH}}$	主机选择	O/T
G3	$\overline{\text{MS0}}$	存储器选择	O/T	H3	$\overline{\text{MSSD3}}$	SDRAM选择	I/O/T
G4	$\overline{\text{BMS}}$	存储器选择	O/T	H4	SCLKRAT0	SCLK比率	I
G5	VSS	地	G	H5	VDD_IO	外部（I/O）电源	P
G6	VDD	内部（核）电源	P	H6	VDD	内部（核）电源	P
G7	VDD	内部（核）电源	P	H7	VDD	内部（核）电源	P
G8	VDD	内部（核）电源	P	H8	VSS	地	G
G9	VDD	内部（核）电源	P	H9	VSS	地	G
G10	VDD	内部（核）电源	P	H10	VSS	地	G
G11	NC	空		H11	VSS	地	G
G12	NC	空		H12	VSS	地	G
G13	VDD	内部（核）电源	P	H13	VSS	地	G
G14	VDD	内部（核）电源	P	H14	VSS	地	G
G15	NC	空		H15	VSS	地	G
G16	NC	空		H16	VSS	地	G
G17	VDD	内部（核）电源	P	H17	VSS	地	G
G18	VDD	内部（核）电源	P	H18	VDD	内部（核）电源	P
G19	VDD	内部（核）电源	P	H19	VDD	内部（核）电源	P
G20	VDD_IO	外部（I/O）电	P	H20	VDD_IO	外部（I/O）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源					
G21	ADDR7	外部地址总线	I/O/T	H21	ADDR3	外部地址总线	I/O/T
G22	ADDR6	外部地址总线	I/O/T	H22	ADDR2	外部地址总线	I/O/T
G23	ADDR5	外部地址总线	I/O/T	H23	ADDR1	外部地址总线	I/O/T
G24	ADDR4	外部地址总线	I/O/T	H24	ADDR0	外部地址总线	I/O/T
J1	$\overline{RAS}$	行地址选择	I/O/T	K1	SDA10	SDRAM地址引脚	O/T
J2	$\overline{CAS}$	列地址选择	I/O/T	K2	SDCKE	SDRAM时钟使能	I/O/T
J3	VSS	地	G	K3	LDQM	SDRAM低字屏蔽	O/T
J4	NC	空		K4	HDQM	SDRAM高字屏蔽	O/T
J5	VSS	地	G	K5	VDD_IO	外部（I/O）电源	P
J6	VDD	内部（核）电源	P	K6	VDD	内部（核）电源	P
J7	VDD	内部（核）电源	P	K7	VDD	内部（核）电源	P
J8	VSS	地	G	K8	VSS	地	G
J9	VSS	地	G	K9	VSS	地	G
J10	VSS	地	G	K10	VSS	地	G
J11	VSS	地	G	K11	VSS	地	G
J12	VSS	地	G	K12	VSS	地	G
J13	VSS	地	G	K13	VSS	地	G
J14	VSS	地	G	K14	VSS	地	G
J15	VSS	地	G	K15	VSS	地	G
J16	VSS	地	G	K16	VSS	地	G
J17	VSS	地	G	K17	VSS	地	G
J18	VDD	内部（核）电源	P	K18	NC	空	
J19	VDD	内部（核）电源	P	K19	NC	空	
J20	VSS	地	G	K20	VDD_IO	外部（I/O）电源	P
J21	L0ACKO	链路口输出应答	O	K21	L0DATI1_N	链路口接收数据	I
J22	$\overline{L0BCMPI}$	链路口接收完成	I	K22	L0DATI1_P	链路口接收数据	I
J23	L0DATI0_N	链路口接收数据	I	K23	L0CLKINN	链路口输入时钟	I
J24	L0DATI0_P	链路口接收数据	I	K24	L0CLKINP	链路口输入时钟	I
L1	$\overline{SDWE}$	SDRAM写使能	I/O/T	M1	$\overline{BR3}$	多处理器总线请求	I/O
L2	$\overline{BR0}$	多处理器总线请求	I/O	M2	SCLKRAT1	SCLK比率	I
L3	$\overline{BR1}$	多处理器总线请求	I/O	M3	$\overline{BR5}$	多处理器总线请求	I/O
L4	$\overline{BR2}$	多处理器总线请求	I/O	M4	$\overline{BR6}$	多处理器总线请求	I/O
L5	VDD_IO	外部（I/O）电源	P	M5	VDD_IO	外部（I/O）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
L6	VDD	内部（核）电源	P	M6	VDD	内部（核）电源	P
L7	VDD	内部（核）电源	P	M7	VDD	内部（核）电源	P
L8	VSS	地	G	M8	VSS	地	G
L9	VSS	地	G	M9	VSS	地	G
L10	VSS	地	G	M10	VSS	地	G
L11	VSS	地	G	M11	VSS	地	G
L12	VSS	地	G	M12	VSS	地	G
L13	VSS	地	G	M13	VSS	地	G
L14	VSS	地	G	M14	VSS	地	G
L15	VSS	地	G	M15	VSS	地	G
L16	VSS	地	G	M16	VSS	地	G
L17	VSS	地	G	M17	VSS	地	G
L18	NC	空		M18	VDD	内部（核）电源	P
L19	NC	空		M19	VDD	内部（核）电源	P
L20	VDD_IO	外部（I/O）电源	P	M20	VDD_IO	外部（I/O）电源	P
L21	L0DATI3_N	链路口接收数据	I	M21	VSS	地	G
L22	L0DATI3_P	链路口接收数据	I	M22	VSS	地	G
L23	L0DATI2_N	链路口接收数据	I	M23	L0DATO3_N	链路口发送数据	O
L24	L0DATI2_P	链路口接收数据	I	M24	L0DATO3_P	链路口发送数据	O
N1	ID0	多处理器ID	I	P1	SCLK	系统时钟	I
N2	VSS	地	G	P2	NC	空	
N3	VDD_A	模拟（PLL）电源	P	P3	VSS	地	G
N4	VDD_A	模拟（PLL）电源	P	P4	$\overline{BM}$	总线主处理器	O
N5	VDD_IO	外部（I/O）电源	P	P5	VDD_IO	外部（I/O）电源	P
N6	VDD	内部（核）电源	P	P6	VDD	内部（核）电源	P
N7	VDD	内部（核）电源	P	P7	VDD	内部（核）电源	P
N8	VSS	地	G	P8	VSS	地	G
N9	VSS	地	G	P9	VSS	地	G
N10	VSS	地	G	P10	VSS	地	G
N11	VSS	地	G	P11	VSS	地	G
N12	VSS	地	G	P12	VSS	地	G
N13	VSS	地	G	P13	VSS	地	G
N14	VSS	地	G	P14	VSS	地	G
N15	VSS	地	G	P15	VSS	地	G
N16	VSS	地	G	P16	VSS	地	G
N17	VSS	地	G	P17	VSS	地	G
N18	VDD	内部（核）电源	P	P18	NC	空	
N19	VDD	内部（核）电	P	P19	NC	空	

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		源					
N20	VDD_IO	外部（I/O）电源	P	P20	VDD_IO	外部（I/O）电源	P
N21	L0DATO2_N	链路口发送数据	O	P21	L0DATO1_N	链路口发送数据	O
N22	L0DATO2_P	链路口发送数据	O	P22	L0DATO1_P	链路口发送数据	O
N23	L0CLKON	链路口输出时钟	O	P23	L0DATO0_N	链路口发送数据	O
N24	L0CLKOP	链路口输出时钟	O	P24	L0DATO0_P	链路口发送数据	O
R1	VSS	地	G	T1	$\overline{\text{RST_IN}}$	复位输入	I/A
R2	NC	空		T2	SCLKRAT2	SCLK比率	I
R3	NC	空		T3	$\overline{\text{BR4}}$	多处理器总线请求	I/O
R4	$\overline{\text{BR7}}$	多处理器总线请求	I/O	T4	DS0	数字驱动强度选择	I
R5	VDD_IO	外部（I/O）电源	P	T5	VSS	地	G
R6	VDD	内部（核）电源	P	T6	VDD	内部（核）电源	P
R7	VDD	内部（核）电源	P	T7	VDD	内部（核）电源	P
R8	VSS	地	G	T8	VSS	地	G
R9	VSS	地	G	T9	VSS	地	G
R10	VSS	地	G	T10	VSS	地	G
R11	VSS	地	G	T11	VSS	地	G
R12	VSS	地	G	T12	VSS	地	G
R13	VSS	地	G	T13	VSS	地	G
R14	VSS	地	G	T14	VSS	地	G
R15	VSS	地	G	T15	VSS	地	G
R16	VSS	地	G	T16	VSS	地	G
R17	VSS	地	G	T17	VSS	地	G
R18	NC	空		T18	VDD	内部（核）电源	P
R19	NC	空		T19	VDD	内部（核）电源	P
R20	VDD_IO	外部（I/O）电源	P	T20	VSS	地	G
R21	NC	空		T21	L1DATI0_N	链路口接收数据	I
R22	VSS	地	G	T22	L1DATI0_P	链路口接收数据	I
R23	$\overline{\text{L0BCMPO}}$	链路口发送完成	O	T23	L1ACKO	链路口输出应答	O
R24	L0ACKI	链路口应答输入	I	T24	$\overline{\text{L1BCMPI}}$	链路口接收完成	I
U1	$\overline{\text{MSSD0}}$	SDRAM选择	I/O/T	V1	$\overline{\text{MSSD2}}$	SDRAM选择	I/O/T
U2	$\overline{\text{RST_OUT}}$	复位输出	O	V2	DS2	数字驱动强度选择	I
U3	ID2	多处理器ID	I	V3	$\overline{\text{POR_IN}}$	内部存储上电复位	I/A
U4	DS1	数字驱动强度选择	I	V4	CONTROLIMP1	测试引脚	I

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
U5	VDD_IO	外部（I/O）电源	P	V5	VSS	地	G
U6	VDD	内部（核）电源	P	V6	VDD	内部（核）电源	P
U7	VDD	内部（核）电源	P	V7	VDD	内部（核）电源	P
U8	VSS	地	G	V8	VDD	内部（核）电源	P
U9	VSS	地	G	V9	VDD	内部（核）电源	P
U10	VDD	内部（核）电源	P	V10	VDD	内部（核）电源	P
U11	NC	空		V11	NC	空	
U12	VSS	地	G	V12	NC	空	
U13	VSS	地	G	V13	VDD	内部（核）电源	P
U14	VSS	地	G	V14	VDD	内部（核）电源	P
U15	VSS	地	G	V15	NC	空	
U16	VSS	地	G	V16	NC	空	
U17	VSS	地	G	V17	VDD	内部（核）电源	P
U18	VDD	内部（核）电源	P	V18	VDD	内部（核）电源	P
U19	VDD	内部（核）电源	P	V19	VDD	内部（核）电源	P
U20	VDD_IO	外部（I/O）电源	P	V20	VDD_IO	外部（I/O）电源	P
U21	L1CLKINN	链路口输入时钟	I	V21	L1DATI3_N	链路口接收数据	I
U22	L1CLKINP	链路口输入时钟	I	V22	L1DATI3_P	链路口接收数据	I
U23	L1DATI1_N	链路口接收数据	I	V23	L1DATI2_N	链路口接收数据	I
U24	L1DATI1_P	链路口接收数据	I	V24	L1DATI2_P	链路口接收数据	I
W1	CONTROLIMP0	测试控制信号	I	Y1	$\overline{\text{EMU}}$	仿真	O
W2	ENEDREG	测试引脚	I	Y2	TCK	测试时钟	I
W3	TDI	JTAG数据输入	I	Y3	TMR0E	定时器0记满	O
W4	TDO	JTAG数据输入	O	Y4	FLAG3	标志引脚	I/O/A
W5	VDD_IO	外部（I/O）电源	P	Y5	VSS	地	G
W6	VDD	内部（核）电源	P	Y6	VDD_IO	外部（I/O）电源	P
W7	VDD	内部（核）电源	P	Y7	VSS	地	G
W8	VDD	内部（核）电源	P	Y8	VDD_IO	外部（I/O）电源	P
W9	VDD	内部（核）电源	P	Y9	VSS	地	G
W10	VDD	内部（核）电源	P	Y10	VDD_IO	外部（I/O）电源	P
W11	NC	空		Y11	VDD_IO	外部（I/O）电源	P
W12	NC	空		Y12	VDD_IO	外部（I/O）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
W13	VDD	内部（核）电源	P	Y13	VDD_IO	外部（I/O）电源	P
W14	VDD	内部（核）电源	P	Y14	VDD_IO	外部（I/O）电源	P
W15	NC	空	G	Y15	VDD_IO	外部（I/O）电源	P
W16	NC	空	G	Y16	VSS	地	G
W17	VDD	内部（核）电源	P	Y17	VDD_IO	外部（I/O）电源	P
W18	VDD	内部（核）电源	P	Y18	VSS	地	G
W19	VDD	内部（核）电源	P	Y19	VDD_IO	外部（I/O）电源	P
W20	VDD_IO	外部（I/O）电源	P	Y20	VSS	地	G
W21	L1CLKON	链路口输出时钟	O	Y21	L1DATO1_N	链路口发送数据	O
W22	L1CLKOP	链路口输出时钟	O	Y22	L1DATO1_P	链路口发送数据	O
W23	L1DATO3_N	链路口发送数据	O	Y23	L1DATO2_N	链路口发送数据	O
W24	L1DATO3_P	链路口发送数据	O	Y24	L1DATO2_P	链路口发送数据	O
AA1	FLAG2	标志引脚	I/O/A	AB1	VSS	地	G
AA2	FLAG1	标志引脚	I/O/A	AB2	VSS	地	G
AA3	$\overline{IRQ3}$	中断请求	I/A	AB3	VSS	地	G
AA4	VSS	地	G	AB4	NC	不接	
AA5	$\overline{IRQ0}$	中断请求	I/A	AB5	$\overline{IRQ2}$	中断请求	I/A
AA6	$\overline{IOEN}$	I/O设备输出使能	O/T	AB6	$\overline{IRQ1}$	中断请求	I/A
AA7	$\overline{DMAR0}$	DMA请求	I/A	AB7	$\overline{DMAR1}$	DMA请求	I/A
AA8	$\overline{HBR}$	主机总线请求	I	AB8	$\overline{HBG}$	主机总线授予	I/O/T
AA9	$\overline{L3BCMPO}$	链路口发送完成	O	AB9	L3ACKI	链路口应答输入	I
AA10	L3DATO1_N	链路口发送数据	O	AB10	L3DATO1_P	链路口发送数据	O
AA11	L3DATO3_N	链路口发送数据	O	AB11	L3DATO3_P	链路口发送数据	O
AA12	VSS	地	G	AB12	VSS	地	G
AA13	L3DATI2_N	链路口接收数据	I	AB13	L3DATI2_P	链路口接收数据	I
AA14	L3DATI1_N	链路口接收数据	I	AB14	L3DATI1_P	链路口接收数据	I
AA15	NC	不接		AB15	VSS	地	G
AA16	L2DATO0_N	链路口发送数据	O	AB16	L2DATO0_P	链路口发送数据	O
AA17	L2CLKON	链路口输出时钟	O	AB17	L2CLKOP	链路口输出时钟	O
AA18	L2DATO3_N	链路口发送数据	O	AB18	L2DATO3_P	链路口发送数据	O
AA19	L2CLKINN	链路口输入时	I	AB19	L2CLKINP	链路口输入时钟	I

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
		钟					
AA20	L2DATI1_N	链路口接收数据	I	AB20	L2DATI1_P	链路口接收数据	I
AA21	VSS	外部（I/O）电源	P	AB21	L2ACKO	链路口输出应答	O
AA22	$\overline{\text{L1BCMPO}}$	链路口发送完成	O	AB22	VSS	地	G
AA23	L1DATO0_N	链路口发送数据	O	AB23	VDD_IO	外部（I/O）电源	P
AA24	L1DATO0_P	链路口发送数据	O	AB24	VDD_IO	外部（I/O）电源	P
AC1	FLAG0	标志引脚	I/O/A	AD1	VSS	地	G
AC2	VSS	地	G	AD2	ID1	多处理器ID	I
AC3	VDD_IO	外部（I/O）电源	P	AD3	VDD_IO	外部（I/O）电源	P
AC4	TMS	JTAG测试模式选择	I	AD4	$\overline{\text{TRST}}$	测试复位（JTAG）	I/A
AC5	$\overline{\text{IOWR}}$	I/O设备写	O	AD5	$\overline{\text{IORD}}$	I/O设备读	O
AC6	$\overline{\text{DMAR2}}$	DMA请求	I/A	AD6	$\overline{\text{DMAR3}}$	DMA请求	I/A
AC7	$\overline{\text{CPA}}$	内核优先访问权	I/O	AD7	$\overline{\text{DPA}}$	DMA优先访问权	I/O
AC8	$\overline{\text{BOFF}}$	撤销	I	AD8	$\overline{\text{BUSLOCK}}$	总线锁定指示	O/T
AC9	L3DATO0_N	链路口发送数据	O	AD9	L3DATO0_P	链路口发送数据	O
AC10	L3CLKON	链路口输出时钟	O	AD10	L3CLKOP	链路口输出时钟	O
AC11	L3DATO2_N	链路口发送数据	O	AD11	L3DATO2_P	链路口发送数据	O
AC12	L3DATI3_N	链路口接收数据	I	AD12	L3DATI3_P	链路口接收数据	I
AC13	L3CLKINN	链路口输入时钟	I	AD13	L3CLKINP	链路口输入时钟	I
AC14	L3DATI0_N	链路口接收数据	I	AD14	L3DATI0_P	链路口接收数据	I
AC15	L3ACKO	链路口输出应答	O	AD15	$\overline{\text{L3BCMPI}}$	链路口接收完成	I
AC16	$\overline{\text{L2BCMPO}}$	链路口发送完成	O	AD16	L2ACKI	链路口应答输入	I
AC17	L2DATO1_N	链路口发送数据	O	AD17	L2DATO1_P	链路口发送数据	O
AC18	L2DATO2_N	链路口发送数据	O	AD18	L2DATO2_P	链路口发送数据	O
AC19	L2DATI3_N	链路口接收数据	I	AD19	L2DATI3_P	链路口接收数据	I
AC20	L2DATI2_N	链路口接收数据	I	AD20	L2DATI2_P	链路口接收数据	I
AC21	L2DATI0_N	链路口接收数据	I	AD21	L2DATI0_P	链路口接收数据	I
AC22	VDD_IO	外部（I/O）电源	P	AD22	VDD_IO	外部（I/O）电源	P

引出端序号	符号	功能	类型	引出端序号	符号	功能	类型
AC23	VSS	地	G	AD23	$\overline{\text{L2BCMPI}}$	链路口接收完成	I
AC24	L1ACKI	链路口应答输入	I	AD24	VSS	地	G

FDM-D30101封装

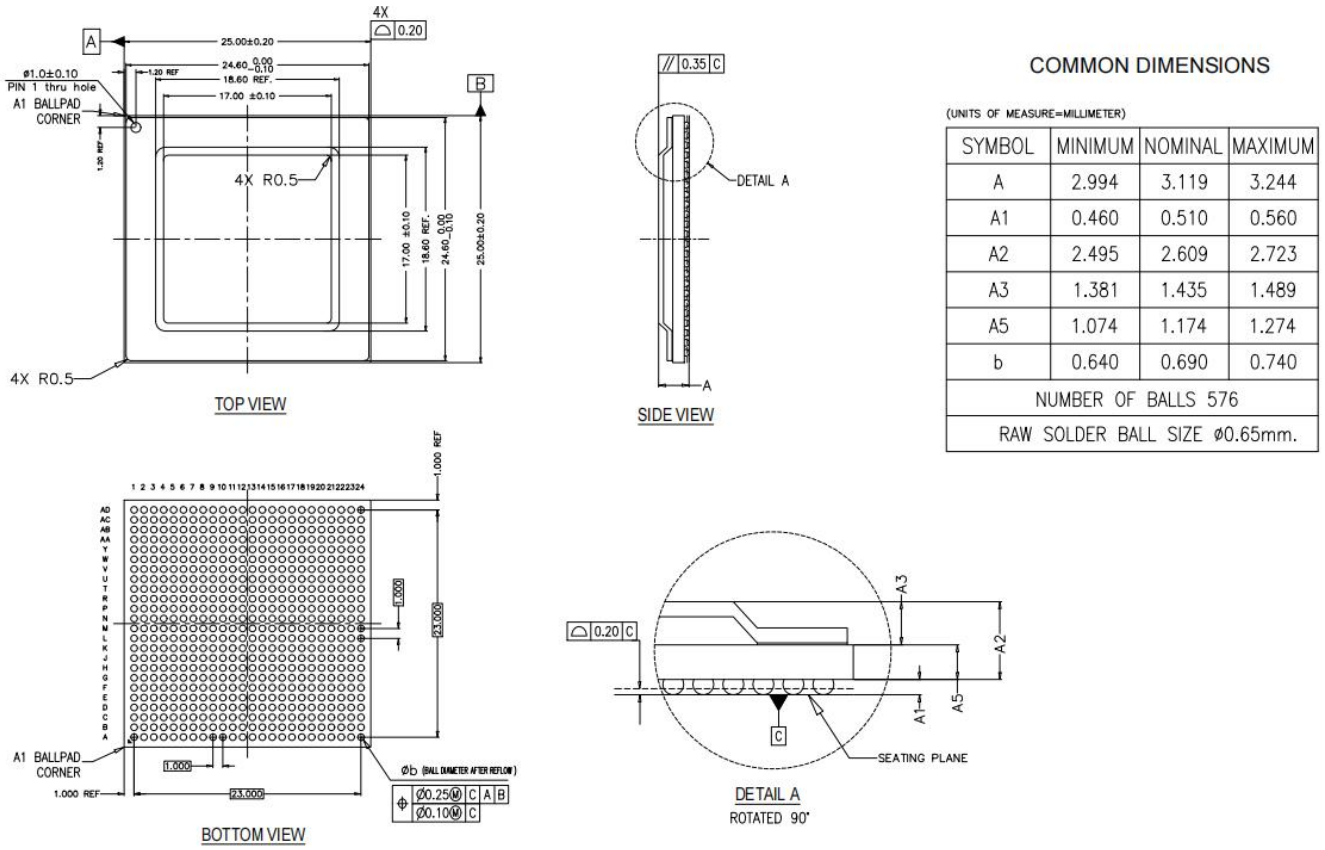


图26器件塑料封装

表26塑料封装尺寸

尺寸符号	数值(单位：mm)		
	最小	公称	最大
A	—	25.00	—
B	—	25.00	—
芯片高度	—	—	3.244
焊球阵列宽度	—	23.00	—
焊球阵列长度	—	23.00	—
焊球间距	—	1.00	—
焊球直径	0.55	0.65	0.75