智能数字信号处理器及其解决方案提供商

FDM320R03X 数据手册

版本V1.0

青岛本原微电子有限公司

关键特性

·高性能数字信号处理器技术

- 60MHz（ 16.67ns 周期时间 ）
- 16 × 16 和 32 × 32 MAC 操作
- 16 × 16 双 MAC
- 哈佛 (Harvard) 总线架构
- 连动运算
- 快速中断响应和处理
- 统一存储器编程模型
- 高效代码（ 使用 C/C++ 和汇编语言 ）

• 可编程控制律加速器 (CLA)
- 32 位浮点数学加速器
- 独立于主 CPU 之外的代码执行

• 字节序：小端字节序

• 支持 JTAG 边界扫描
- IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构

• 器件和系统均可实现低成本：
- 3.3V 单电源
- 无电源时序要求
- 集成型加电复位和欠压复位
- 低功耗
- 无模拟支持引脚

• 时钟：
- 两个内部零引脚振荡器
- 片上晶振振荡器和外部时钟输入
- 看门狗计时器模块
- 丢失时钟检测电路

• 多达 45 个具有输入滤波功能且可单独编程的多路复用 GPIO 引脚

• 可支持所有外设中断的外设中断扩展 (PIE) 模块

• 三个 32 位 CPU 计时器

• 每个增强型脉宽调制器 (ePWM) 中均有一个独立的 16 位计时器

• 片上存储器
- 闪存，SARAM，OTP，引导 ROM 可用

• 代码安全模块

• 128 位安全密钥和锁
- 保护安全内存块
- 防止固件逆向工程

• 串行端口外设
- 一个串行通信接口 (SCI) 通用异步接收器/发送器

• (UART) 模块
- 两个串行外设接口 (SPI) 模块
- 一个内部集成电路 (I2C) 模块
- 一个本地互连网络 (LIN) 模块
- 一个增强型控制器局域网 (eCAN) 模块

• 增强型控制外设
- ePWM
- 高分辨率 PWM (HRPWM)
- 增强型捕捉 (eCAP) 模块
- 高分辨率输入捕捉 (HRCAP) 模块
- 增强型正交编码器脉冲 (eQEP) 模块
- 模数转换器 (ADC)
- 片上温度传感器
- 比较器

• 高级仿真特性
- 分析和断点功能
- 通过硬件进行实时调试

• 封装选项
- 56 引脚 Very Thin Quad Flatpack（ 无引线 ） (VQFN)
- 64 引脚 Low-Profile Quad Flatpack (LQFP) 封装
- 80 引脚 Low-Profile Quad Flatpack (LQFP) 封装

• 温度选项
- T： －40°C 至 105°C
- E： －40°C 至 125°C
- Q： －40°C 至 125°C 的环境温度范围（ 通过针对汽车应用的 AEC Q100 认证 ）

目录

1. 器件特性 4
2. 引脚分配 5
3. 信号说明 8
4. 功能概述 16
4.1. CPU 21
4.2. 控制律加速器 (CLA) 21
4.3. 内存总线（哈佛总线架构） 21
4.4. 外设总线 22
4.5. 实时 JTAG 和分析 22
4.6. 闪存 22
4.7. M0，M1 SARAM 22
4.8. L0 SARAM，和 L1，L2，和 L3 DPSARAM 22
4.9. 引导 ROM 23
4.10. 安全性 23
4.11. 外设中断扩展(PIE)块 23
4.12. 外部中断 (XINT1-XINT3) 24
4.13. 内部零引脚振荡器、振荡器、和 PLL 24
4.14. 看门狗 24
4.15. 外设时钟 24
4.16. 低功耗模式 24
4.17. 外设帧 0，1，2，3 (PFn) 25
4.18.通用输入/输出 (GPIO) 复用器 25
4.19. 32 位 CPU 定时器 (0，1，2) 26
4.20.控制外设 26
4.21.串行端口外设 27
4.22.寄存器映射 28
4.23.器件仿真寄存器 30
4.24.中断 31
4.25.外部中断 35
4.26.VREG/BOR/POR 35
4.27.系统控制 36
4.28.低功耗模式块 39
4.29.控制律加速器 (CLA) 概述 40
4.30.模拟时钟 43
4.31.串行外设接口 (SPI) 模块 44
4.32.串行通信接口 (SCI) 模块 47
4.33.本地互连网络 (LIN) 50
4.34.增强型控制器局域网络 (eCAN) 模块 53
4.35.内部集成电路 (I2C) 58
4.36.增强型 PWM 模块 (ePWM1/2/3/4/5/6/7) 61
4.37.高分辨率 PWM (HRPWM) 68
4.38.增强型捕捉模块 (eCAP1) 69
4.39.高分辨率捕捉 (HRCAP) 模块 71
4.40.增强型正交编码器脉冲 (eQEP) 73

4.41.JTAG 端口 75
4.42.GPIO MUX 76
5. 电气规范 81
5.1最大绝对额定值(1)(2) 81
5.2建议的运行条件 81
5.3电气特性 82
在推荐的运行条件下（除非额外注明） 82
封装参数 84
订购信息 88

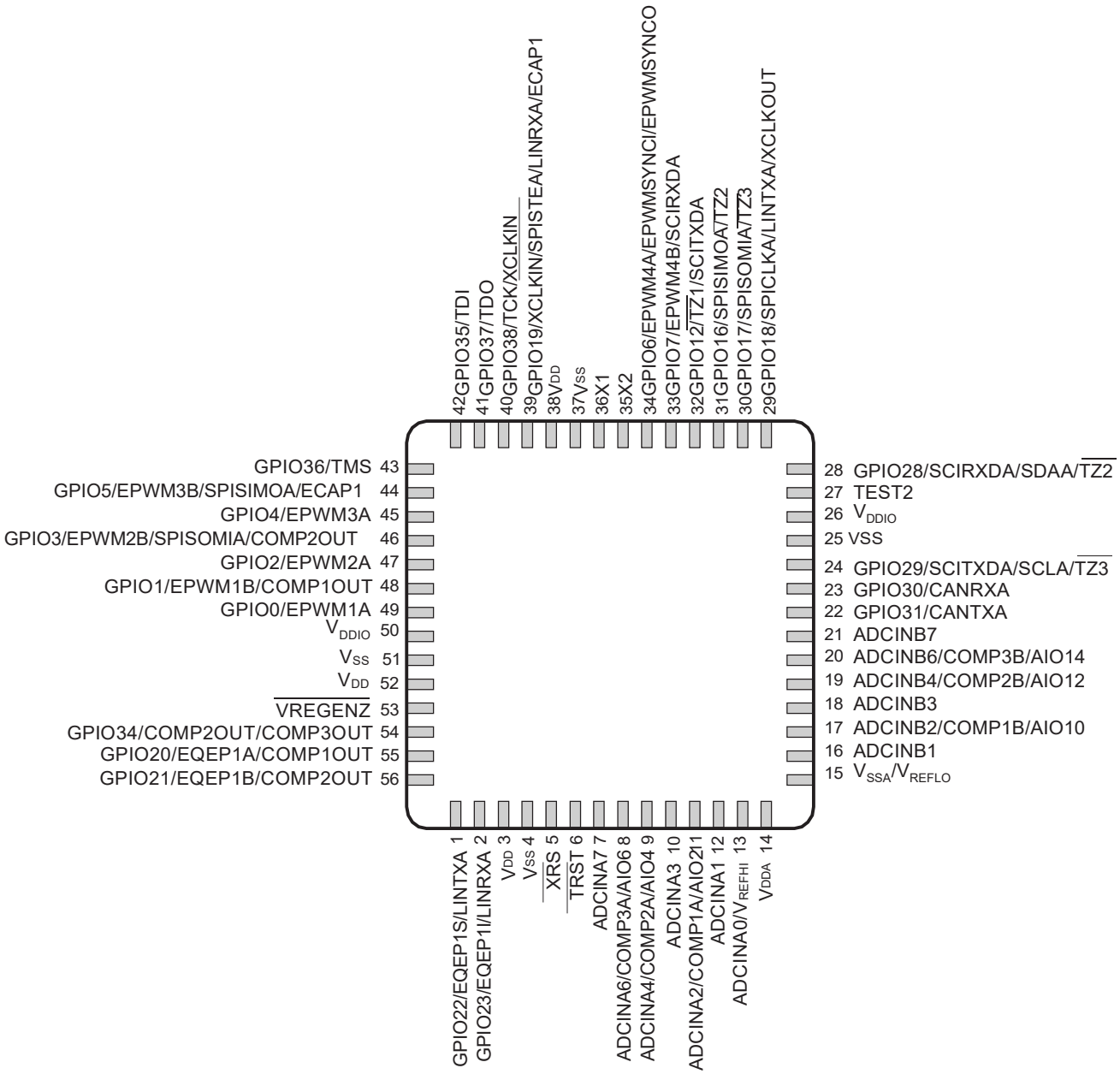
1. 器件特性

下表列出了FDM320R03X器件的特性

功能		类型(1)	FDM320R034 (60MHz)			FDM320R035 (60MHz)		
封装类型			80 引脚 LQFP	64 引脚 LQFP	56 引脚 VQFN	80 引脚 LQFP	64 引脚 LQFP	56 引脚 VQFN
指令周期		-	16.67ns			16.67ns		
控制律加速器		0	不支持			支持		
片上闪存（16 位字）		-	64K			64K		
片上 SARAM（16 位字）		-	10K			10K		
片上闪存 / SARAM/OTP 块的代码安全		-	支持			支持		
引导 ROM (8K X 16)		-	支持			支持		
一次性可编程 (OTP) ROM（16 位字）		-	1K			1K		
ePWM 输出		1	14	12	8	14	12	8
eCAP 输入		0	1			1		
eQEP 模块		0	1			1		
看门狗定时器		-	支持			支持		
12 位 ADC	每秒百万次采样 (MSPS)	3	4.6			4.6		
	转换时间		216.67ns			216.67ns		
	通道		16	14	13	16	14	13
	温度传感器		支持			支持		
	双采样保持		支持			支持		
32 位 CPU 定时器		-	3			3		
高分辨率 ePWM 通道		1	7	6	4	7	6	4
高分辨率捕获 (HRCAP) 模块		0	2	2	-	2	2	-
带有集成数模转换器 (DAC) 的比较器		0	3			3		
内部集成电路 (I2C)		0	1			1		
增强型控制器局域网络 (eCAN)		0	1			1		
本地互连网络 (LIN)		0	1			1		
串行外设接口 (SPI)		1	2	1	1	2	1	1
串行通信接口 (SCI)		0	1			1		
I/O引脚（共用）	GPIO	-	45	33	26	45	33	26
	AIO	-	6			6		
外部中断		-	3			3		
电源电压（标称值）		-	3.3V			3.3V		
温度选项	T：-40° C 至 105° C	-	支持			支持		
	E：-40° C 至 125° C	-	支持			支持		
	Q：-40° C 至 125° C	-	支持		不支持	支持		不支持
	N：-55° C 至 125° C	-	支持		不支持	支持		不支持
封装类型			80 引脚 LQFP	64 引脚 LQFP	56 引脚 VQFN	80 引脚 LQFP	64 引脚 LQFP	56 引脚 VQFN

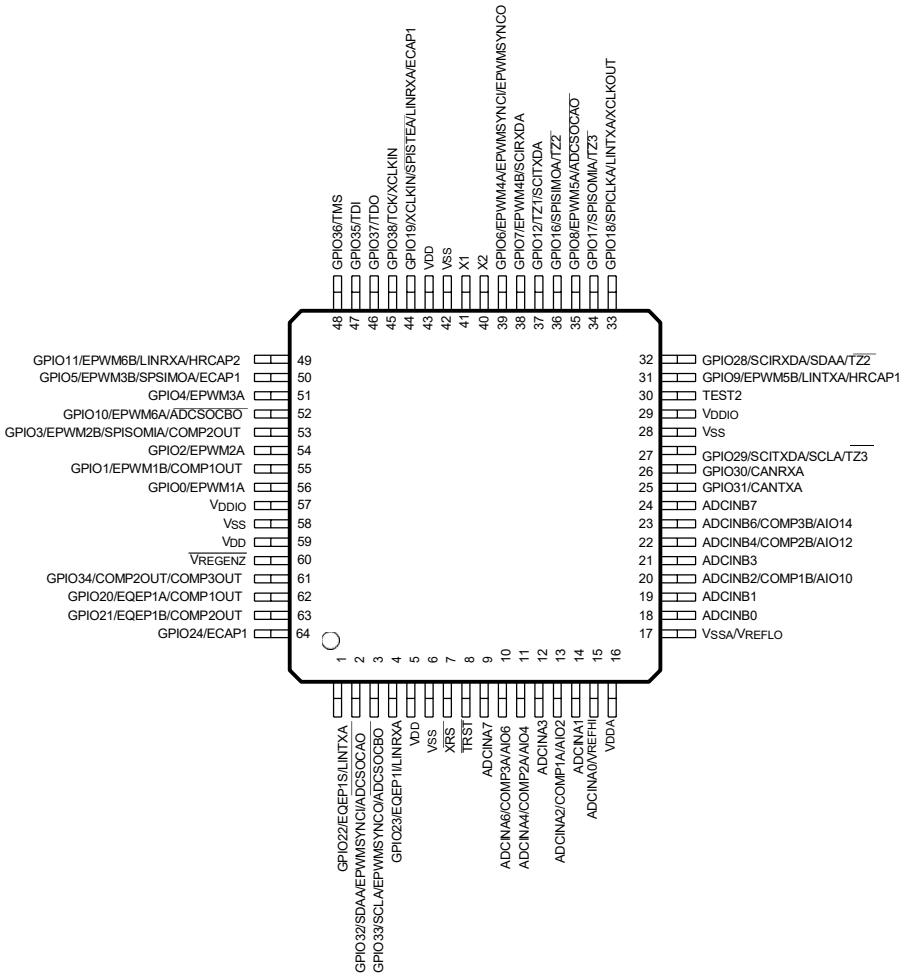
2. 引脚分配

图 2-1显示了 56引脚小型四方扁平（无引线）封装 (VQFN) 引脚分配。图 2-2显示了 64引脚薄型四方扁平封装 (LQFP) 引脚分配。图 2-3显示 80引脚薄型四方扁平封装 (LQFP) 引脚分配。



A. 这个图表显示了 56 引脚封装的顶视图。 阴影表示端子实际上在封装的底部。
B. 引脚 13：V_{REFHI}和 ADCINA0 共用 56 引脚器件上的同一引脚并且它们不可同时使用。
C. 引脚 15：V_{REFLO}被一直连接至 56 引脚器件上的 V_{SSA}。

图 **2-1. FDM320R034/5 56** 引脚 **VQFN**（顶视图）



A. 引脚 15：V_{REFHI}和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚并且它们不可同时使用。

B. 引脚 17：V_{REFLO}被一直连接至 64 引脚 PAG 器件上的 V_{SSA}。

图 **2-2. FDM320R034/5 64** 引脚 **LQFP**（顶视图）

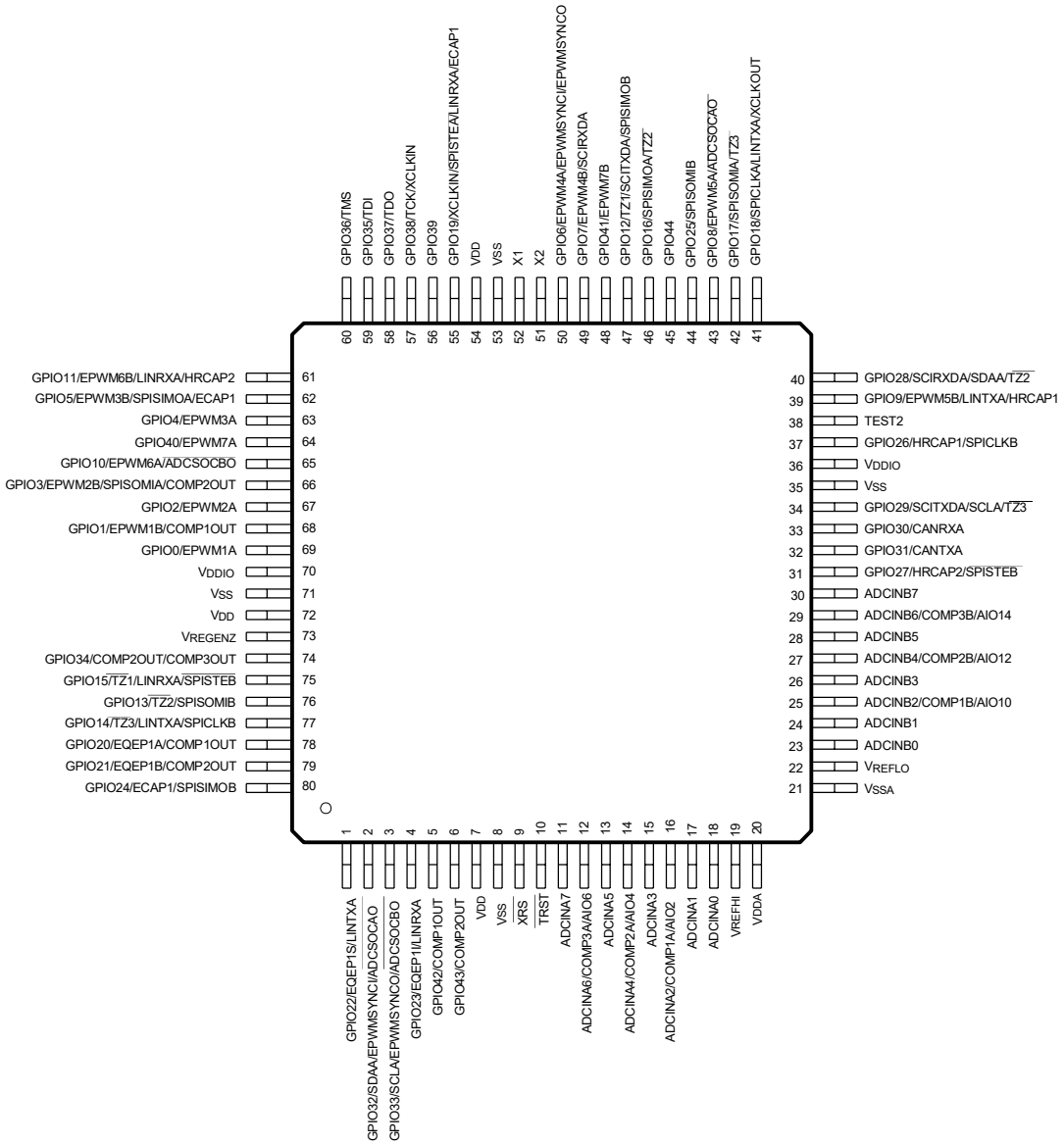


图 **2-3. FDM320R034/5 80** 引脚 **LQFP**（顶视图）

3. 信号说明

表 3-1对这些信号进行了说明。

表 3-1. 端子功能(1)

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
JTAG					
$\overline{\text{TRST}}$	10	8	6	I	使用内部下拉电阻器进行JTAG测试复位。当被驱动为高电平时，$\overline{\text{TRST}}$ 使扫描系统获得器件运行的控制权。如果这个信号未连接或者被驱动至低电平，此器件在功能模式下运转，并且测试复位信号被忽略。注释：$\overline{\text{TRST}}$ 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。 在这个引脚上需要一个外部下拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。一个2.2kΩ 电阻器一般提供足够的保护。由于这是应用专用的，建议针对调试器和应用的适当运行对每个目标板进行验证。(↓)
TCK	请见 GPIO38			I	请见 GPIO38。带有内部上拉电阻器的JTAG测试时钟。(↑)
TMS	请见 GPIO36			I	请见 GPIO36。带有内部上拉电阻器的JTAG测试模式选择(TMS)。这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。(↑)
TDI	请见 GPIO35			I	请见GPIO35。带有内部上拉电阻器的JTAG测试数据输入(TDI)。TDI在TCK的上升沿上所选择的寄存器（指令或者数据）内计时。(↑)
TDO	请见 GPIO37			O/Z	请见GPIO37。JTAG 扫描输出，测试数据输出(TDO)。所选寄存器（指令或者数据）的内容被从TCK下降沿上的TDO移出。（8mA驱动）
闪存					
TEST2	38	30	27	I/O	测试引脚。必须被保持为未连接。

(1) I = 输入，O = 输出，Z = 高阻抗，OD = 开漏，↑ = 上拉，↓ = 下拉

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
时钟					
XCLKOUT	请见 GPIO18		-	O/Z	请见GPIO18。取自SYSCLKOUT的输出时钟。 XCLKOUT 或者与SYSCLKOUT的频率一样、或者为其一半，或为其 四分之一。这由XCLK寄存器内的引脚 1:0(XCLKOUTDIV) 控制。复位时，XCLKOUT=SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为3，XCLKOUT信号可被关闭。为了使这个信号传播到此引脚，GPIO18的复用控制必须被设定至XCLKOUT。
XCLKIN	请见GPIO19和GPIO38			I	请见GPIP19和GPIO38。外部振荡器输入。针对时钟的引脚源由 XCLK 寄存器内的 XCLKINSEL 位控制，默认选择GPIO38。这个引脚馈通一个来自外部 3.3V振荡器的时钟。在这个情况下，X1引脚，如果可用的话，必须被接至 GND，而且必须通过CLKCTL寄存器内的位14将片载晶体振荡器禁用。如果使用一个晶振/谐振器，必须通过CLKCTL寄存器内的位13将XCLKIN路径禁用。 注释：使用 GPIO38/TCK/XCLKIN引脚提供外部时钟以使器件正常运行的设计可能需要集成一些挂钩，以便在使用 JTAG 连接器进行调试期间禁用此路径。这是为了防止 TCK 信号竞争，在 JTAG调试会话期间，此信号被激活。 在此次为器件计时期间，零引脚内部振荡器也可被使用。
X1	52	41	36	I	片载晶体振荡器输入。为了使用这个振荡器，一个石英晶振或者一个陶瓷电容器必须被连接在X1和X2。在这种情况下，XCLKIN路径必须被CLKCTL寄存器内的位13禁用。如果这个引脚未使用，它必须被连接至GND。(I)
X2	51	40	35	0	片载晶体振荡器输出。 一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和X2。 如果 X2 未使用，它必须保持未连接状态。 (O)
复位					
$\overline{\text{XRS}}$	9	7	5	I/O	器件复位（输入）和安全装置复位（输出）。 Piccolo 器件有一个内置上电复位(POR)和欠压复位 (BOR) 电路。 这样，无需外部电路既可生成一个复位脉冲。在一个上电或者欠压情况下，这个引脚由器件驱动为低电平。当一个看门狗复位发生时，这个引脚也由 MCU 驱动为低电平。看门狗复位期间，在 512 个 OSCCLK 周期的安全装置复位持续时间内，$\overline{\text{XRS}}$引脚被驱动为低电平。如果需要的话，一个外部电路也可驱动这个引脚使一个器件复位生效。在这个情况下，建议由一个开漏器件驱动这个引脚。由于抗扰度原因，一个R-C电路必须被连接至这个引脚。 不论源是什么，一个器件复位会引起器件终止执行。 程序计数器指向包含在位置 03xFFFC0 的地址。 当复位被置成无效时，在程序计数器指定的位置开始执行。 这个引脚的输出缓冲器是一个有内部上拉电阻器的开漏。 (I/OD)
ADC，比较器，模拟I/O					
ADCINA7	11	9	7	I	ADC 组 A，通道 7 输入
ADCINA6 COMP3A AIO6	12	10	8	I I I/O	ADC 组 A，通道 6 输入 比较器输入3A 数字 AIO 6
ADCINA5	13	-	-	I	ADC组 A，通道 5 输入
ADCINA4 COMP2A AIO4	14	11	9	II I/O	ADC组 A，通道 4 输入 比较器输入2A 数字 AIO 4
ADCINA3	15	12	10	I	ADC组 A，通道 3 输入
ADCINA2 COMP1A AIO2	16	13	11	I I I/O	ADC组 A，通道 2 输入 比较器输入1A 数字 AIO 2

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
ADCINA1	17	14	12	I	ADC 组 A，通道 1 输入
ADCINA0	18	15	13	I	ADC 组 A，通道 0 输入 请注意：V_{REFHI}和 ADCINA0 在 64 引脚器件上共用同一个引脚并且它们不能同时使用。 请注意：V_{REFHI}和 ADCINA0 在 56 引脚器件上共用同一个引脚并且它们不能同时使用。
VREFHI	19	15	13	I	ADC 外部基准-只在 ADC 外部基准模式时才被使用。 。 请注意：V_{REFHI}和 ADCINA0 在 64引脚器件上共用同一个引脚并且它们不能同时使用。 请注意：V_{REFHI}和 ADCINA0 在 56引脚器件上共用同一个引脚并且它们不能同时使用。
ADCINB7	30	24	21	I	ADC 组 B，通道 7 输入
ADCINB6 COMP3B AIO14	29	23	20	I I I/O	ADC 组 B，通道 6 输入比较器输入3B 数字 AIO 14
ADCINB5	28	–	–	I	ADC 组 B，通道 5 输入
ADCINB4 COMP2B AIO12	27	22	19	I I I/O	ADC 组 B，通道 4 输入比较器输入2B 数字 AIO 12
ADCINB3	26	21	18	I	ADC 组 B，通道 3 输入
ADCINB2 COMP1B AIO10	25	20	17	I I I/O	ADC 组 B，通道 2 输入比较器输入1B 数字 AIO 10
ADCINB1	24	19	16	I	ADC 组 B，通道 1 输入
ADCINB0	23	18	–	I	ADC 组 B，通道 0 输入
VREFLO	22	17	15	I	请注意：V_{REFLO}被一直连接至 64引脚器件和 56引脚器件上的 V_{SSA}上。
CPU 和 I/O 电源					
VDDA	20	16	14		模拟电源引脚。在此引脚附近连接一个2.2μF电容器（典型值）。
VSSA	21	17	15		模拟接地引脚。 请注意：V_{REFLO}始终连接至64引脚器件和56引脚器件上的V_{SSA}。
VDD	7	5	3		CPU 和逻辑数字电源引脚-当使用内部 VREG 时，无需电源。 当使用内部 VREG时，将 1.2μF（最小值）陶瓷电容器（10% 耐受）接地。 可使用更高值的电容器，但是这会影响电源轨斜坡上升时间。
VDD	54	43	38		
VDD	72	59	52		
VDDIO	36	29	26		数字 I/O 和闪存电源引脚-当 VREG 被启用时，为单电源。
VDDIO	70	57	50		
VSS	8	6	4		数字接地引脚
VSS	35	28	25		
VSS	53	42	37		
VSS	71	58	51		

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
电压稳压器控制信号					
VREGENZ	73	60	53	I	内部 VREG 启用/禁用-拉至低电平启用 VREG，上拉至高电平禁用 VREG
GPIO 和外设信号 (1)					
GPIO0 EPWM1A – –	69	56	49	I/O/Z O – –	通用输入/输出 0 增强型 PWM1 输出 A 和高分辨率脉宽调制 (HRPWM) 通道 – –
GPIO1 EPWM1B – COMP1OUT	68	55	48	I/O/Z O O	通用输入/输出 1 增强型 PWM1 输出 B – 比较器 1 的直接输出
GPIO2 EPWM2A – –	67	54	47	I/O/Z O	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道 – –
GPIO3 EPWM2B SPISOMIA COMP2OUT	66	53	46	I/O/Z O I/O O	通用输入/输出 3 增强型 PWM2 输出 B SPI-A 从器件输出，主器件输入 比较器 2 的直接输出
GPIO4 EPWM3A – –	63	51	45	I/O/Z O	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道 – –
GPIO5 EPWM3B SPISIMOA ECAP1	62	50	44	I/O/Z O I/O I/O	通用输入/输出 5 增强型 PWM3 输出 B SPI-A 从器件输入，主器件输出 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	50	39	34	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出
GPIO7 EPWM4B SCIRXDA –	49	38	33	I/O/Z O I	通用输入/输出 7 增强型 PWM4 输出 B SCI-A 接收数据 –
GPIO8 EPWM5A – ADCSOCAO	43	35	–	I/O/Z O O	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 – ADC 转换启动 A

(1) GPIO 功能（用粗斜体显示）在复位时为缺省值。

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
GPIO9 EPWM5B LINTXA HRCAP1	39	31	-	I/O/Z O O I	通用输入/输出 9 增强型 PWM5 输出 B LIN 发送 A 高分辨率输入捕捉 1
GPIO10 EPWM6A - ADCSOCBO	65	52	-	I/O/Z O O	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 - ADC 转换开始 B
GPIO11 EPWM6B LINRXA HRCAP2	61	49	-	I/O/Z O I I	通用输入/输出 11 增强型 PWM6 输出 B LIN 接收 A 高分辨率输入捕捉 2
GPIO12 TZ1 SCITXDA SPISIMOB	47	37	32	I/O/Z I O I/O	通用输入/输出 12 触发区输入 1 SCI-A 发送数据 SPI-B 从器件输入，主器件输出。 请注意：SPI-B 只在 PN 封装内可用。
GPIO13 TZ2 SPISOMIB -	76	-	-	I/O/Z I I/O	通用输入/输出 13 触发区输入 2 SPI-B 从器件输出，主器件输入 -
GPIO14 TZ3 LINTXA SPICLKB	77	-	-	I/O/Z I O I/O	通用输入/输出 14 触发区输入 3 LIN 发送 SPI-B 时钟输入/输出
GPIO15 $\overline{\text{TZ1}}$ LINRXA $\overline{\text{SPISTEB}}$	75	-	-	I/O/Z I I I/O	通用输入/输出 15 触发区输入 1 LIN 接收 SPI-B 从器件发送使能输入/输出
GPIO16 SPISIMOA - TZ2	46	36	31	I/O/Z I/O I	通用输入/输出 16 SPI-A 从器件输入，主器件输出 - 触发区输入 2
GPIO17 SPISOMIA - TZ3	42	34	30	I/O/Z I/O I	通用输入/输出 17 SPI-A 从器件输出，主器件输入 - 触发区输入 3

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
GPIO18 SPICLKA LINTXA XCLKOUT	41	33	29	I/O/Z I/O O O/Z	通用输入/输出 18 SPI 时钟输入/输出 LIN 发送 取自SYSCLKOUT的输出时钟。XCLKOUT或者与SYSCLKOUT的频率一样、或者为其一半，或为其四分之一。这由XCLK寄存器内的引脚1:0(XCLKOUTDIV)控制。复位时，XCLKOUT=SYSCLKOUT/4。通过将XCLKOUTDIV设定为3，XCLKOUT信号可被关闭。为了使这个信号传播到此引脚，GPIO18的复用控制必须被设定至XCLKOUT。
GPIO19 XCLKIN SPISTEA LINRXA ECAP1	55	44	39	I/O/Z I/O I I/O	通用输入/输出 19 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个被用于其它外设功能，应该注意不要启用这个路径用于计时。 SPI-A 从器件发送使能输入/输出 LIN 接收 增强型捕捉输入/输出 1
GPIO20 EQEP1A – COMP1OUT	78	62	55	I/O/Z I O	通用输入/输出 20 增强型 EQP 输入 A – 比较器 1 的直接输出
GPIO21 EQEP1B – COMP2OUT	79	63	56	I/O/Z I O	通用输入/输出 21 增强型 EQP 输入 B – 比较器 2 的直接输出
GPIO22 EQEP1S – LINTXA	1	1	1	I/O/Z I/O O	通用输入/输出 22 增强型 QEP1 闸门 – LIN 发送
GPIO23 EQEP1I – LINRXA	4	4	2	I/O/Z I/O I	通用输入/输出 23 增强型 QEP1 索引 – LIN 接收
GPIO24 ECAP1 SPISIMOB –	80	64	– 请见 GPIO5 和 GPIO19	I/O/Z I/O I/O	通用输入/输出 24 增强型捕捉输入/输出 1 SPI-B 从器件输入，主器件输出。 –
GPIO25 – SPISOMIB –	44	–	–	I/O/Z I/O	通用输入/输出 25 – SPI-B 从器件输出，主器件输入 –

表 **3-1.** 端子功能

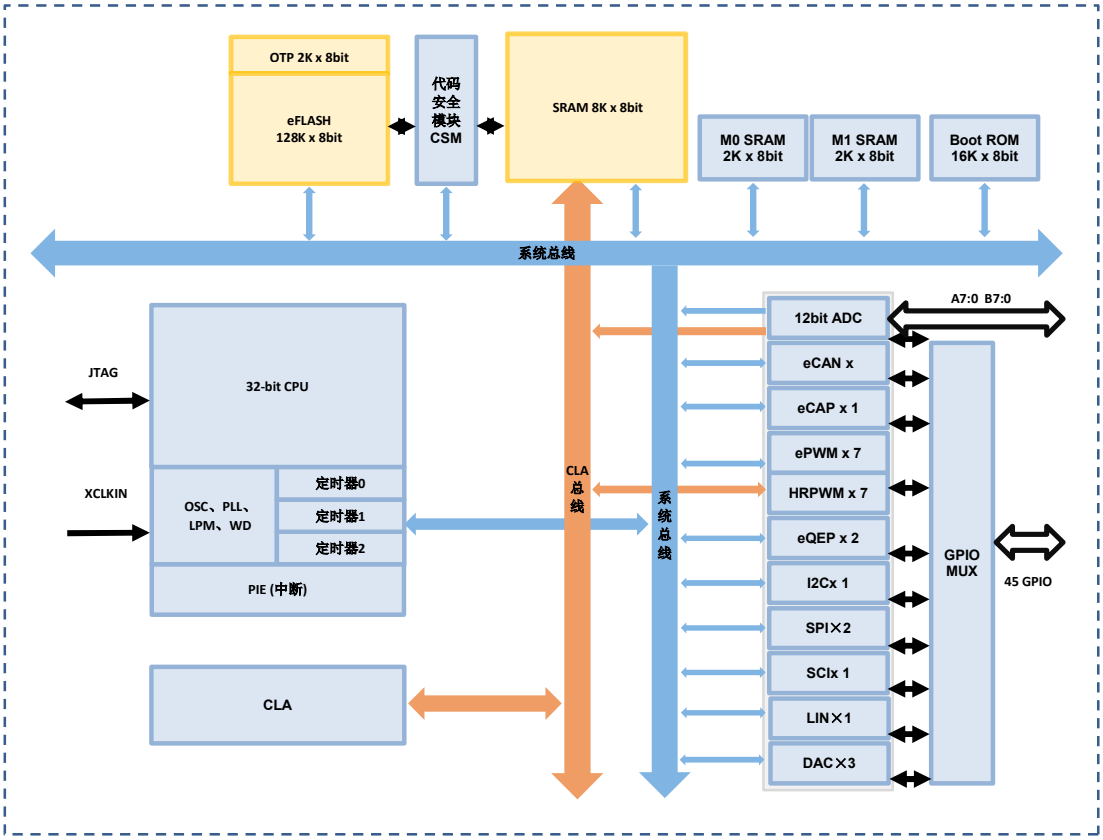
终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
GPIO26 HRCAP1 SPICLKB –	37	–	–	I/O/Z I I/O	通用输入/输出 26 高分辨率输入捕捉 1 SPI-B 时钟输入/输出 –
GPIO27 HRCAP2 SPISTEB –	31	–	–	I/O/Z I I/O	通用输入/输出 27 高分辨率输入捕捉 2 SPI-B 从器件发送使能输入/输出 –
GPIO28 SCIRXDA SDAA TZ2	40	32	28	I/O/Z I I/OD I	通用输入/输出 28 SCI 接收数据 I2C 数据开漏双向端口 触发区输入 2
GPIO29 SCITXDA SCLA TZ3	34	27	24	I/O/Z O I/OD I	通用输入/输出 29 SCI 发送数据 I2C 时钟开漏双向端口 触发区输入 3
GPIO30 CANRXA – –	33	26	23	I/O/Z I	通用输入/输出 30 控制器局域网 (CAN) 接收 – –
GPIO31 CANTXA – –	32	25	22	I/O/Z O	通用输入/输出 31 CAN 发送 – –
GPIO32 SDAA EPWMSYNCI ADCSOCAO	2	2	–	I/O/Z I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 A
GPIO33 SCLA EPWMSYNCO ADCSOCBO	3	3	–	I/O/Z I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 B
GPIO34 COMP2OUT COMP3OUT –	74	61	54	I/O/Z O O	通用输入/输出 34 比较器 2 的直接输出 比较器 3 的直接输出 –
GPIO35 TDI	59	47	42	I/O/Z I	通用输入/输出 35 带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。 TDI 在 TCK 的上升沿上所选择的寄存器（指令或者数据）内计时。
GPIO36 TMS	60	48	43	I/O/Z I	通用输入/输出 36 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。 这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。

表 **3-1.** 端子功能

终端				I/O/Z	说明
名称	80PIN 引脚#	64PIN 引脚#	56PIN 引脚#		
GPIO37 TDO	58	46	41	I/O/Z O/Z	通用输入/输出 37 JTAG 扫描输出，测试数据输出 (TDO)。 所选寄存器（指令或者数据）的内容被从TCK 下降沿的 TDO 移出（8mA 驱动）。
GPIO38 TCK XCLKIN –	57	45	40	I/O/Z I I	通用输入/输出 38 带有内部上拉电阻器的 JTAG 测试时钟 外部振荡器输入。 从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个被用于其它功能，应该注意不要为计时启用这个路径。 –
GPIO39 – –	56	–	–	I/O/Z	通用输入/输出 39 – –
GPIO40 EPWM7A – –	64	–	–	I/O/Z O	通用输入/输出 40 增强型 PWM7 输出 A 和 HRPWM 通道 – –
GPIO41 EPWM7B – –	48	–	–	I/O/Z O	通用输入/输出 41 增强型 PWM7 输出 B – –
GPIO42 COMP1OUT – –	5	–	–	I/O/Z O	通用输入/输出 42 比较器 1 的直接输出 – –
GPIO43 COMP2OUT – –	6	–	–	I/O/Z O	通用输入/输出 43 比较器 2 的直接输出 – –
GPIO44 – –	45	–	–	I/O/Z	通用输入/输出 44 – –

4. 功能概述

功能方框图



A. 由于引脚复用，所有外设引脚不能同时使用。

4-1. 功能方框图

内存映射

以下规则适用：

- 内存块不可升级。
- 外设帧 0，外设帧 1，外设帧 2，和外设帧 3 内存映射只限于数据内存。 一个用户程序不能访问这些处于程序空间内的内存映射。
- *受保护*意味着写后读操作的顺序被保存，而不是流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x3D7C80-0x3D7CC0 包含内部振荡器和 ADC 校准例程。 这些位置不可由用户设计。



A. CLA 专用寄存器和 RAM 只适用于 FDM320R035 器件。
B. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX 芯片内。

图 **4-2.** 内存映射

表 **4-1. FDM320R034/5** 中闪存扇区的地址

地址范围	程序和数据空间
0x3E 8000-0x3E 9FFF	扇区 H (8K x 16)
0x3E A000-0x3E BFFF	扇区 G (8K x 16)
0x3E C000-0x3E DFFF	扇区 F (8K x 16)
0x3E E000-0x3E FFFF	扇区 E (8K x 16)
0x3F 0000-0x3F 1FFF	扇区 D (8K x 16)
0x3F 2000-0x3F 3FFF	扇区 C (8K x 16)
0x3F 4000-0x3F 5FFF	扇区 B (8K x 16)
0x3F 6000-0x3F 7F7F	扇区 A (8K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时，编程至 0x0000
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 （程序分支指令）
0x3F 7FF8-0x3F 7FFF	安全密码（128 位） （不要设定为全零）

表 **4-2.** 使用安全代码模块的影响

地址	闪存	
	代码安全被启用	代码安全被禁用
0x3F 7F80-0x3F 7FEF	用 0x0000 填充	应用代码和数据
0x3F 7FF0-0x3F 7FF5		只为数据保留。

外设帧1，外设帧2，以及外设帧3被编成一组以使这些块成为受保护的写入/读取外设块。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于此流水线，在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所描述的那样）。CPU支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，这样操作按照本文档所描述的那样发生（代价是额外的周期被添加以校正运行）。可对这个模式进行编程，并且默认情况下，它会保护所选的区域。

针对内存映射区域内不同空间的等待状态列在表 4-3中。

表 **4-3.** 等待状态

区域 (AREA)	等待状态 (CPU)	注释
M0 和 M1 SARAM	0 - 等待	固定的
外设帧 0	0 - 等待	
外设帧 1	0 - 等待（写入） 2 - 等待（读取）	周期可由已生成的外设扩展。 到外设帧1寄存器的背靠背写入操作将生成一个1周期停止（1周期延迟）。
外设帧 2	0 - 等待（写入） 2 - 写入（读取）	固定的 周期不可由外设扩展。
外设帧 3	0 - 等待（写入） 2 - 等待（读取）	假定 CPU 和 CLA 间无冲突。 周期可由已生成的外设扩展。
L0 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L1 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L2 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L3 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
OTP	可编程 1 - 等待最小	由闪存寄存器设定。 1 - 等待是等待状态所允许的最小数。
闪存	可编程 0- 页式等待最小值 1 -随机等待最小值 随机等待≥页式等待	由闪存寄存器设定。
闪存密码	16- 等待固定	密码位置的等待状态是固定的。
引导 - ROM	0 - 等待	

4.1.CPU

R034/5的内核包含一个高效的32位定点架构。它是一个高效的C/C++引擎，使得用户不仅能够用高级语言开发他们的控制系统，还能够使用C/C++开发算术算法。此器件在处理MCU算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。这样的效率在很多系统中省却了对第二个处理器的需要。32x32位MAC 64位处理能力使得控制器能够有效地处理更高的数字分辨率问题。添加了带有关键寄存器自动环境保存的快速中断响应，使得一个器件能够用最小的延迟处理很多异步事件。此器件有一个具有流水线式存储器访问的8级深受保护管道。这个流水线式操作使得此器件能够在高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特殊存储条件操作进一步提升了性能。

4.2.控制律加速器 (CLA)

R035控制律加速器是一款单精度（32位）浮点单元，此单元通过添加并行处理能力扩展了CPU的处理能力。CLA是一款独立的处理器，此处理器具有其自己的总线结构、取指令机制、和管道。可指定8个独立的CLA任务、或者例程。每个任务由软件或者诸如ADC，一个ePWM，eCAP，或者CPU定时器0启动。CLA每次完整执行一个任务。当一个任务完成时，主CPU被告知一个到PIE的中断，而CLA自动开始下一个高优先级待处理的任务。CLA能够直接访问ADC结果寄存器和ePWM+HRPWM寄存器。专用消息RAM提供了一个在主CPU和CLA之间传递附加数据的方法。（R034无CLA模块）

4.3.内存总线（哈佛总线架构）

与很多MCU 类型器件一样，多总线被用于在内存和外设以及CPU之间移动数据。此内存总线架构包含一个程序读取总线、数据读取总线、和数据写入总线。此程序读取总线由22条地址线路和32条数据线路组成。数据读取和写入总线由32条地址线路和32条数据线路组成。32位宽数据总线可实现单周期32位运行。多总线结构，通常称为哈佛总线，使得CPU能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存优先内存访问。总的来说，内存总线访问的优先级可概括如下：

最高级：	数据写入	（内存总线上不能同时进行数据和程序写入。）
	程序写入	（内存总线上不能同时进行数据和程序写入。）
	数据读取	
	程序读取	（内存总线上不能同时进行程序读取和取指令。）
最低级：	取指令	（内存总线上不能同时进行程序读取和取指令。）

4.4.外设总线

R034/5的外设总线桥复用了多种总线，此总线将处理器内存总线组装进一个由16条地址线路和16或者32条数据线和相关控制信号组成的单总线中。支持外设总线的三个版本。一个版本只支持16位访问（被称为外设帧2）。另外版本支持16位和32位访问（被称为外设帧1）。第三版本支持CLA访问和16位以及32位访问（被称为外设帧3）。

4.5.实时 JTAG 和分析

R034/5器件执行标准为IEEE 1149.1 JTAG接口。此外，此器件支持实时模式运行，此运行模式可在处理器正在运行和执行代码且处理中断的同时允许修改内存内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用将被处理的时间关键中断。此器件在 CPU 的硬件内执行实时模式。此外，还提供了特别分析硬件以实现硬件断电或者数据/地址观察点的设置并当一个匹配发生时生成不同的用户可选中断事件。这些器件不支持边界扫描；然而，如果将下面的因素考虑在内的话，也可提供IDCODE 和BYPASS（旁路）特性。缺省情况下不支持IDCODE。用户需要搜索JTAG的SHIFT IR 和SHIFT DR状态序列来获得IDCODE。对于BYPASS指令，第一个被移位的DR值应该为1。

4.6.闪存

R034/5器件包含64Kx16的嵌入式闪存存储器，被分别放置在8个8Kx16扇区内。所有器件还包含一个单1Kx16 OTP内存，其地址范围为0x3D 7800-0x3D 7BFF。用户能够在不改变其它扇区的同时单独擦除、编辑、和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者这个OTP来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存/OTP被映射到程序和数据空间；因此，它可被用于执行代码或者存储数据信息。地址0x3F 7FF0-0x3F 7FF5为数据变量保留且不能包含程序代码。

4.7.M0，M1 SARAM

R034/5器件均包含这两块单周期访问内存，每一个的大小为1Kx16。复位时，堆栈指针指向块M1的开始位置。M0和M1块，与所有其它同系列产品器件上的内存块一样，被映射到程序和数据空间。因此，用户能够使用M0和M1来执行代码或者用于数据变量。分区在连接器内执行。器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

4.8.L0 SARAM，和 L1，L2，和 L3 DPSARAM

器件含有最多多达8Kx16的单一访问RAM。为了确定一个指定器件的准确大小，请见图4-2中的器件专用内存映射图表。这个块被映射到程序和数据空间。块0的大小为2K并且双映射至程序和数据空间。块L1和L2大小均为1K并且与CLA共用，CLA可利用这些块用于其数据空间。块L3大小为4K并且与CLA共用，CLA可利用这个块用于其程序空间。DPSARAM是指这些块的双端口配置。

4.9.引导 ROM

引导ROM由厂家使用引导载入软件进行设定。提供的引导模式信号告诉引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从外部连接下载新软件或者选择在内部闪存/ROM中编辑的引导软件。引导ROM还包含用于数学相关算法中的标准表，例如SIN/COS波形。

表 **4-4.** 引导模式选择

模式	GPIO37/TDO	GPIO34/COMP2OUT/ COMP3OUT	$\overline{TRST}$	模式
3	1	1	0	取模式 (GetMode)
2	1	0	0	等待
1	0	1	0	SCI
0	0	0	0	并行 IO
EMU	x	x	1	仿真引导

4.10.安全性

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个128位密码（针对16个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块(CSM)用于保护闪存/OTP和LO/L1 SARAM块。这个安全特性防止未经授权的用户通过JTAG端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正确的128位KEY（密钥）值。

除了CSM，仿真代码安全逻辑电路(ECSL)也已经被实现来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户OTP、或者LO内存的代码或者数据访问将生成ECSL错误并断开仿真连接。为了实现安全代码仿真，同时保持CSM安全内存读取，用户必须向KEY寄存器的低64位写入正确的值，这个值与存储在闪存密码位置的低64位的值相符合。请注意仍须执行闪存内所有128位密码的假读取。如果密码位置的低64位为全1（未被编辑），那么无须符合KEY值。

当使用闪存内被编辑的密码位置（即，安全的）进行最初调试时，CPU将开始运行并可执行一个指令来访问一个受保护的ECSL区域。如果这一情况发生，ECSL将发生错误并使仿真器连接被断开。

4.11.外设中断扩展(PIE)块

PIE块将许多中断源复用至中断输入的较小的集合中。PIE块能够支持多达96个外设中断。在DSP上，外设使用96可能中断中的54个。96个中断被分成8组，每组被提供12个CPU中断线（INT1或者INT12）中的1个。96个中断中的每一个中断由其存储在一个可被用户写覆盖的专用RAM块中的矢量支持。在处理这个中断时，这个矢量由CPU自动抽取。抽取这个矢量以及保存关键CPU寄存器将花费8个CPU时钟周期。因此CPU能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。 每个中断都可以在PIE块内启用/禁用。

4.12. 外部中断 (XINT1-XINT3)

此器件支持3个被屏蔽的外部中断(XINT1-XINT3)。每一个中断可被选择成负边沿、正边沿、或者二者触发并能够被启用/禁用。这些中断还包含一个16位自由运行的上数计数器，当检测到一个有效的中断边沿时，该计数器复位为0。这个计数器可被用于为中断精确计时。没有用于外部引脚的专用引脚。XINT1，XINT2，和XINT3中断可接受来自GPIO0-GPIO3引脚的输入。

4.13. 内部零引脚振荡器、振荡器、和 PLL

此器件可由两个内部零引脚振荡器、一个外部振荡器、或者一个连接至片载振荡器电路的晶振中的任一个计时。一个提供的PLL支持高达12个输入时钟缩放比。PLL比率可用软件中在器件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。PLL块可被设定为旁路模式。

4.14. 看门狗

每个器件包含两个看门狗：CPU看门狗监控内核，而NMI看门狗是一个丢失时钟检测电路。用户软件必须在特定的期限内定期复位CPU看门狗计数器；否则，CPU看门狗将生产一个到处理器的复位。如果需要，可将CPU看门狗禁用。只有在发生一个时钟故障的情况下，NMI看门狗才起作用并可生成一个中断或者一个器件复位。

4.15. 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用/禁用以减少功耗。此外，到串行端口（除了I2C）的系统时钟可按照CPU时钟进行缩放。

4.16. 低功耗模式

此器件是完全静态CMOS器件。提供三个低功耗模式：

空闲：将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在空闲模式期间必须运行的外设保持运行状态。来自激活外设或者看门狗计时器的已启用的中断将把处理器从空闲模式中唤醒。

待机：关闭到 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。

停机：基本上，这个模式使器件关闭并将其置于尽可能低的功耗模式中。如果内部零引脚振荡器被用作时钟源，默认情况下，停机模式会将它们关闭。为了防止这些振荡器被关闭，可使用 CLKCTL 寄存器内的 INTOSCnHALTI 位。这样，零引脚振荡器可在此模式下用于为 CPU 看门狗计时。如果片上晶体振荡器被用作时钟源，在这个模式中，它将被关闭。复位或外部信号（通过 GPIO 引脚）或者 CPU 看门狗能够将器件从这个模式唤醒。

在尝试将器件置于停机或待机模式前，CPU 时钟 (OSCCLK) 和安全狗时钟源应源自同一时钟源。

4.17.外设帧 0，1，2，3（PFn）

此器件将外设分成四个部分。外设映射如下：

PF0：	PIE：	PIE 中断启用和控制寄存器加上PIE矢量表
	闪存：	闪存写入状态寄存器
	定时器：	CPU - 定时器 0，1，2 寄存器
	CSM：	代码安全模块 KEY 寄存器
	ADC：	ADC 结果寄存器
	CLA	控制律加速器寄存器和消息 RAM
PF1：	GPIO：	GPIO 复用配置和控制寄存器
	eCAN：	增强型控制局域网配置和控制寄存器
	LIN:	本地互联网络配置和控制寄存器
	eCAP：	增强型捕捉模块和寄存器
	eQEP:	增强型正交解码器脉冲模块和寄存器
	HRCAP：	高分辨率捕捉模块和寄存器
PF2：	SYS：	系统控制寄存器
	SCI：	串行通信接口（SCI）控制和 RX/TX 寄存器
	SPI：	串行端口接口（SPI）和 RX/TX 寄存器
	ADC：	ADC 状态、控制、和配置寄存器
	IC2：	集成电路间模块和寄存器
	XINT：	外部中断寄存器
PF3：	ePWM：	增强型脉冲宽度调制器模块和寄存器
	HRPWM:	高分辨率脉宽调制器寄存器
	比较器：	比较器模块：

4.18.通用输入/输出 (GPIO) 复用器

大多数的外设信号与通用输入/输出(GPIO)信号复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作GPIO。复位时，GPIO 引脚被配置为输入。针对GPIO模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO信号也可被用于使器件脱离特定低功耗模式。

4.19. 32 位 CPU 定时器 (0，1，2)

CPU定时器0，1，和2是完全一样的32位定时器，这些定时器带有可预先设定的周期和16位时钟预分频。此定时器有一个32位倒计数寄存器，此寄存器在计数器达到0时生成一个中断。这个计数器的减量为被预分频值设置所分频的CPU时钟速度的值。当此计数器达到0时，它自动重新载入一个32位的周期值。

CPU定时器0为通用定时器并被连接至PIE块。CPU定时器1为通用定时器并被连接至CPU的INT13。CPU定时器2为DSP/BIOS保留。它被连接至CPU的INT14。如果DSP/BIOS未被使用，CPU定时器2也可称为通用定时器。

CPU定时器2可由下列任一器件计时：

- SYSCLKOUT（默认）
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- 外部时钟源

4.20.控制外设

此器件支持下列用于嵌入式控制和通信的外设：

ePWM： 增强型PWM外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的PWM生成，可调节死区生成。一些PWM引脚支持HRPWM高分辨率占空比和周期特性。CPU器件上的类型1模块也支持增加的死区分辨率、增强型片上系统(SOC)和中断生成、和包括基于比较器输出的触发功能的高级触发。

eCAP： 这个增强型捕捉外设使用一个32位时基并在连续/单次捕捉模式中记录多达四个可编程事件。
这个外设也被可被配置为生成一个辅助PWN信号。

eQEP： 增强型QEP外设使用一个32位位置计数器，使用捕捉单元和一个32位单元定时器分别支持低速测量和高速测量。这个外设有一个安全装置定时器来检测电机停转和输入错误检测逻辑电路来识别QEP信号中的同步边沿转换。

ADC： ADC 块是一个12位转换器。根据器件的不同，它有多达16个单端通道输出引脚。它包含两个用于同步采样的采样保持单元。

比较器： 每个比较器块由一个模拟比较器连同一个为比较器的一个输入供电的内部10位基准组成。

HRCAP： 这个高分辨率捕捉外设通过一个为HCCAPCLK计时的16位计数器运行在正常捕捉模式或者通过采用与一个TI提供的校准库协同工作的内置校准逻辑运行在高分辨率捕捉模式下。

4.21.串行端口外设

此器件支持下列的串行通信外设：

SPI： SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流被移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其它处理器之间的通信。 典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。 多器件通信由 SPI 主控/受控操作支持。 SPI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

SCI： 串行通信接口是一个两线制异步串行端口，通常被称为 UART。 SCI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

I2C： 内部集成电路 (I2C) 模块提供一个 MCU 和其它符合IIC总线 (I2C-bus) 技术规范版本 2.1 并由一个 I2C-bus 相连的器件间的一个接口。 通过这个 I2C 模块，连接在这个两线制总线上的外部组件能够发送高达 8 位数据到 MCU，或者从 MCU 接收高达 8 位数据。 I2C 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

eCAN： 这是 CAN 外设的增强型版本。 它支持 32 个邮箱、消息时间戳、并与 CAN 2.0B 兼容。

LIN: LIN 1.3 或者 2.0 兼容外设 可被配置为额外的 SCI 端口

4.22.寄存器映射

此器件包含4个外设寄存器空间。 这些空间分类如下：

外设帧 0：这些是直接映射到CPU内存总线的外设。请见表4-5.

外设帧 1：这些是映射到 32 位外设总线的外设。请见表4-6.

外设帧 2：这些是映射到 16 位外设总线的外设。请见表4-7.

外设帧 3：这些是映射到 32 位外设总线并可由 CLA 访问的外设。请见表4-8.

表 **4-5.** 外设帧 **0** 寄存器(1)

名称	地址范围	大小 (x16)	受保护的 EALLOW(2)
器件仿真寄存器	0x00 0880-0x00 0984	261	支持
系统功率控制寄存器	0x00 0985-0x00 0987	3	支持
闪存寄存器(3)	0x00 0A80-0x00 0ADF	96	支持
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	支持
ADC 寄存器（0 等待只读）	0x00 0B00-0x00 0B0F	16	否
CPU - 定时器 0/1/2 寄存器	0x00 0C00-0x00 0C3F	64	否
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	否
PIE 矢量表	0x00 0D00-0x00 0DFF	256	否
CLA 寄存器	0x00 1400-0x00 147F	128	支持
CLA 到 CPU 消息 RAM（CPU 写入被忽略）	0x00 1480-0x00 14FF	128	不适用
CPU 到 CLA 消息 RAM（CLA 写入被忽略）	0x00 1500-0x00 157F	128	不适用

(1) 在帧 0 中的寄存器支持 16 位和 32 位访问。
(2) 如果寄存器是 EALLOW 受保护的，那么在 EALLOW 指令被执行前写入不能被执行。 EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。
(3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 **4-6.** 外设帧 **1** 寄存器

名称	地址范围	大小 (x 16)	受 EALLOW 保护
eCAN-A 寄存器	0x00 6000-0x00 61FF	512	(1)
eCAP1 寄存器	0x00 6A00-0x00 6A1F	32	否
HRCAP1 寄存器	0x00 6AC0-0x00 6ADF	32	(1)
HRCAP2 寄存器	0x00 6AE0-0x00 6AFF	32	(1)
eQEP1 寄存器	0x00 6B00-0x00 6B3F	64	(1)
LIN-A 寄存器	6x00 6C00-0x00 0C7F	128	(1)
GPIO 寄存器	0x00 6F80-0x00 6FFF	128	(1)

(1) 一些寄存器是受 EALLOW 保护的。

表 **4-7.** 外设帧 **2** 寄存器

名称	地址范围	大小（x 16）	受 EALLOW 保护
系统控制寄存器	0x00 7010-0x00 702F	32	支持
SPI-A 寄存器	0x00 7040-0x00 704F	16	否
SCI-A 寄存器	0x00 7050-0x00 705F	16	否
NMI 看门狗中断寄存器	0x00 7060-0x00 706F	16	支持
外部中断寄存器	0x00 7070-0x00 707F	16	支持
ADC 寄存器	0x00 7100-0x00 717F	128	(1)
I2C-A 寄存器	0x00 7900-0x00 793F	64	(1)
SPI-B 寄存器	0x00 7740-0x00 774F	16	否

(1) 一些寄存器是受 EALLOW 保护的。

表 **4-8.** 外设帧 **3** 寄存器

名称	地址范围	大小（x 16）	受 EALLOW 保护
比较器 1 寄存器	0x00 6400-0x00 641F	32	(1)
比较器 2 寄存器	0x00 6420-0x00 643F	32	(1)
比较器 3 寄存器	0x00 6440-0x00 645F	32	(1)
ePWM1 + HRPWM1 寄存器	0x00 6800-0x00 683F	64	(1)
ePWM2 + HRPWM2 寄存器	0x00 6840-0x00 687F	64	(1)
ePWM3 + HRPWM3 寄存器	0x00 6880-0x00 68BF	64	(1)
ePWM4 + HRPWM4 寄存器	0x00 68C0-0x00 68FF	64	(1)
ePWM5 + HRPWM5 寄存器	0x00 6900-0x00 693F	64	(1)
ePWM6 + HRPWM6 寄存器	0x00 6940-0x00 697F	64	(1)
ePWM7 + HRPWM7 寄存器	0x00 6980-0x00 69BF	64	(1)

（1）一些寄存器是受 EALLOW 保护的。

4.23.器件仿真寄存器

这些寄存器用于控制CPU 的保护模式和监视某些关键器件信号。表 4-9中定义了这些寄存器。

表 **4-9.** 器件仿真寄存器

名称	地址范围	大小（x 16）	说明			受 EALLOW 保护的
DEVICECNF	0x0880 0x0881	2	器件配置寄存器			支持
PARTID	0x3D 7E80	1	部件 ID 寄存器	FDM320R035 FDM320R034	0x00BF 0x00BB	否
CLASSID	0x0882	1	类别 ID 寄存器	FDM320R035 FDM320R034	0x00BF 0x00BB	否

4.24.中断

图 4-3显示了不同的中断源是如何被复用的。

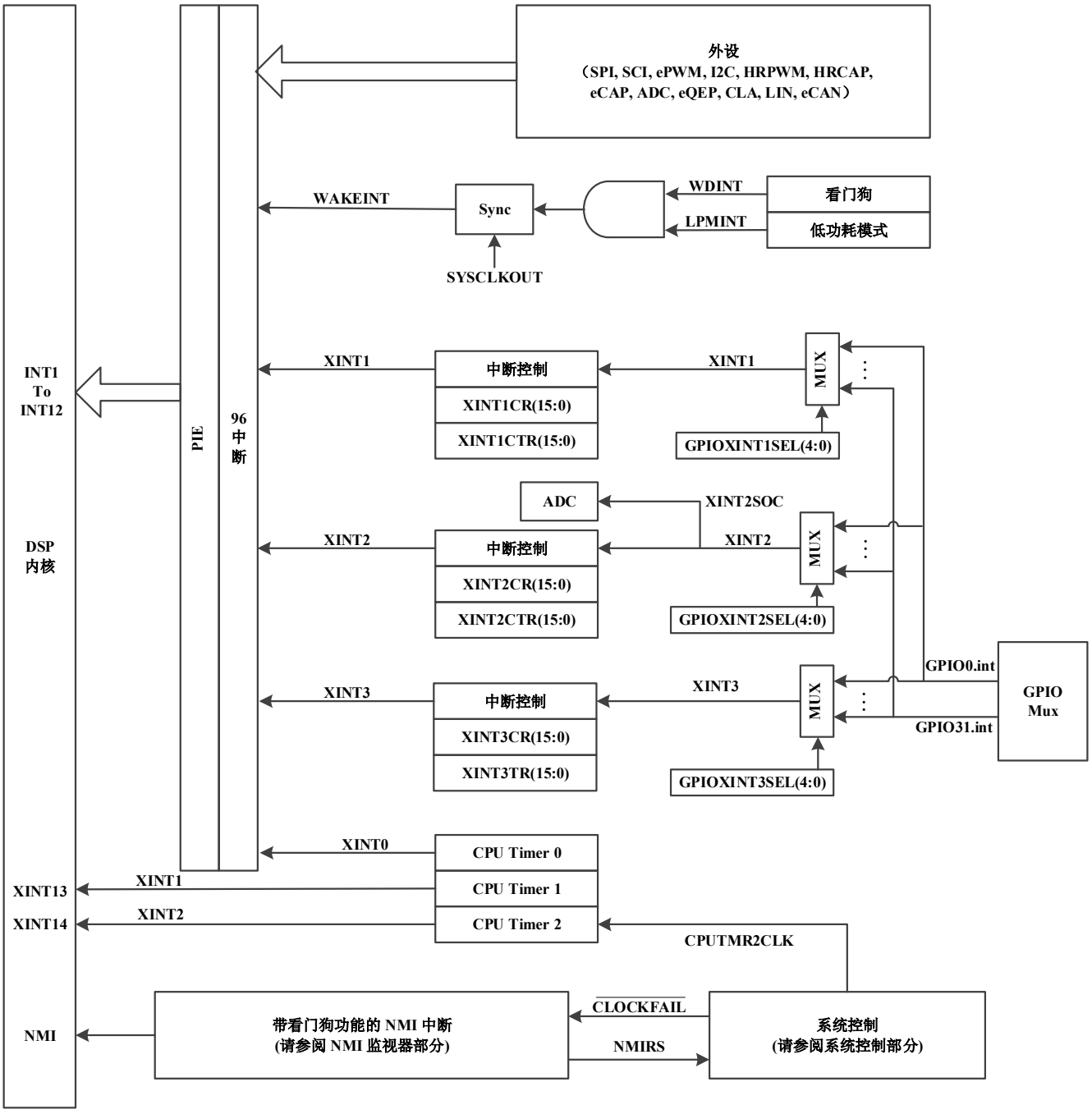


图 **4-3.** 外部和 **PIE** 中断源

8 个 PIE 块中断被组合进一个CPU中断。12个CPU中断组，每组8个中断，总共96个中断。表4-3显示了CPU器件所用的中断。

TRAP #Vectornumber（矢量号）指令将程序控制发送至与指定的矢量相对用的中断处理例程。TRAP #0尝试传送程序控制到复位矢量所指向的地址。然而，PIE矢量表不含复位矢量。因此，当PIE被启用时，TRAP #0不应被使用。这样做将导致未定义的运行状态。

当 PIE 被启用时，TRAP #1至 TRAP #12将传送程序控制到与PIE组中第一个矢量相对应的中断处理例程。例如：TRAP #1从INT1.1取矢量，TRAP #2 从 INT2.1 取矢量，以此类推。

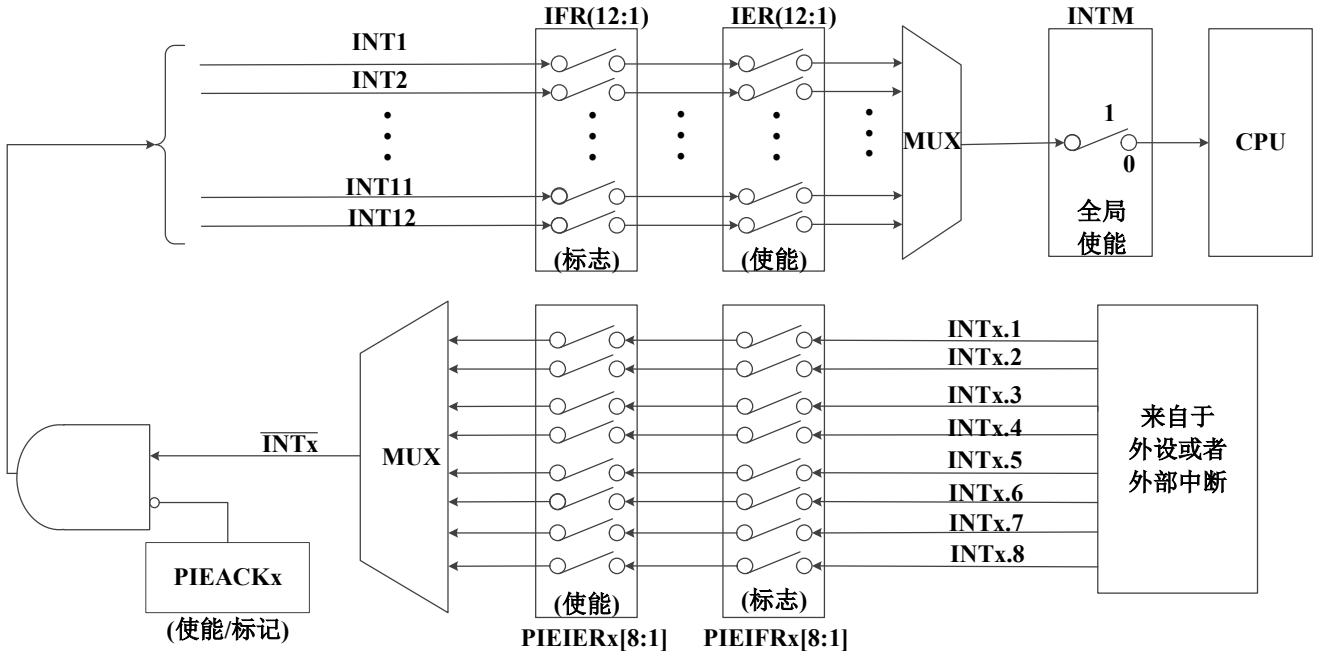


图 **4-4.** 使用 **PIE** 块的中断复用

表 **4-10. PIE** 多路复用的外设中断矢量表(1)

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WD) 0xD4E	TINT0 （定时器 0） 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 外部内部2 0xD48	XINT1 外部内部1 0xD46	被保留 - 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	被保留 - 0xD5E	EPWM7_TZINT (ePWM7) 0xD5C	EPWM6_TZINT (ePWM6) 0xD5A	EPWM5_TZINT (ePWM5) 0xD58	EPWM4_TZINT (ePWM4) 0xD56	EPWM3_ TZINT (ePWM3) 0xD54	EPWM2_ TZINT (ePWM2) 0xD52	EPWM1_ TZINT (ePWM1) 0xD50
INT3.y	被保留 - 0xD6E	EPWM7_INT (ePWM7) 0xD6C	EPWM6_INT (ePWM6) 0xD6A	EPWM5_INT (ePWM5) 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	HRCAP2_INT (HRCAP2) 0xD7E	HRCAP1_INT (HRCAP1) 0xD7C	被保留 - 0xD7A	被保留 - 0xD78	被保留 - 0xD76	被保留 - 0xD74	被保留 - 0xD72	ECAP1_INT (eCAP1) 0xD70
INT5.y	被保留 - 0xD8E	被保留 - 0xD8C	被保留 - 0xD8A	被保留 - 0xD88	被保留 - 0xD86	被保留 - 0xD84	被保留 - 0xD82	EQEP1_INT (eQEP1) 0xD80
INT6.y	被保留 - 0xD9E	被保留 - 0xD9C	被保留 - 0xD9A	被保留 - 0xD98	SPITXINTB (SPI-B) 0xD96	SPIRXINTB (SPI-B) 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	被保留 - 0xDAE	被保留 - 0xDAC	被保留 - 0xDAA	被保留 - 0xDA8	被保留 - 0xDA6	被保留 - 0xDA4	被保留 - 0xDA2	被保留 - 0xDA0
INT8.y	被保留 - 0xDBE	被保留 - 0xDBC	被保留 - 0xDBA	被保留 - 0xDB8	被保留 - 0xDB6	被保留 - 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	被保留 - 0xDCE	被保留 - 0xDCC	ECAN1_INTA (CAN-A) 0xDCA	ECAN0_INTA (CAN-A) 0xDC8	LIN1_INTA (LIN-A) 0xDC6	LIN0_INTA (LIN-A) 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 (ADC) 0xDDC	ADCINT6 (ADC) 0xDDA	ADCINT5 (ADC) 0xDD8	ADCINT4 (ADC) 0xDD6	ADCINT3 (ADC) 0xDD4	ADCINT2 (ADC) 0xDD2	ADCINT1 (ADC) 0xDD0
INT11.y	CLA1_INT8 (CLA) 0xDEE	CLA1_INT7 (CLA) 0xDEC	CLA1_INT6 (CLA) 0xDEA	CLA1_INT5 (CLA) 0xDE8	CLA1_INT4 (CLA) 0xDE6	CLA1_INT3 (CLA) 0xDE4	CLA1_INT2 (CLA) 0xDE2	CLA1_INT1 (CLA) 0xDE0
INT12.y	LUF (CLA) 0xDFE	LVF (CLA) 0xDFC	被保留 - 0xDFA	被保留 - 0xDF8	被保留 - 0xDF6	被保留 - 0xDF4	被保留 - 0xDF2	XINT3 外部 内部 3 0xDF0

(1) 在 96 个可能的中断中，有一些是不使用的。 这些中断是为以后的器件所保留的。 如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。 否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。 总的来说，在两个安全情况下，被保留的中断可被用作软件中断：

- 组内没有外设使中断有效。
- 没有外设中断被分配给组（例如，PIE 组 7）。

表 **4-11. PIE** 配置和控制寄存器

名称	地址	大小（x 16)	说明 (1)
PIECTRL	0x0CE0	1	PIE，控制寄存器
PIEACK	0x0CE1	1	PIE，确认寄存器
PIEIER1	0x0CE2	1	PIE，INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE，INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE，INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE，INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE，INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE，INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE，INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE，INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE，INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE，INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE，INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE，INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE，INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE，INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE，INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE，INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE，INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE，INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE，INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE，INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE，INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE，INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE，INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE，INT12 组标志寄存器
保留	0x0CFA-0x0CFF	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。 PIE 矢量表受保护。

4.25.外部中断

表 **4-12.** 外部中断寄存器

名称	地址	大小（x 16）	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
XINT3CTR	0x00 707A	1	XINT3 计数器寄存器

使用正、负、或者正负边沿可启用/禁用或者限定每一个外部中断。

4.26.VREG/BOR/POR

虽然内核和 I/O 电路运行在两个不同的电压上，这些器件有一个片载电压稳压器 (VREG) 来生成 V_{DD}电压，此电压由 V_{DDIO}电源提供。 这在应用板上免除了第二个外部稳压器的成本和空间的需要。 此外，在加电和运行模式期间，内部加电复位 (POR) 和欠压复位 (BOR) 电力路监控 V_{DD}和 V_{DDIO}电源轨。

4.27.系统控制

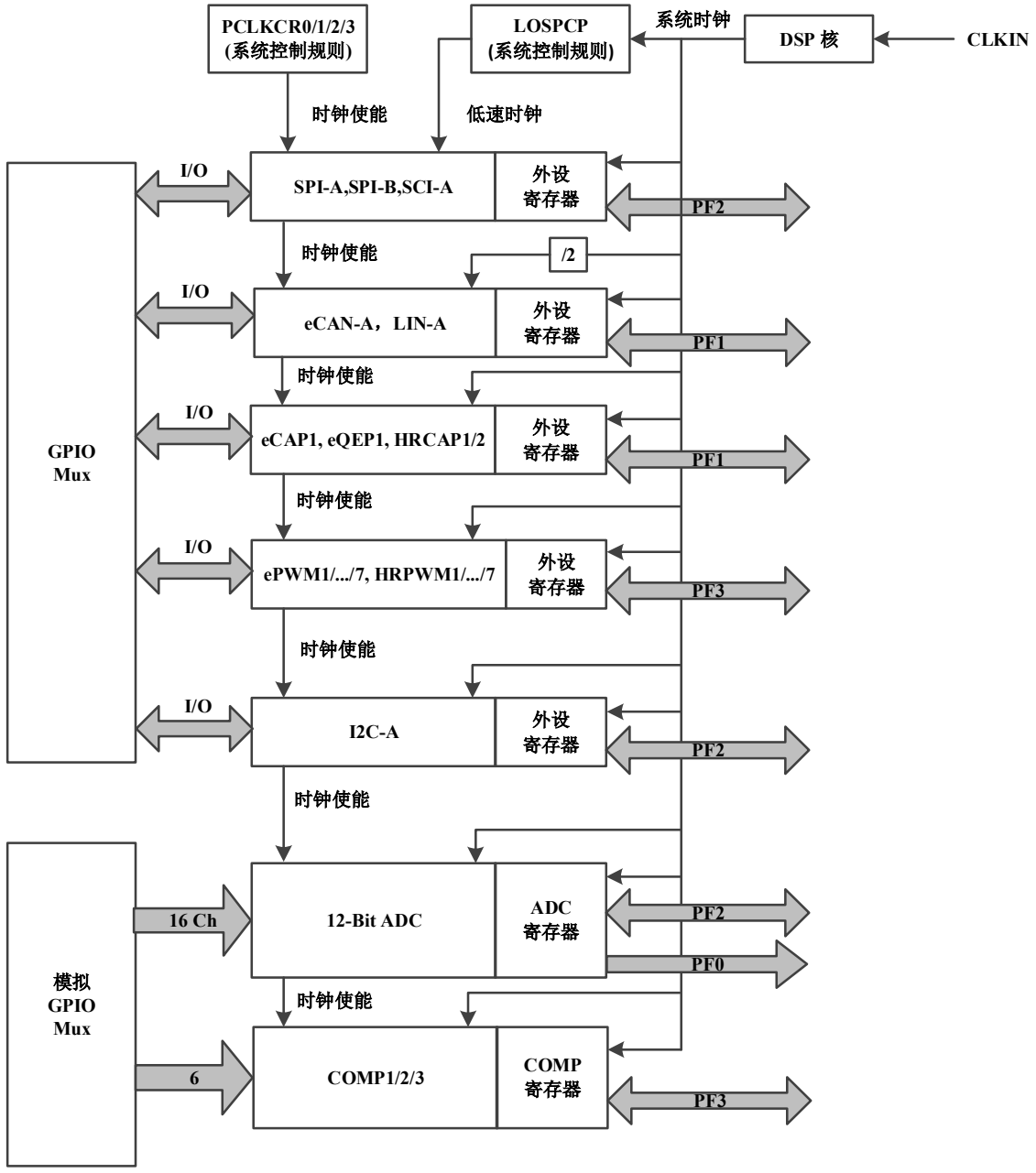
这一部分对振荡器和时钟机制、安全装置功能以及低功耗模式进行了说明。

表 **4-13. PLL**、时钟、安全装置和低功率模式寄存器

名称	地址	大小（x 16）	说明(1)
BORCFG	0x00 0985	1	BOR 配置寄存器
XCLK	0x00 7010	1	XCLKOUT 控制
PLLSTS	0x00 7011	1	PLL 状态寄存器
CLKCTL	0x00 7012	1	时钟控制寄存器
PLLLOCKPRD	0x00 7013	1	PLL 锁周期
INTOSC1TRIM	0x00 7014	1	内部振荡器 1 调整寄存器
INTOSC2TRIM	0x00 7016	1	内部振荡器 2 调整寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功率模式控制寄存器 0
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	安全装置计数器寄存器
WDKEY	0x00 7025	1	安全装置复位密钥寄存器
WDCR	0x00 7029	1	安全装置控制寄存器

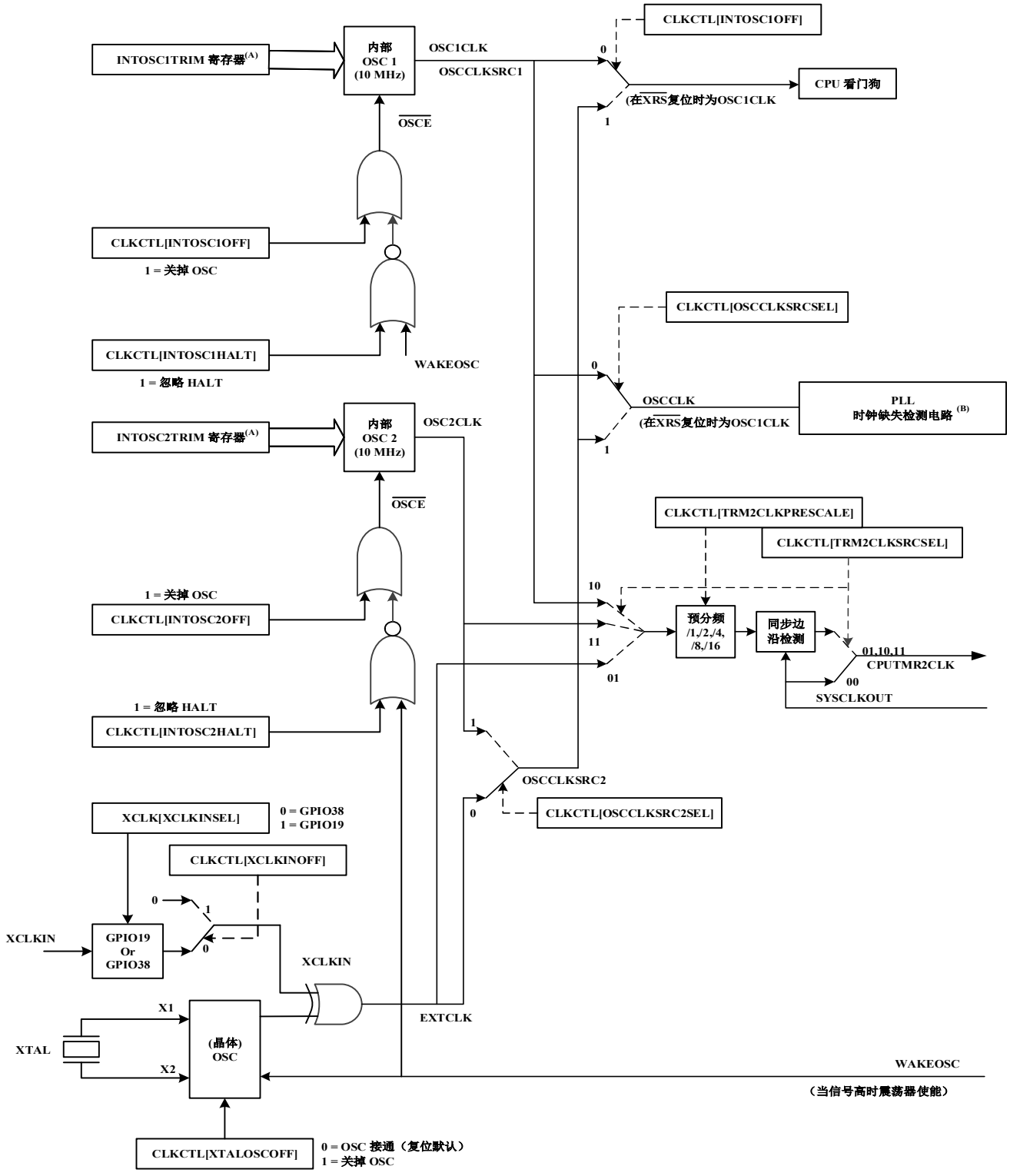
(1) 这个表中的所有寄存器是 EALLOW 受保护的。

图 4-5显示了讨论的多种时钟域。图 4-6显示了能够为器件运行提供时钟的多种时钟源（内部的和外部的）。



A. CLKIN 是到 CPU 的时钟。 它作为 SYSCLKOUT 从 CPU 传出（也就是说，CLKIN 与 SYSCLKOUT 频率相同）。

图 **4-5.** 时钟和复位域



A. 基于 OTP 的校准功能载入的寄存器。

图 **4-6.** 时钟树

4.28.低功耗模式块

表 4-14总结了各种模式。

表 **4-14.** 低功耗模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出[1]
空闲	00	打开	打开	打开	$\overline{XRS}$，CPU安全装置中断，任一被启用的中断
待机	01	打开 （CPU安全装置仍然运行）	关闭	关闭	$\overline{XRS}$，CPU安全装置中断，GPIO端口A信号，调试器[2]
停机[3]	1X	关闭 （片载振荡器和PLL关闭，零引脚振荡器和CPU安全装置状态取决于用户代码。）	关闭	关闭	$\overline{XRS}$，GPIO端口A信号，调试器[2]，CPU安全装置

4.29.控制律加速器 (CLA) 概述

控制律加速器通过添加并行处理来扩展CPU的功能。CLA处理的时间关键控制环路可实现 ADC采样输出延迟。因此，CLA支持更快速的系统响应和可高频率的控制环路 将CLA用于时间关键任务可将CPU解放出来去同时执行其它系统和通信功能。以下是CLA主要特性列表。

- 时钟速率与主 CPU 一致 (SYSCLKOUT)。注：仅适用于R035
- 一个独立的架构使得 CLA 能够独立于主 CPU 之外进行算法执行。
  - 完整的总线架构：
    - 程序地址总线和程序数据总线
    - 数据地址总线、数据读取总线、和数据写入总线
  - 独立的 8 级管道。
  - 12 位程序计数器 (MPC)
  - 4 个 32 位结果寄存器 (MR0-MR3)
  - 2 个 16 位辅助寄存器 (MAR0，MAR1)
  - 状态寄存器 (MSTF)
- 指令集包括：
  - IEEE 单精度（32 位）浮点数学运算
  - 带有并行载入或者存储的浮点数学
  - 带有并行加法或者减法的浮点乘
  - 1/X 和 1/sqrt(X) 估值
  - 数据类型转换。
  - 条件分支指令和调用
  - 数据载入/存储操作
- CLA 程序代码能够包含多达 8 个任务或者中断处理例程。
  - 每一个任务的开始地址由 MVECT 寄存器指定。
  - 只要任务符合 CLA 内的程序内存空间，对任务大小就没有限制。
  - 每次处理并完成一个任务。 无任务嵌套。
  - 任务完成时，在 PIE 内标志一个任务专用中断。
  - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
- 任务触发机制：
  - 借助于 IACK 指令的 CPU
  - 任务 1 至 任务 7：相应的 ADC 或 ePWM 模块中断。 例如：
    - 任务 1：ADCINT1 或者 EPWM1_INT
    - 任务 2：ADCINT2 或者 EPWM2_INT
    - 任务 7：ADCINT7 或者 EPWM7_INT
  - 任务 8：ADCINT8 或者由 CPU 定时器 0 发出的任务。
- 内存和共用外设：
  - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
  - R035 CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。
  - CLA 可直接访问 ADC 结果寄存器、比较器寄存器、和 ePWM+HRPWM 寄存器。

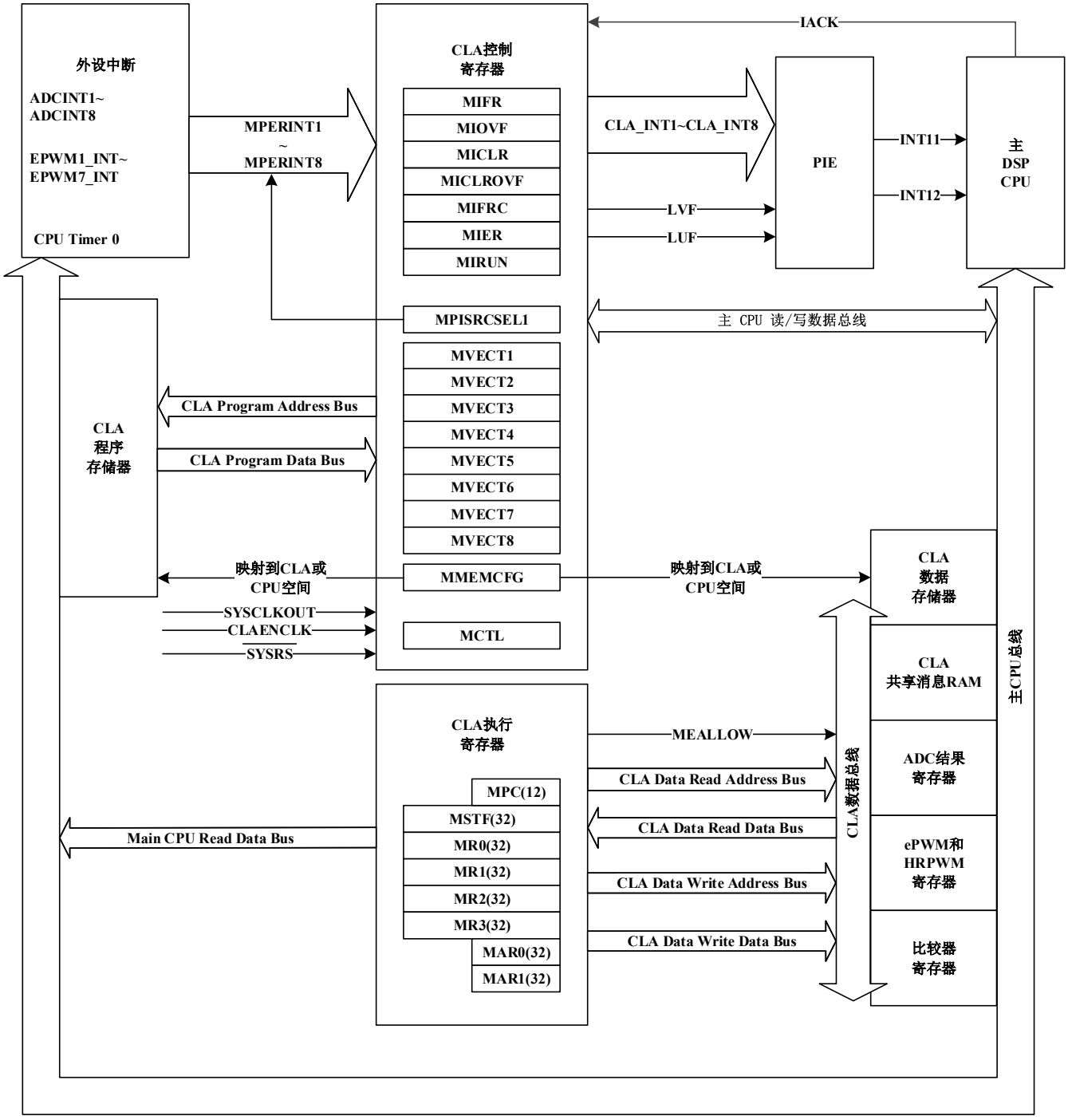

外设中断
ADCINT1~
ADCINT8
EPWM1_INT~
EPWM7_INT
CPU Timer 0
MPERINT1
~
MPERINT8
CLA控制
寄存器
MIFR
MIOVF
MICLR
MICLROVF
MIFRC
MIER
MIRUN
MPISRCSEL1
MVECT1
MVECT2
MVECT3
MVECT4
MVECT5
MVECT6
MVECT7
MVECT8
MMEMCFG
MCTL
IACK
CLA_INT1~CLA_INT8
LVF
LUF
PIE
INT11
INT12
主
DSP
CPU
主 CPU 读/写数据总线
CLA
程序
存储器
CLA Program Address Bus
CLA Program Data Bus
映射到CLA或
CPU空间
SYSCLKOUT
CLAENCLK
SYSRS
映射到CLA或
CPU空间
CLA
数据
存储器
CLA
共享消息RAM
ADC结果
寄存器
ePWM和
HRPWM
寄存器
比较器
寄存器
CLA数据总线
主CPU总线
CLA执行
寄存器
MPC(12)
MSTF(32)
MR0(32)
MR1(32)
MR2(32)
MR3(32)
MAR0(32)
MAR1(32)
MEALLOW
CLA Data Read Address Bus
CLA Data Read Data Bus
CLA Data Write Address Bus
CLA Data Write Data Bus
Main CPU Read Data Bus

图 **4-7. CLA** 方框图

表 **4-15. CLA** 控制寄存器

寄存器名称	CLA1 地址	大小 (x 16)	受 EALLOW 保护	说明(1)
MVECT1	0x1400	1	支持	CLA 中断/任务 1 起始地址
MVECT2	0x1401	1	支持	CLA 中断/任务 2 起始地址
MVECT3	0x1402	1	支持	CLA 中断/任务 3 起始地址
MVECT4	0x1403	1	支持	CLA 中断/任务 4 起始地址
MVECT5	0x1404	1	支持	CLA 中断/任务 5 起始地址
MVECT6	0x1405	1	支持	CLA 中断/任务 6 起始地址
MVECT7	0x1406	1	支持	CLA 中断/任务 7 起始地址
MVECT8	0x1407	1	支持	CLA 中断/任务 8 起始地址
MCTL	0x1410	1	支持	CLA 控制寄存器
MMEMCFG	0x1411	1	支持	CLA 内存配置寄存器
MPISRCSEL1	0x1414	2	支持	外设中断源选择寄存器 1
MIFR	0x1420	1	支持	中断标志寄存器
MIOVF	0x1421	1	支持	中断溢出寄存器
MIFRC	0x1422	1	支持	中断强制寄存器
MICLR	0x1423	1	支持	中断清除寄存器
MICLROVF	0x1424	1	支持	中断溢出清除寄存器
MIER	0x1425	1	支持	中断使能寄存器
MIRUN	0x1426	1	支持	中断 RUN（运行）寄存器
MIPCTL	0x1427	1	支持	中断优先级控制寄存器
MPC(2)	0x1428	1	-	CLA 程序计数器
MAR0(2)	0x142A	1	-	CLA 辅助寄存器 0
MAR1(2)	0x142B	1	-	CLA 辅助寄存器 1
MSTF(2)	0x142E	2	-	CLA STF 寄存器
MR0(2)	0x1430	2	-	CLA R0H 寄存器
MR1(2)	0x1434	2	-	CLA R1H 寄存器
MR2(2)	0x1438	2	-	CLA R2H 寄存器
MR3(2)	0x143C	2	-	CLA R3H 寄存器

(1) 这个表中的所有寄存器是受 CSM 保护的。
(2) 主 CPU 对于这些寄存器只有用于调试目的的只读权限。 主 CPU 不能执行到这个寄存器的 CPU 或者调试器写入。

表 **4-16. CLA** 消息 **RAM**

地址范围	大小 (x 16)	说明
0x1480-0x14FF	128	CLA 到 CPU 消息 RAM
0x1500-0x157F	128	CPU 到 CLA 消息 RAM

4.30.模拟时钟

一个被执行的12位ADC内核具有与基于FDM320R034/5的12位ADC不同的定时。ADC包装程序被修改以包含新的定时以及其它改进以提升转换开始的定时控制性能。

图 4-2显示了模拟模块与R034/5系统其余部分的相互作用。

56-Pin 64-Pin	80-Pin
VDDA	VDDA
VREFLO Tied To VSSA	VSSA
	VREFLO
VREFHI Tied To A0	VREFHI
	A0
A1	A1
A2	A2
A3	A3
A4	A4
	A5
A6	A6
A7	A7
B0	B0
B1	B1
B2	B2
B3	B3
B4	B4
	B5
B6	B6
B7	B7

信号定位

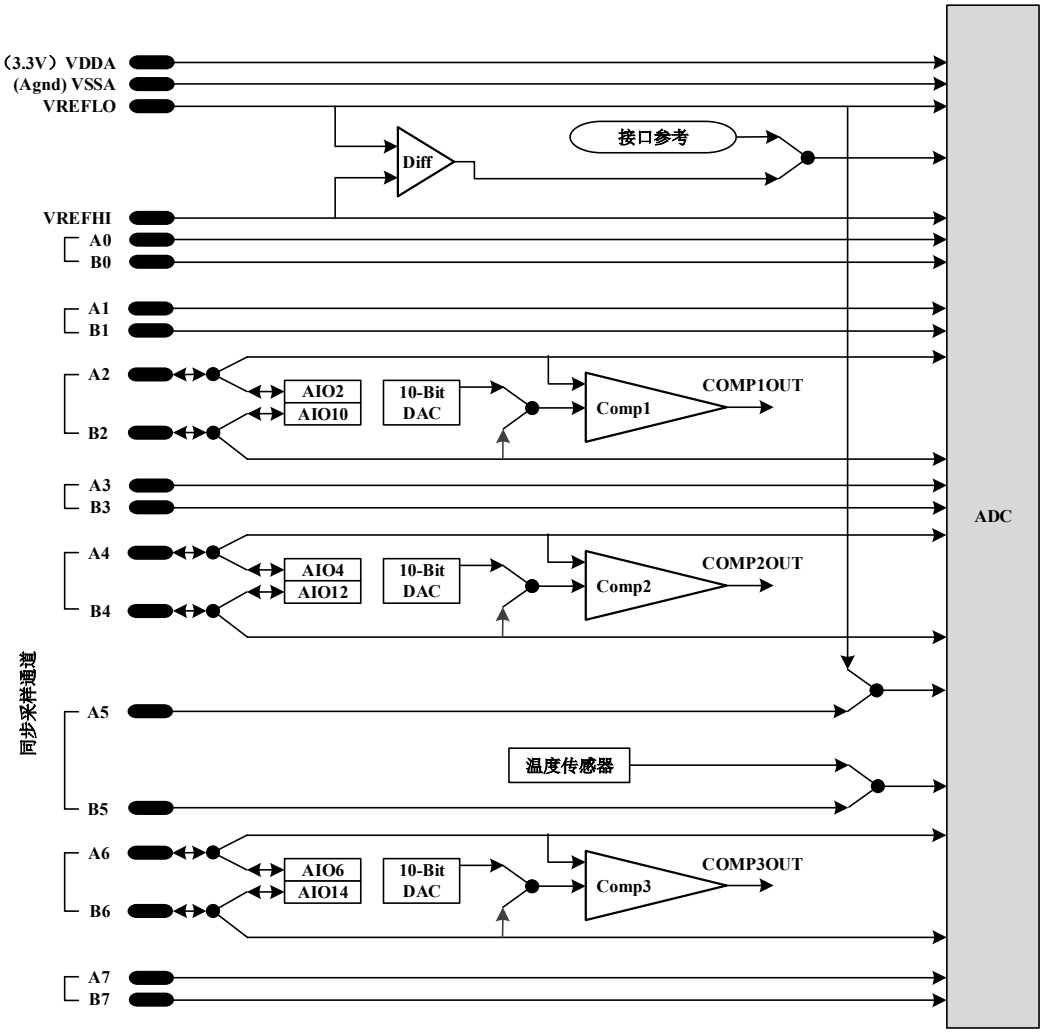


图 **4-8.** 模拟引脚配置

4.31.串行外设接口 (SPI) 模块

此器件包括四引脚串行外设接口(SPI)模块。可提供多达两个SPI模块。SPI是一个高速、同步串行I/O端口，此端口可在设定的位传输速率上将一个设定长度（1至16 位）的串行比特流移入和移出器件。通常，SPI用于MCU和外部外设或者其它处理器之间的通信。典型应用包括外部I/O或者从诸如移位寄存器、显示驱动器和ADC等器件的外设扩展。多器件通信由SPI的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
  - SPISOMI：SPI 从器件输出/主器件输入引脚
  - SPISIMO：SPI 从器件输入/主器件输出引脚
  - $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
  - SPICLK：SPI 串行时钟引脚

请注意：如果 SPI模块未被使用，所有四个引脚可被用作GPIO。

- 两个运行模式：主模式和从模式
  波特率：125 个不同的可编辑速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR } 1)} \text{ when SPIBRR} = 3\text{to}127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \text{ when SPIBRR} = 0, 1, 2$$

- 数据字长度：一到十六数据位
- 包括四个计时机制（由时钟极性和时钟相位的位控制）：
  - 无相位延迟的下降沿：SPICLK 高电平有效。 SPI 在 SPICLK 信号的下降沿上传送数据，而在SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。 SPI 在 SPICLK 信号下降沿的一半周期之前发送数据，而在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。 SPI 在 SPICLK 信号的上升沿上发送数据，而在SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。 SPI 在 SPICLK 信号下降沿之前的半个周期发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址 7040h。

增强型特性：

- 4 级发送/接收 FIFO
- 经延迟的发射控制
- 支持双向 3 线 SPI 模式
- 通过$\overline{\text{SPISTE}}$反转支持音频数据接收

SPI 端口运行由表 4-17和表 4-18中列出的寄存器配置和控制。

表 **4-17. SPI-A** 寄存器

名称	地址	大小 (x 16)	受 EALLOW 保护	说明(1)
SPICCR	0x7040	1	否	SPI-A 配置控制寄存器
SPICTL	0x7041	1	否	SPI-A 运行控制寄存器
SPISTS	0x7042	1	否	SPI-A 状态寄存器
SPIBRR	0x7044	1	否	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	否	SPI-A 接收仿真缓冲器寄存器
SPIRXBUF	0x7047	1	否	SPI-A 串行输入缓冲器寄存器
SPITXBUF	0x7048	1	否	SPI-A 串行输出缓冲器寄存器
SPIDAT	0x7049	1	否	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	否	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	否	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	否	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	否	SPI-A 优先级控制寄存器

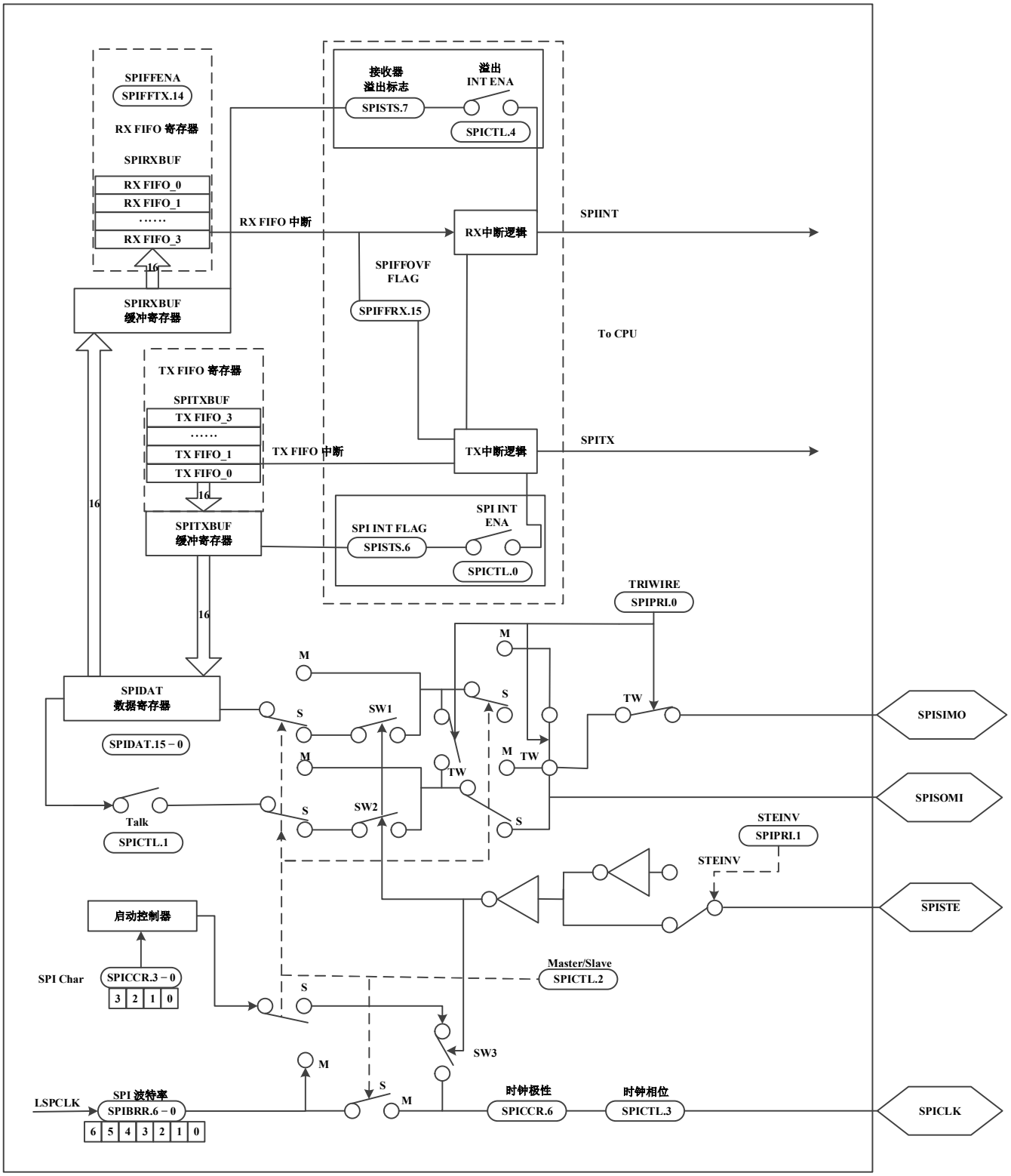
(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

表 **4-18. SPI-B** 寄存器

名称	地址	大小 (x 16)	受 EALLOW 保护	说明(1)
SPICCR	0x7740	1	否	SPI-B 配置控制寄存器
SPICTL	0x7741	1	否	SPI-B 运行控制寄存器
SPISTS	0x7742	1	否	SPI-B 状态寄存器
SPIBRR	0x7744	1	否	SPI-B 波特率寄存器
SPIRXEMU	0x7746	1	否	SPI-B 接收仿真缓冲器寄存器
SPIRXBUF	0x7747	1	否	SPI-B 串行输入缓冲器寄存器
SPITXBUF	0x7748	1	否	SPI-B 串行输出缓冲器寄存器
SPIDAT	0x7749	1	否	SPI-B 串行数据寄存器
SPIFFTX	0x774A	1	否	SPI-B FIFO 发送寄存器
SPIFFRX	0x774B	1	否	SPI-B FIFO 接收寄存器
SPIFFCT	0x774C	1	否	SPI-B FIFO 控制寄存器
SPIPRI	0x774F	1	否	SPI-B 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

图 4-9是一个处于从模式下 SPI 的方框图。



A. $\overline{\text{SPISTE}}$被主控器件驱动为用于受控器件的低电平。

图 **4-9. SPI** 模块方框图（从模式）

4.32.串行通信接口 (SCI) 模块

此器件包括一个串行通信接口 (SCI) 模块 (SCI-A) SCI 模块支持 CPU 和其它同步外设之间使用非归零(NRZ)格式的数字通信。SCI接收器和发射器是双缓冲的，并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性，SCI在中断检测、奇偶校验、超载、和组帧错误方面对接收到的数据进行检查。通过一个16位波特率选择寄存器，可将比特率设定为超过65000个不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚
    注释：两个引脚如果不被用于 SCI 的话，可被用作 GPIO。
  - 波特率被设定为 64K 个不同速率：

$$\textbf{Baud rate} = \frac{\textbf{LSPCLK}}{(\textbf{BRR}+1)*8} \qquad \textbf{When BRR}\neq 0$$

$$\textbf{Baud rate} = \frac{\textbf{LSPCLK}}{16} \qquad \textbf{When BRR=0}$$

- 数据-字格式
  - 一个开始位
  - 数据-字长度可被设定为1至8位
  - 可选偶/奇/无奇偶校验位
  - 一个或者两个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两个唤醒多处理器模式：空闲线路和地址位
- 半双工或者全双工运行
- 双缓冲接收和发送功能
- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
  - 发射器：TXRDY 标志（发射器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY（TX 空）标志（发射器移位寄存器已空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件），和 RX ERROR 错误标志（监控四个中断条件）
- 用于发射器和接收器中断的独立使能位（除了 BRKDT）
- NRZ（非归零码）格式

增强型特性：

- 自动波特率检测硬件逻辑电路
- 4 级发送/接收 FIFO

SCI 端口运行由表 4-19中列出的寄存器配置和控制。

表 **4-19. SCI-A** 寄存器(1)

名称	地址	大小 (x 16)	受 EALLOW 保护	说明
SCICCRA	0x7050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	否	SCI-A 控制寄存器
SCIHBAUDA	0x7052	1	否	SCI-A 波特率寄存器，高位
SCILBAUDA	0x7053	1	否	SCI-A 波特率寄存器，低位
SCICTL2A	0x7054	1	否	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA(2)	0x705A	1	否	SCI-A FIFO 发送寄存器
SCIFFRXA(2)	0x705B	1	否	SCI-A FIFO 接收寄存器
SCIFFCTA(2)	0x705C	1	否	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	否	SCI-A 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。 这空间只允许 16 位访问。32 位访问会产生未定义的后果。
(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 4-10显示了 SCI 模块方框图。

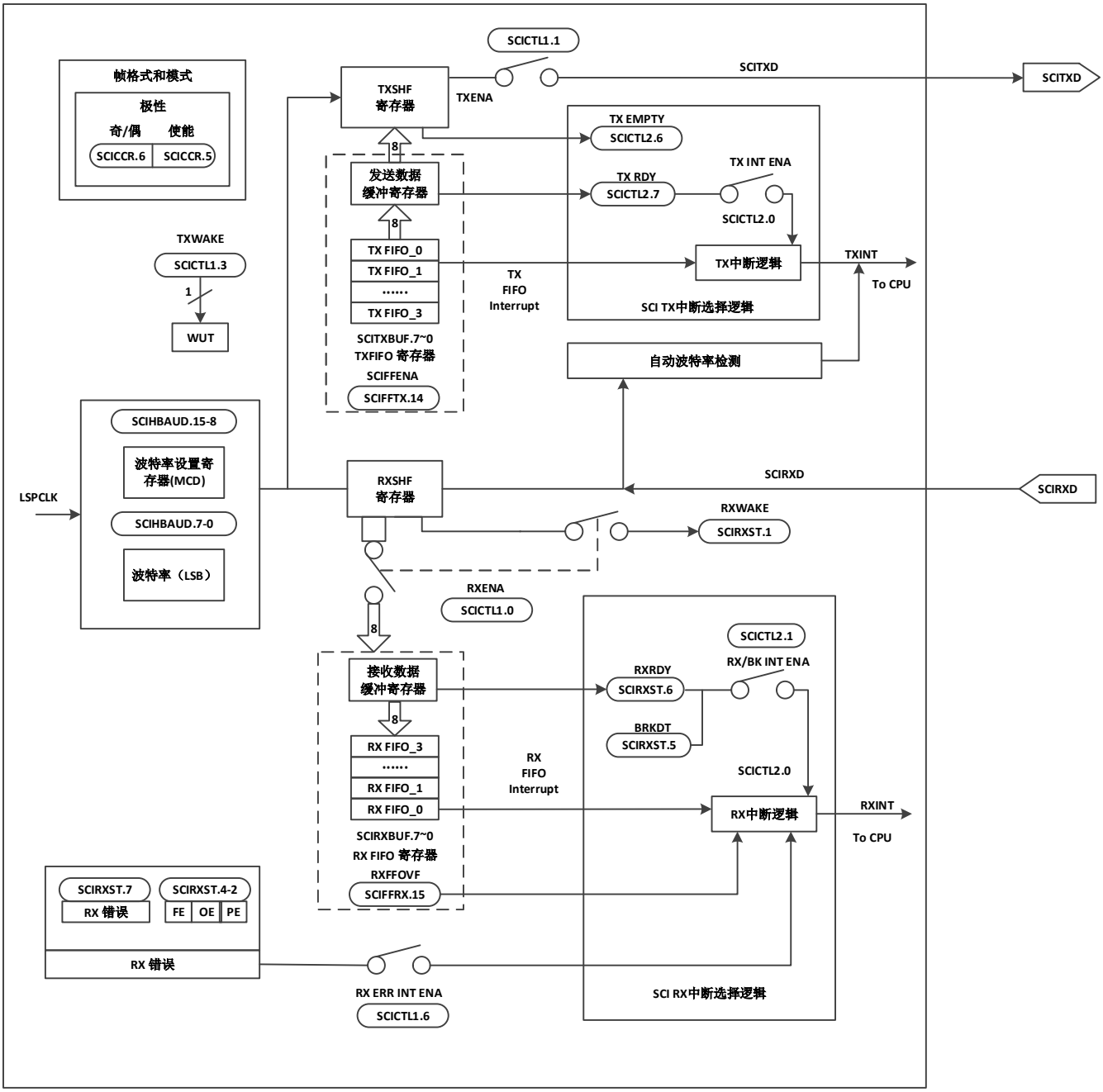


图 **4-10.** 串行通信接口 **(SCI)** 模块方框图

4.33.本地互连网络 (LIN)

此器件包含一个 LIN 控制器。 LIN 标准基于 SCI (UART) 串行数据连接格式。 LIN 模块也可被配置成作为一个 SCI 运行。

LIN 模块具有以下特性：

- 与 LIN 1.3 或者 2.0 协议兼容
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主器件头文件生成
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 从器件自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 带有 7 个分数位的 2^{31}个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 带有优先级编码的 2 个中断线路：
  - 接收
  - 发送
  - ID，错误和状态

表 4-20中的寄存器配置和控制 LIN 模块的运行。

表 **4-20. LIN-A** 寄存器(1)

名称	地址	大小（x 16）	说明
SCIGCR0	0x6C00	2	全局控制寄存器 0
SCIGCR1	0x6C02	2	全局控制寄存器 1
SCIGCR2	0x6C04	2	全局控制寄存器 2
SCISETINT	0x6C06	2	中断使能寄存器
SCICLEARINT	0x6C08	2	中断禁用寄存器
SCISETINTLVL	0x6C0A	2	设置中断级别寄存器
SCICLEARINTLVL	0x6C0C	2	清除中断级别寄存器
SCIFLR	0x6C0E	2	标志寄存器
SCIINTVECT0	0x6C10	2	中断矢量偏移寄存器 0
SCIINTVECT1	0x6C12	2	中断矢量偏移寄存器 1
SCIFORMAT	0x6C14	2	长度控制寄存器
BRSR	0x6C16	2	波特率选择寄存器
SCIED	0x6C18	2	仿真缓冲寄存器
SCIRD	0x6C1A	2	接收器数据缓冲寄存器
SCITD	0x6C1C	2	发送数据缓冲寄存器
保留	0x6C1E	4	RSVD
SIPIO2	0x6C22	2	引脚控制寄存器 2
保留	0x6C24	10	RSVD
LINCOMP	0x6C30	2	比较寄存器
LINRD0	0x6C32	2	接收数据寄存器 0
LINRD1	0x6C34	2	接收数据寄存器 1
LINMASK	0x6C36	2	接受屏蔽寄存器
LINID	0x6C38	2	寄存器包含 ID 字节，ID 从任务字节，和接收到的 ID域。
LINTD0	0x6C3A	2	发送数据寄存器 0
LINTD1	0x6C3C	2	发送数据寄存器 1
MBRSR	0x6C3E	2	波特率选择寄存器
保留	0x6C40	8	RSVD
IODFTCTRL	0x6C48	2	用于 BLIN 的 IODFT

(1) 一些寄存器和其它寄存器中的一些位是收 EALLOW 保护的。

图 4-11显示了 LIN 模块方框图。

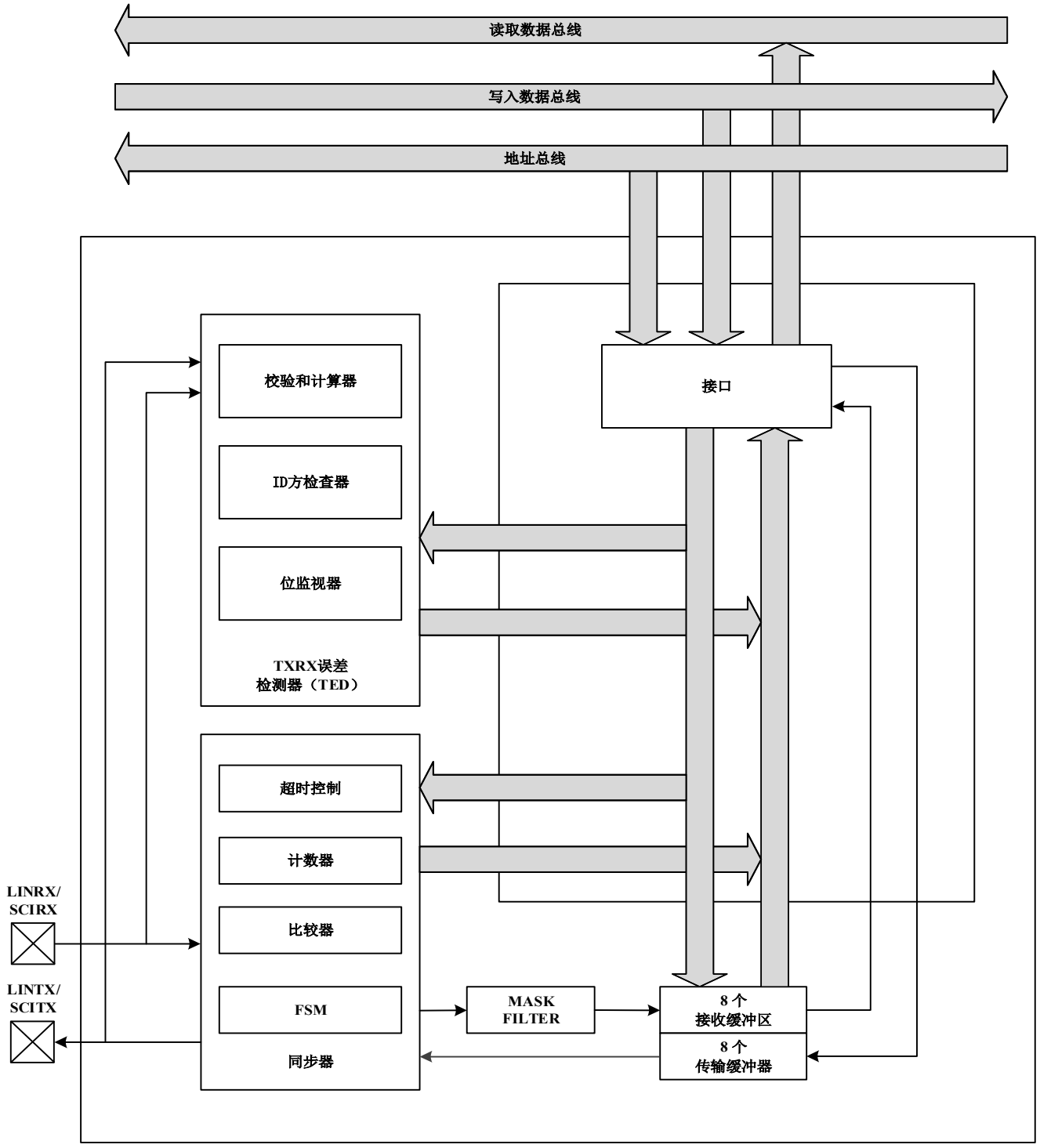


图 **4-11. LIN** 方框图

4.34.增强型控制器局域网络 (eCAN) 模块

CAN 模块 (eCAN-A) 有下列特性：

- 与 CAN 协议，版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32个邮箱，每一个邮箱有下列属性：
  - 可配置为接收或者发送
  - 可使用标准或者扩展标识符进行配置
  - 有一个可编辑接收屏蔽
  - 支持数据和远程帧
  - 由 0 至 8 字节数据组成
  - 在接收和发送消息上使用一个 32 位时间戳
  - 防止接收新消息
  - 保持发送消息的动态可编辑优先级
  - 采用一个具有两个中断级别的可编辑中断机制
  - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的 32 位本地网络时间计数器（与邮箱 6 协同通信）
- 自测模式
  - 运行在接收其自身消息的回路模式。 提供一个“假”确认，从而无需另外节点提供确认位。

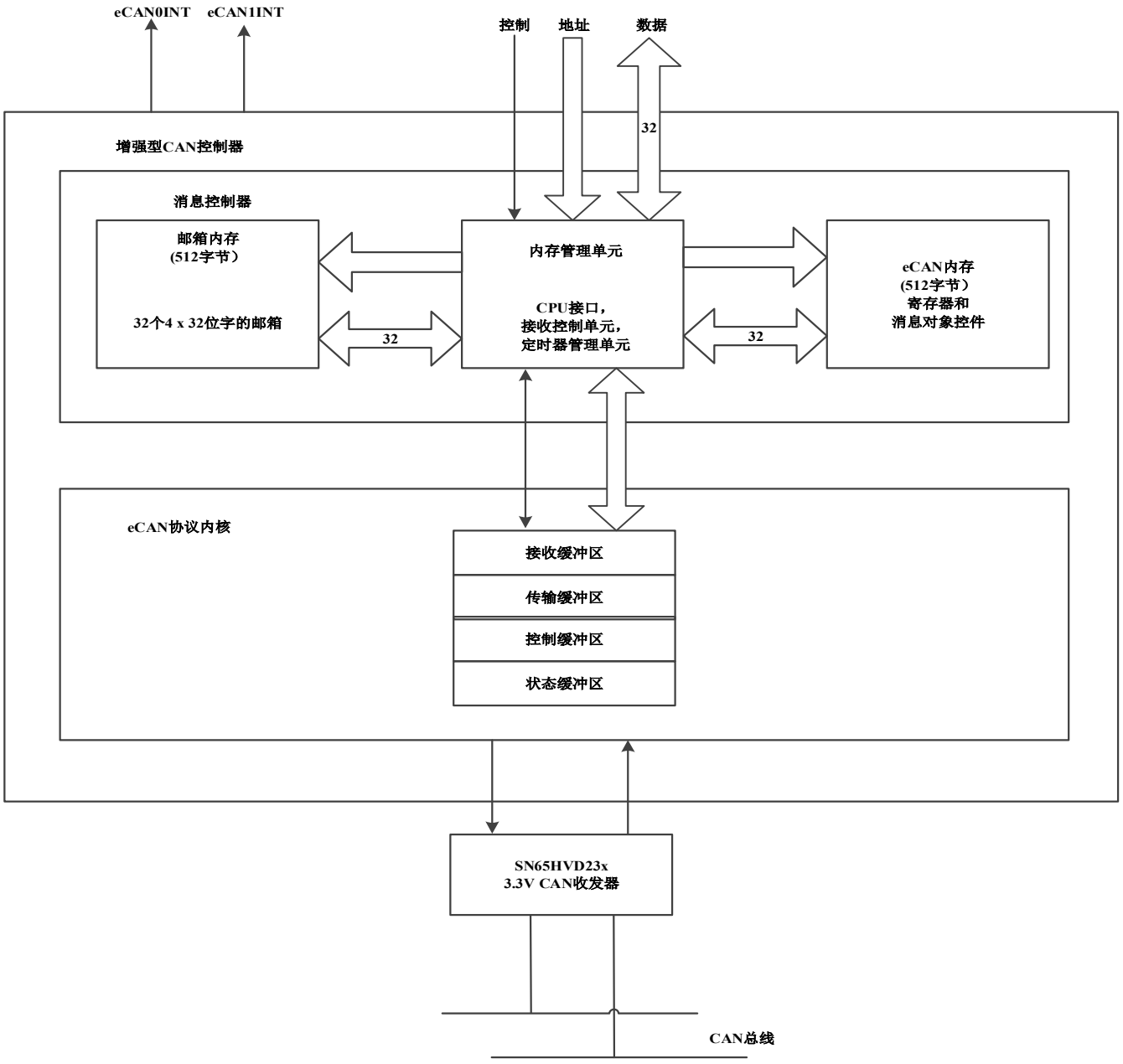


图 **4-12. eCAN** 方框图和接口电路

表 **4-21. 3.3V eCAN** 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T_A
SN65HVD230	3.3V	待机	可调节	支持	-	-40° C 至 85° C
SN65HVD230Q	3.3V	待机	可调节	支持	-	−40° C 至 125° C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40° C 至 85° C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	−40° C 至 125° C
SN65HVD232	3.3V	无	无	无	-	-40° C 至 85° C
SN65HVD232Q	3.3V	无	无	无	-	−40° C 至 125° C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	−40° C 至 125° C
SN65HVD234	3.3V	待机和休眠	可调节	无	-	−40° C 至 125° C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	−40° C 至 125° C
ISO1050	3-5.5V	无	无	无	内置隔离 低传播延迟热关断 故障安全运行主超时	-55° C 至 105° C

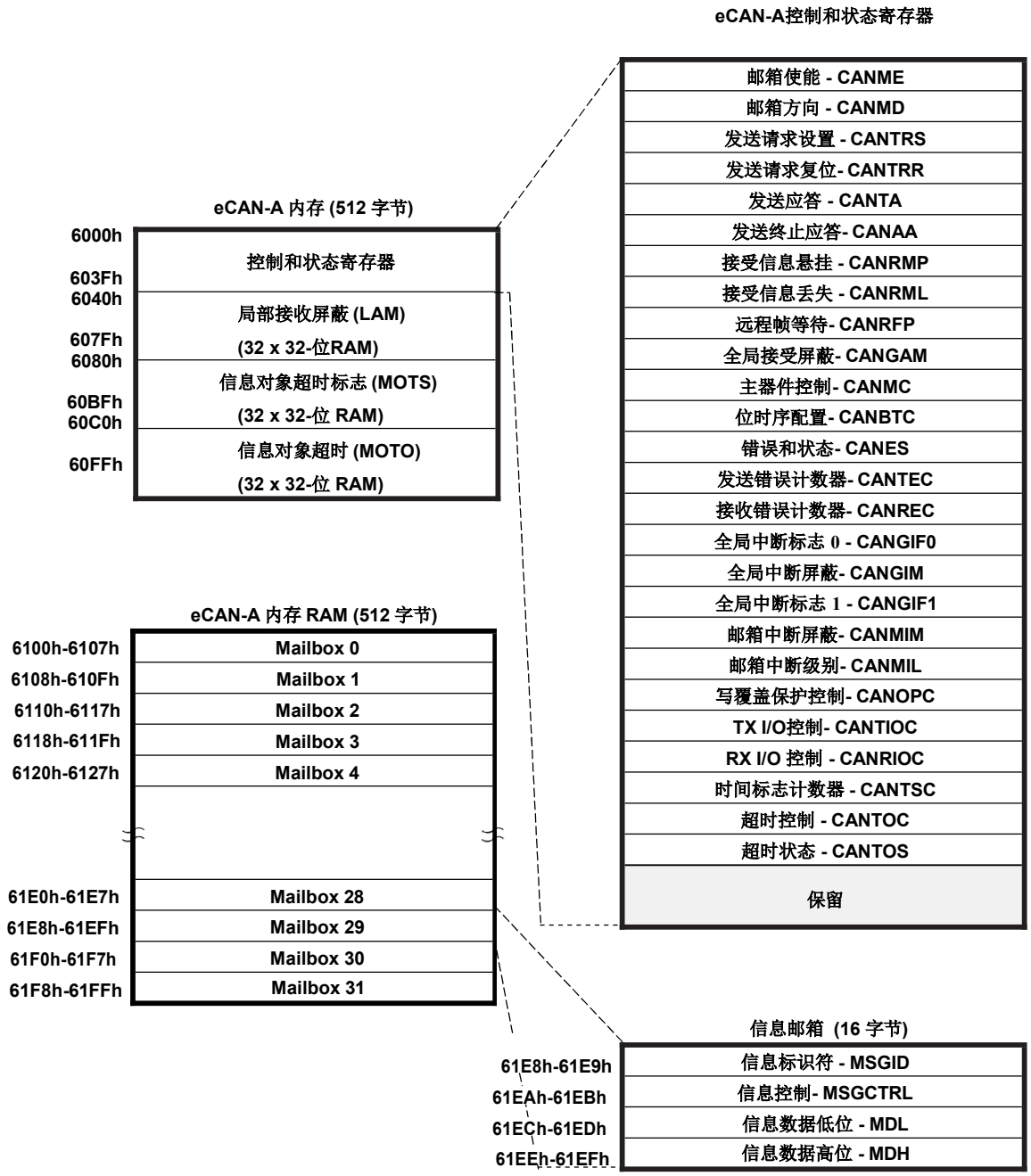


图 **4-13. eCAN-A** 内存映射

表 4-22中列出的 CAN 寄存器由 CPU 用于配置和控制 CAN 控制器和消息目标。eCAN 控制寄存器只支持32 位读取/写入操作。 邮箱 RAM 可进行 16 位或者 32 位访问。32 位访问与一个偶边界对齐。

表 **4-22. CAN** 寄存器映射(1)

寄存器名称	eCAN-A地址	大小（x 32）	说明
CANME	0x6000	1	邮箱启用
CANMD	0x6002	1	邮箱方向
CANTRS	0x6004	1	发送请求设定
CANTRR	0x6006	1	发送请求复位
CANTA	0x6008	1	传输确认
CANAA	0x600A	1	中止确认
CANRMP	0x600C	1	接收消息等待
CANRML	0x600E	1	接收消息丢失
CANRFP	0x6010	1	远程帧等待
CANGAM	0x6012	1	全局接收屏蔽
CANMC	0x6014	1	主器件控制
CANBTC	0x6016	1	位时序配置
CANES	0x6018	1	错误和状态
CANTEC	0x601A	1	发送错误计数器
CANREC	0x601C	1	接收错误计数器
CANGIF0	0x601E	1	全局中断标志 0
CANGIM	0x6020	1	全局中断屏蔽
CANGIF1	0x6022	1	全局中断标志 1
CANMIM	0x6024	1	邮箱中断屏蔽
CANMIL	0x6026	1	邮箱中断级别
CANOPC	0x6028	1	写覆盖保护控制
CANTIOC	0x602A	1	TX I/O 控制
CANRIOC	0x602C	1	RX I/O 控制
CANTSC	0x602E	1	时间戳计数器（在 SCC 模式中被保留）
CANTOC	0x6030	1	超时控制（在 SCC 模式中被保留）
CANTOS	0x6032	1	超时状态（在 SCC 模式中被保留）

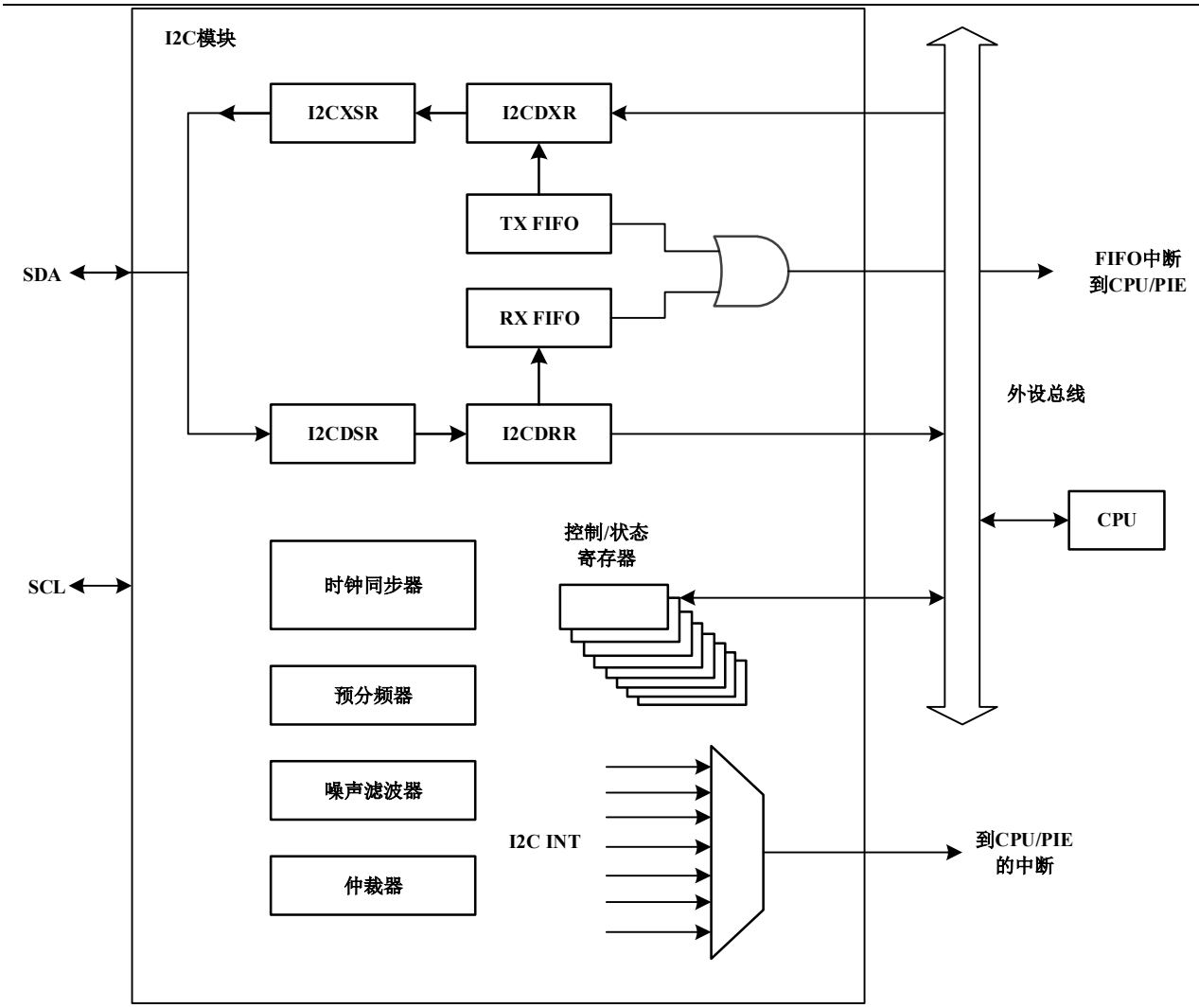
(1) 这些寄存器被映射至外设帧 1。

4.35.内部集成电路 (I2C)

此器件包含一个 I2C 串行端口。图 4-14显示了此器件内的 I2C 外设模块接口。

I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格（版本 2.1）：
  - 支持 1 位至 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400kbps（I2C 快速模式速率）
- 一个 4 字接收 FIFO 和 一个 4 字发送 FIFO
- 可以由 CPU 使用的一个中断。 这个中断可由下列条件中的一个生成：
  - 发送数据准备好
  - 接收数据准备好
  - 寄存器访问准备好
  - 没有接收到确认
  - 仲裁丢失
  - 检测到停止条件
  - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加的中断
- 模块启用/禁用能力
- 自由数据格式模式



A. 在 SYSCLKOUT 速率上对 I2C 寄存器进行访问。 I2C 端口的内部定时和信号波形也为 SYSCLKOUT 速率。

B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。 复位时，I2CAENCLK 被清除，这表明外设内部时钟被关闭。

图 **4-14. I2C** 外设模块接口

表 4-23中的寄存器配置并且扩展 I2C 端口操作。

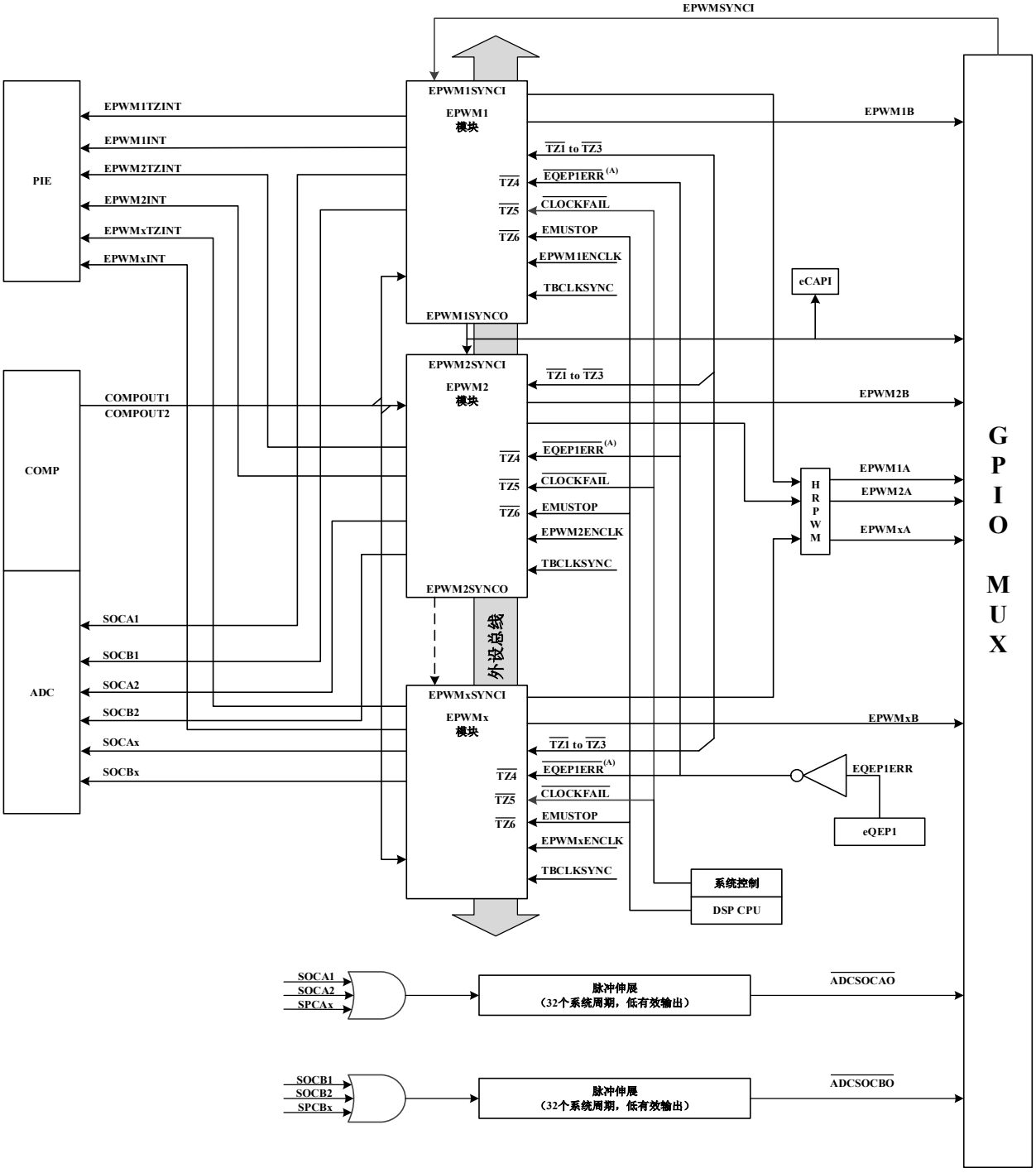
表 **4-23. I2C-A** 寄存器

名称	地址	受 EALLOW 保护	说明
I2COAR	0x7900	否	I2C 自身的地址寄存器
I2CIER	0x7901	否	I2C 中断使能寄存器
I2CSTR	0x7902	否	I2C 状态寄存器
I2CCLKL	0x7903	否	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	否	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	否	I2C 数据计数寄存器
I2CDRR	0x7906	否	I2C 数据接收寄存器
I2CSAR	0x7907	否	I2C 从器件地址寄存器
I2CDXR	0x7908	否	I2C 数据发送寄存器
I2CMDR	0x7909	否	I2C 模式寄存器
I2CISRC	0x790A	否	I2C 中断源寄存器
I2CPSC	0x790C	否	I2C 预分频器寄存器
I2CFFTX	0x7920	否	I2C FIFO 发送寄存器
I2CFFRX	0x7921	否	I2C FIFO 接收寄存器
I2CRSR	-	否	I2C 接收移位寄存器（不可访问 CPU）
I2CXSR	-	否	I2C 发送移位寄存器（不可访问 CPU）

4.36.增强型 PWM 模块 (ePWM1/2/3/4/5/6/7)

器件包含高达7个增强型 PWM 模块 (ePWM)。图 4-15显示了一个多 ePWM 模块的方框图。图 4-16显示了与 ePWM 互连的信号。

表 4-24和表 4-25显示了每个模块的完整的 ePWM 寄存器集。



A. 这个信号只在带有 eQEP1 模块的器件内存在。

图 4-15. ePWM

表 **4-24. ePWM1-ePWM4**控制和状态寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16) /#SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	1/1	时基周期寄存器集
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1/1	时基周期高分辨率寄存器(1)
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	1/1	计数器比较 A 寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	1/1	计数器比较 B 寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x680D	0x684D	0x688D	0x68CD	1/0	操作限定器软件强制寄存器
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	1/1	操作限定器连续 S/W 强制寄存器集
DBCTL	0x680F	0x684F	0x688F	0x68CF	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	1/0	可编程控制故障区选择寄存器(1)
TZDCSEL	0x6813	0x6853	0x6893	0x98D3	1/0	可编程控制故障区域数字比较寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	1/0	触发区控制寄存器(1)
TZEINT	0x6815	0x6855	0x6895	0x68D5	1/0	触发区启用中断寄存器(1)
TZFLG	0x6816	0x6856	0x6896	0x68D6	1/0	可编程控制故障区域标志寄存器(1)
TZCLR	0x6817	0x6857	0x6897	0x68D7	1/0	触发区清除寄存器(1)
TZFRC	0x6818	0x6858	0x6898	0x68D8	1/0	触发区强制寄存器(1)
ETSEL	0x6819	0x6859	0x6899	0x68D9	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1/0	HRPWM 配置寄存器(1)

表 **4-24. ePWM1-ePWM4**控制和状态寄存器 **(continued)**

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16)/ #SHADOW	说明
HRPWR	0x6821	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	0x6826	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1/0	高分辨率周期控制寄存器(1)
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1/W(2)	时基周期 HRPWM 寄存器镜像
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1/W(2)	时基周期寄存器镜像
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1/W(2)	比较 A HRPWM 寄存器镜像
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1/W(2)	比较 A 寄存器镜像
DCTRIPSEL	0x6830	0x6870	0x68B0	0x68F0	1/0	数字比较触发选择寄存器(1)
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1/0	数字比较 A 控制寄存器(1)
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1/0	数字比较 B 控制寄存器(1)
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1/0	数字比较滤波器控制寄存器(1)
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1/0	数字比较捕捉控制寄存器(1)
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1/1	数字比较计数器捕捉寄存器

(2) W = 写入影子寄存器

表 **4-25. ePWM5-ePWM7** 控制和状态寄存器

名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
TBCTL	0x6900	0x6940	0x6980	1/0	时基控制寄存器
TBSTS	0x6901	0x6941	0x6981	1/0	时基状态寄存器
TBPHSHR	0x6902	0x6942	0x6982	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6903	0x6943	0x6983	1/0	时基相位寄存器
TBCTR	0x6904	0x6944	0x6984	1/0	时基计数器寄存器
TBPRD	0x6905	0x6945	0x6985	1/1	时基周期寄存器集
TBPRDHR	0x6906	0x6946	0x6986	1/1	时基周期高分辨率寄存器(1)
CMPCTL	0x6907	0x6947	0x6987	1/0	计数器比较控制寄存器
CMPAHR	0x6908	0x6948	0x6988	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6909	0x6949	0x6989	1/1	计数器比较 A 寄存器集
CMPB	0x690A	0x694A	0x698A	1/1	计数器比较 B 寄存器集

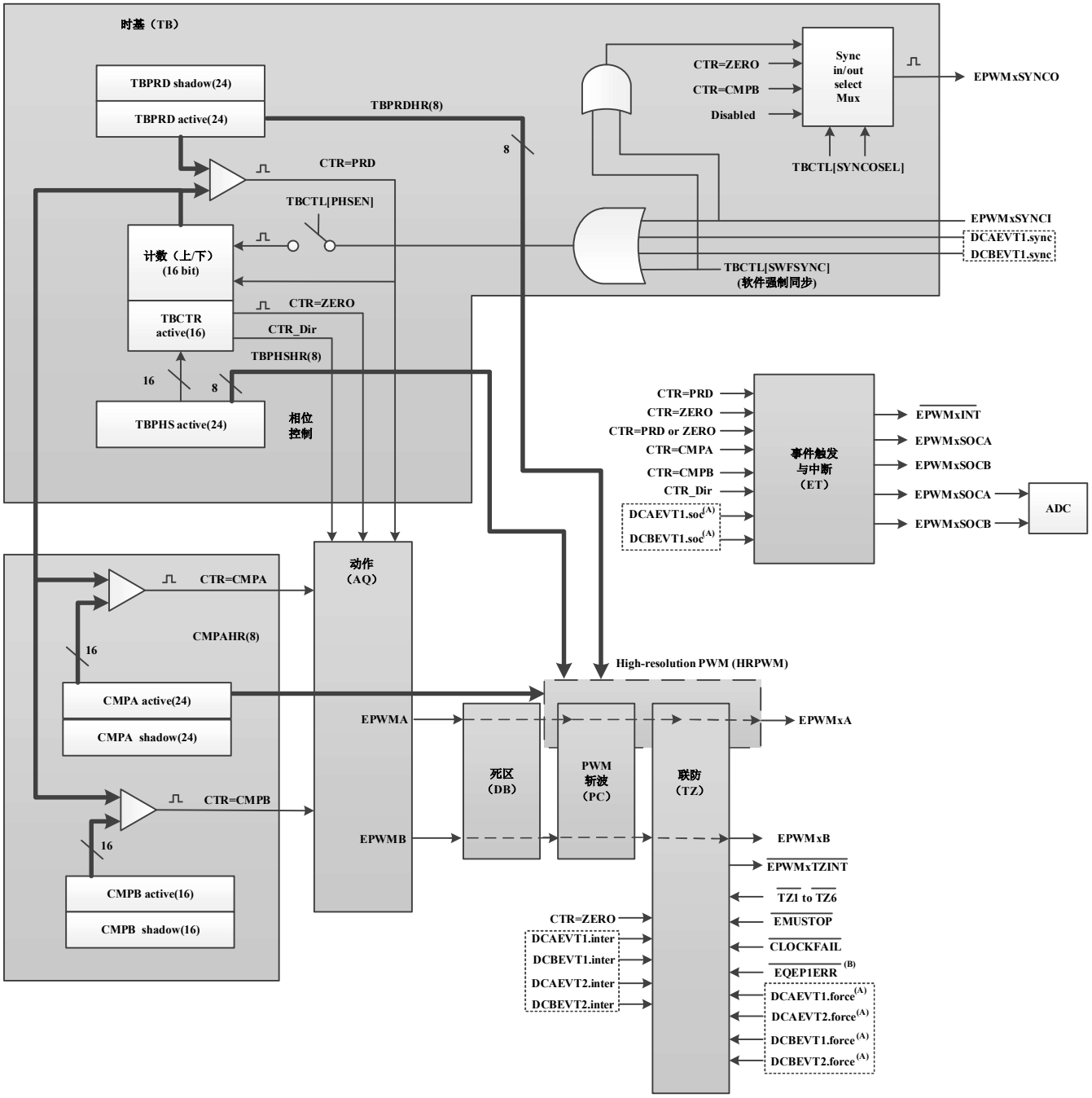
表 **4-25. ePWM5-ePWM7** 控制和状态寄存器 **(continued)**

名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
AQCTLA	0x690B	0x694B	0x698B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x690C	0x694C	0x698C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x690D	0x694D	0x698D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x690E	0x694E	0x698E	1/1	操作限定器连续 S/W 强制寄存器集
DBCTL	0x690F	0x694F	0x698F	1/1	死区生成器控制寄存器
DBRED	0x6910	0x6950	0x6990	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6911	0x6951	0x6991	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6912	0x6952	0x6992	1/0	触发区选择寄存器(1)
TZDCSEL	0x6913	0x6953	0x6993	1 / 0	触发区数字比较寄存器
TZCTL	0x6914	0x6954	0x6994	1/0	触发区控制寄存器(1)
TZEINT	0x6915	0x6955	0x6995	1/0	触发区启用中断寄存器(1)
TZFLG	0x6916	0x6956	0x6996	1/0	触发区标志寄存器(1)
TZCLR	0x6917	0x6957	0x6997	1/0	触发区清除寄存器(1)
TZFRC	0x6918	0x6958	0x6998	1/0	触发区强制寄存器(2)
ETSEL	0x6919	0x6959	0x6999	1/0	事件触发器选择寄存器
ETPS	0x691A	0x695A	0x699A	1/0	事件触发器预分频寄存器
ETFLG	0x691B	0x695B	0x699B	1/0	事件触发器标志寄存器
ETCLR	0x691C	0x695C	0x699C	1/0	事件触发器清除寄存器
ETFRC	0x691D	0x695D	0x699D	1/0	事件触发器强制寄存器
PCCTL	0x691E	0x695E	0x699E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6920	0x6960	0x69A0	1/0	HRPWM 配置寄存器(2)
HRPWR	–	–	–	1/0	HRPWM 功率寄存器
HRMSTEP	–	–	–	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6928	0x6968	0x69A8	1/0	高分辨率周期控制寄存器(2)
TBPRDHRM	0x692A	0x696A	0x69AA	1/W(3)	时基周期 HRPWM 寄存器镜像
TBPRDM	0x692B	0x696B	0x69AB	1/W(3)	时基周期寄存器镜像
CMPAHRM	0x692C	0x696C	0x69AC	1/W(3)	比较 A HRPWM 寄存器镜像
CMPAM	0x692D	0x696D	0x69AD	1/W(3)	比较 A 寄存器镜像
DCTRIPSEL	0x6930	0x6970	0x69B0	1/0	数字比较触发选择寄存器(2)
DCACTL	0x6931	0x6971	0x69B1	1/0	数字比较 A 控制寄存器(2)
DCBCTL	0x6932	0x6972	0x69B2	1/0	数字比较 B 控制寄存器(2)
DCFCTL	0x6933	0x6973	0x69B3	1/0	数字比较滤波器控制寄存器(2)

(2) 寄存器受 EALLOW 保护。
(3) W = 写入影子寄存器

表 **4-25. ePWM5-ePWM7** 控制和状态寄存器 **(continued)**

名称	ePWM5	ePWM6	ePWM7	大小 (x16)/ #SHADOW	说明
DCCAPCT	0x6934	0x6974	0x69B4	1/0	数字比较捕捉控制寄存器(2)
DCFOFFSET	0x6935	0x6975	0x69B5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6936	0x6976	0x69B6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6937	0x6977	0x69B7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6938	0x6978	0x69B8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6939	0x6979	0x69B9	1/1	数字比较计数器捕捉寄存器



A. 这些事件由基于 COMPxOUT 和TZ信号电平的类型 1 ePWM 数字比较 (DC) 子模块生成。
B. 这个信号只在带有 eQEP1 模块的器件内存在。

图 **4-16. ePWM** 子模块显示关键内部信号互连

4.37.高分辨率 PWM (HRPWM)

通过使用一个专用的校准延迟线路，这个模块在一个单模块和一个简化的校准系统内包含多条延迟线路。 每一个 ePWM 模块均有一条 HR 延迟线路。

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率大大好于使用传统数字 PWM 方法所能导出的分辨率。

HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率功能
- 这个功能可被应用在单边沿（占空比和相移控制）以及针对频率/周期调制的双边沿控制中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。
- HRPWM 功能，当在一个特定器件上可用时，只在 PWM 模块的 A 信号路径上提供（也就是说，在EPWMxA 输出上提供）。 EPWMxB 输出具有传统 PWM 功能。

4.38.增强型捕捉模块 (eCAP1)

此器件包含一个增强型捕捉模块 (eCAP)图 4-17显示了一个模块的功能方框图。

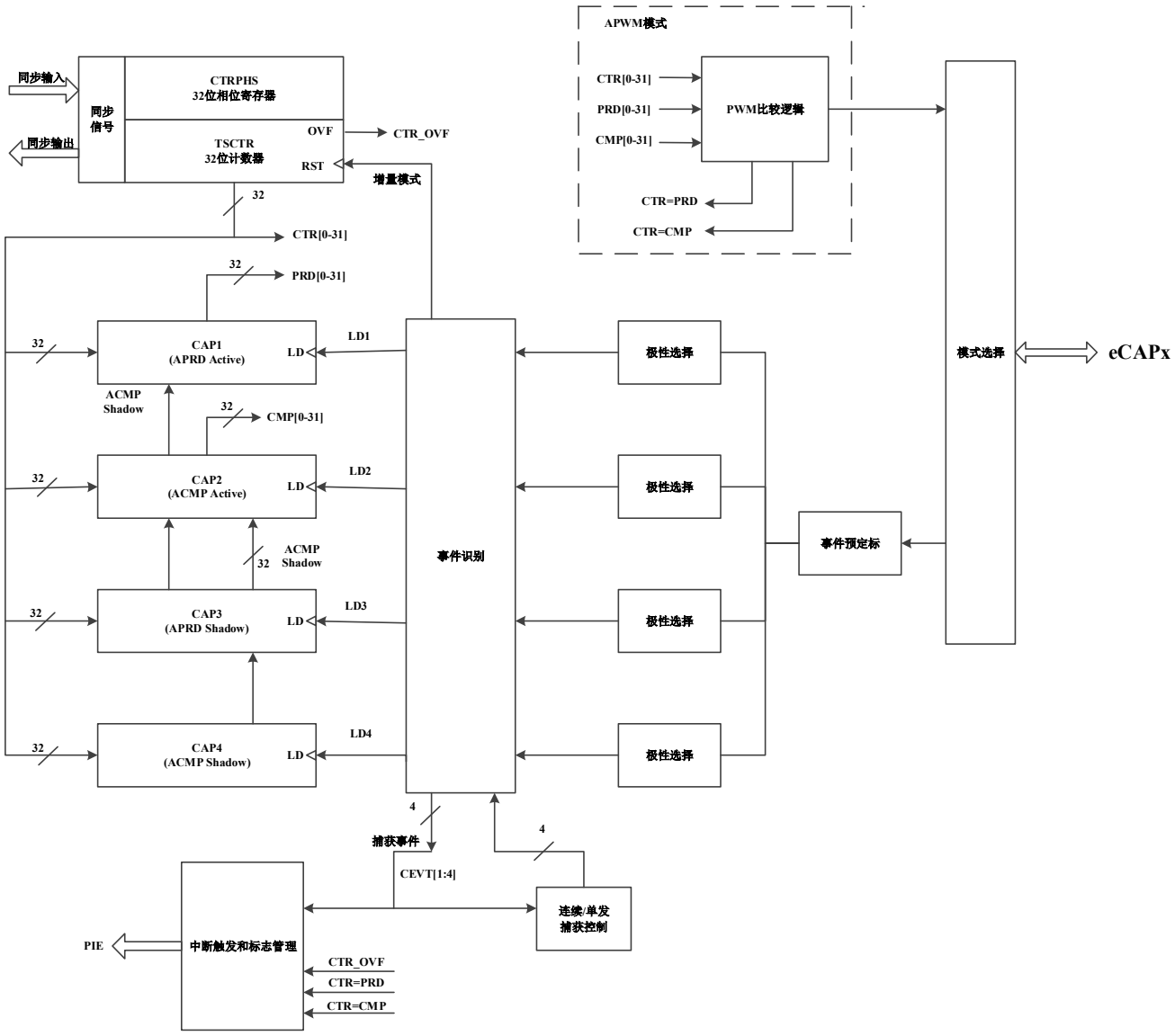


图 **4-17. eCAP** 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位 (ECAP1 ENCLK) 只关闭 eCAP 模块（为了实现低功耗运行）。 复位时，ECAP1ENCLK 被设定为低电平，表明外设时钟被关闭。

表 **4-26. eCAP** 控制和状态寄存器

名称	eCAP1	大小 (x 16)	受 EALLOW 保护	说明
TSCTR	0x6A00	2		时间戳计数器
CTRPHS	0x6A02	2		计数器相位偏移值寄存器
CAP1	0x6A04	2		捕捉 1 寄存器
CAP2	0x6A06	2		捕捉 2 寄存器
CAP3	0x6A08	2		捕捉 3 寄存器
CAP4	0x6A0A	2		捕捉 4 寄存器
被保留	0x6A0C-0x6A12	8		被保留
ECCTL1	0x6A14	1		捕捉控制寄存器 1
ECCTL2	0x6A15	1		捕捉控制寄存器 2
ECEINT	0x6A16	1		捕捉中断使能寄存器
ECFLG	0x6A17	1		捕捉中断标志寄存器
ECCLR	0x6A18	1		捕捉中断清除寄存器
ECFRC	0x6A19	1		捕捉中断强制寄存器
被保留	0x6A1A-0x6A1F	6		被保留

4.39.高分辨率捕捉 (HRCAP) 模块

高分辨率捕捉 (HRCAP) 模块测量外部脉冲与一个 300ps 典型分辨率之间的差异。

HRCAP 的用途包括：

- 电容触摸应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/回声定位测量和扫描

HRCAP 模块的特性包括：

- 在非高分辨率或者高分辨率模式中的脉宽捕捉
- 差分 (Delta) 模式脉宽捕捉
- 在每个边沿上 300ps 分辨率的典型高分辨率捕捉
- 下降或者上升边沿上的中断
- 2 深度缓冲器中脉冲宽度的持续模式捕捉
- 针对精准高分辨率捕捉的校准逻辑
- 所有上述资源只用于一个单输入引脚
- 提供的 HRCAP 校准软件库用于校准和计算部分脉冲宽度。

除了一个高分辨率校准时钟，HRCAP 模块还包括一个捕捉通道，校准时，将内部连接至 ePWM8A HRPWM 通道。

每一个 HRCAP 通道有下列独立的关键资源：

- 专用输入捕捉引脚
- 16 位 HRCAP 时钟等于 PPL 输出频率（与 SYSCLK 异步）或者等于 SYSCLK 频率（与 SYSCLK 同步）
- 在一个 2 深度缓冲器中的高分辨率脉宽捕捉

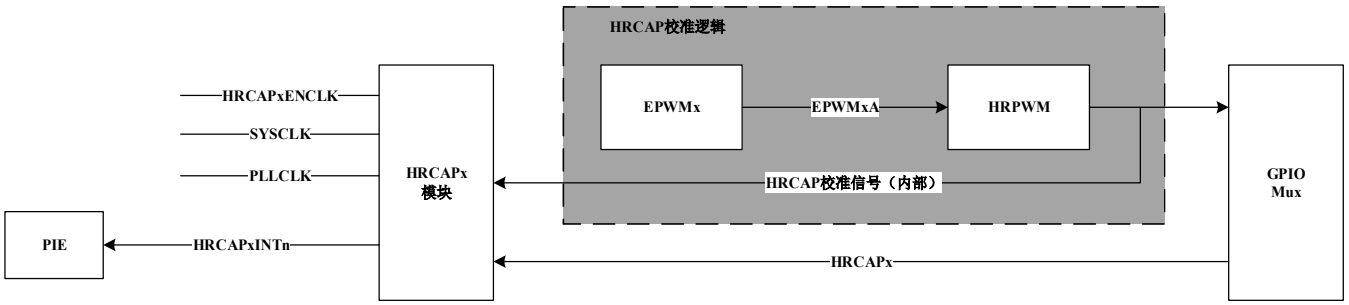


图 **4-18. HRCAP** 功能方框图

表 **4-27. HRCAP** 寄存器

名称	HRCAP1	HRCAP2	大小 (x 16)	说明
HCCTL	0x6AC0	0x6AE0	1	HRCAP 控制寄存器(1)
HCIFR	0x6AC1	0x6AE1	1	HRCAP 中断标志寄存器
HCICLR	0x6AC2	0x6AE2	1	HRCAP 中断清除寄存器
HCIFRC	0x6AC3	0x6AE3	1	HRCAP 中断强制寄存器
HCCOUNTER	0x6AC4	0x6AE4	1	HRCAP 16 位计数器寄存器
HCCAPCNTRISE0	0x6AD0	0x6AF0	1	在上升边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL0	0x6AD2	0x6AF2	1	在下降边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRISE1	0x6AD8	0x6AF8	1	在上升边沿 1 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL1	0x6ADA	0x6AFA	1	在下降边沿 1 寄存器上的 HRCAP 捕捉计数器

(1) 寄存器是 EALLOW 受保护的。

4.40.增强型正交编码器脉冲 (eQEP)

此器件包含一个增强型正交编码器脉冲（eQEP）模块。

表 **4-28. eQEP** 控制和状态寄存器

名称	eQEP1 地址	eQEP1 大小 (x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	2/1	eQEP 位置比较
QPOSILAT	0x6B08	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	2/0	eQEP 单位定时器
QUPRD	0x6B10	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	1/0	eQEP 安全装置定时器
QWDPRD	0x6B13	1/0	eQEP 安全装置周期寄存器
QDECCTL	0x6B14	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	1/0	eQEP 捕捉定时器
QCPRD	0x6B1E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	1/0	eQEP 捕捉定时器锁存
QCPRDLAT	0x6B20	1/0	eQEP 捕捉周期锁存
保留	0x6B21- 0x6B3F	31/0	

图 4-19显示了 eQEP 功能方框图

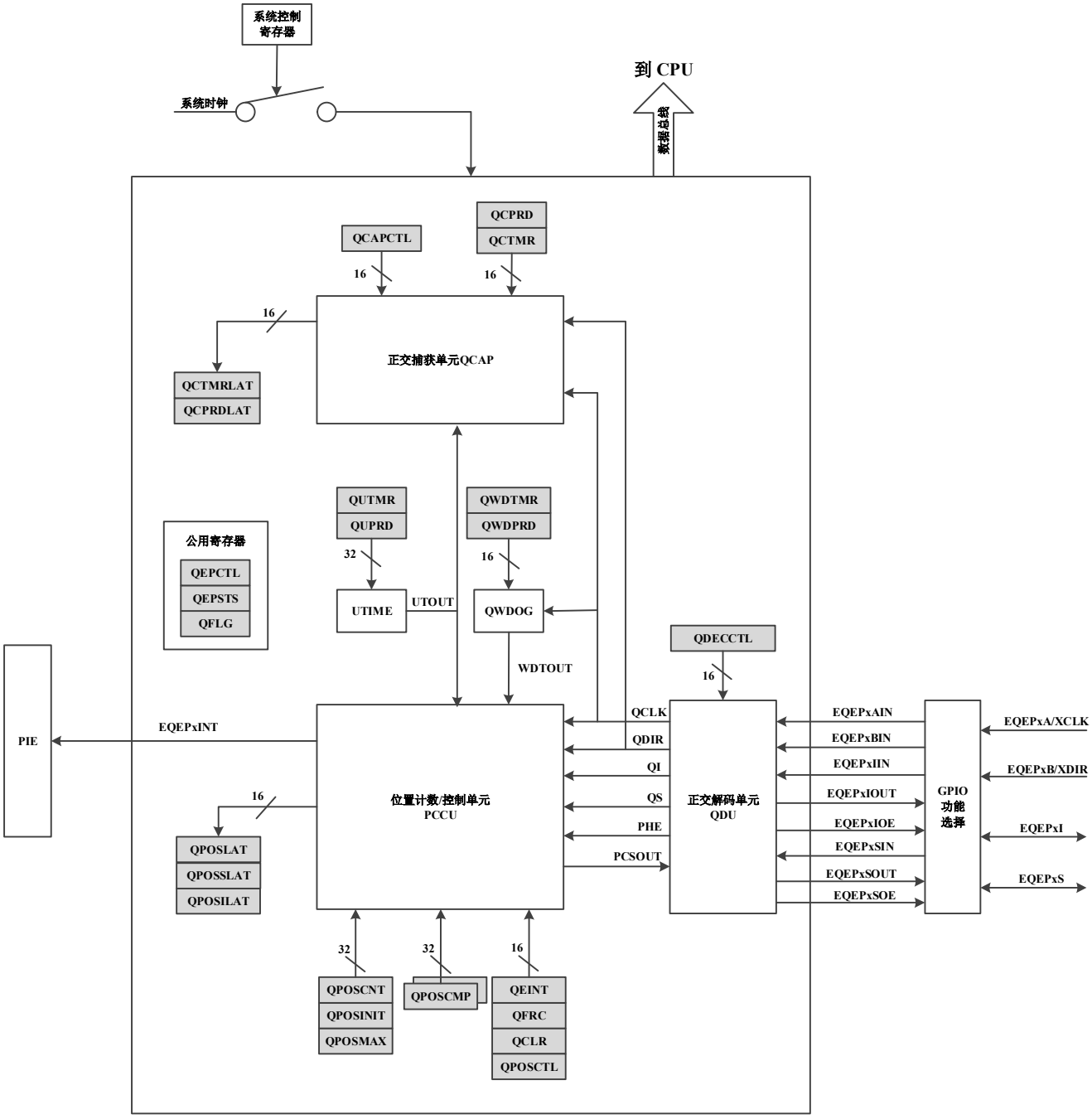


图 **4-19. eQEP** 功能方框图

4.41.JTAG 端口

在R034/5器件上，JTAG 端口被减少到 5 个引脚（$\overline{\text{TRST}}$，TCK，TDI，TMS，TDO)。 TCK，TDI，TMS 和 TDO 引脚也是 GPIO 引脚。 $\overline{\text{TRST}}$ 信号在图 4-20中为引脚选择 JTAG 或者 GPIO 运行模式。 在仿真/调试期间，这些引脚的 GPIO 功能并不可用。 如果 GPIO38/TCK/XCLKIN 引脚被用于提供一个外部时钟，一个替代的内部时钟源应该被用于在仿真/调试期间为器件计时，这是因为 TCK 功能需要这个引脚。

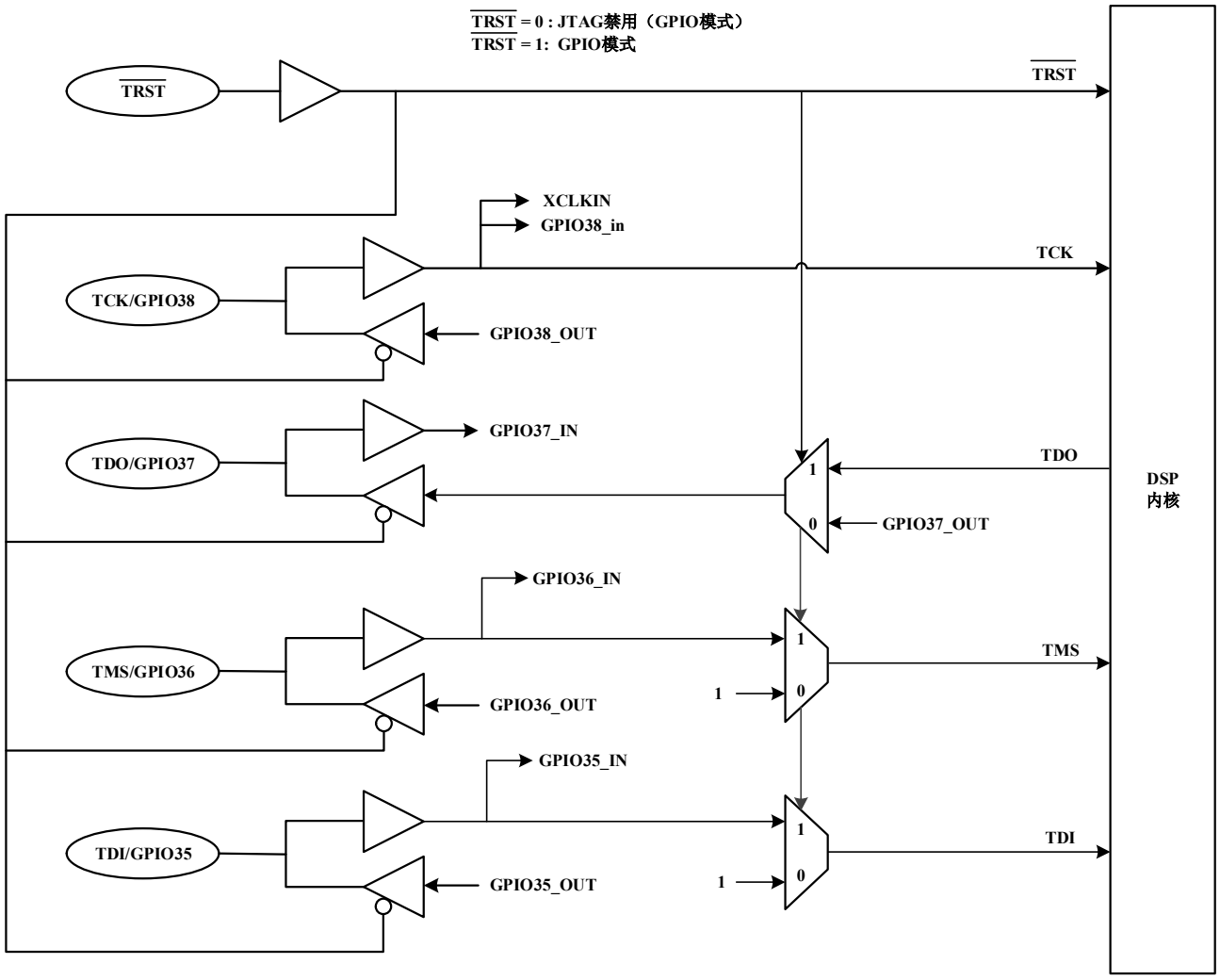


图 **4-20. JTAG/GPIO** 复用

4.42.GPIO MUX

GPIO复用器除了能够将独立的引脚用于不同的输入和输出功能外，还可以将最多3个独立的外设信号复用在一个单一的GPIO引脚上。

器件支持45个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧1以在寄存器上启用 32 位运行（连同16 位运行）。表 4-29显示了 GPIO 寄存器映射。

表 **4-29. GPIO** 寄存器

名称	地址	大小（x 16）	说明
GPIO 控制寄存器（受 EALLOW 保护）			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器 (GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器 (GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器（GPIO0 至 15）
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器（GPIO16 至 31）
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉电阻器禁用寄存器 (GPIO0 至 GPIO31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至 44)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器 (GPIO32 至44)
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器 (GPIO32 至44)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至44)
GPBPUD	0x6F9C	2	GPIO B 上拉电阻器禁用寄存器 (GPIO38 至44)
AIOMUX1	0x6FB6	2	模拟，I/O 复用 1 寄存器（AIO0 至 AIO15）
AIODIR	0x6FBA	2	模拟，I/O 方向寄存器（AIO0 至 AIO15）
GPIO 数据寄存器（不受 EALLOW 保护）			
GPADAT	0x6FC0	2	GPIO A 数据寄存器（GPIO0 至 31）
GPASET	0x6FC2	2	GPIO A 数据设定寄存器（GPIO0 至 31）
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器（GPIO0 至 31）
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器（GPIO0 至 31）
GPBDAT	0x6FC8	2	GPIO B 数据寄存器 (GPIO32 至44)
GPBSET	0x6FCA	2	GPIO B 数据设定寄存器（GPIO32 至 44
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器（GPIO32 至44
GPBTOGGLE	0x6FCE	2	GPIO B 数据切换寄存器（GPIO32 至44)
AIODAT	0x6FD8	2	模拟 I/O 数据寄存器（AIO0 至 AIO15）
AIOSET	0x6FDA	2	模拟 I/O 数据设定寄存器（AIO0 至 AIO15）
AIOCLEAR	0x6FDC	2	模拟 I/O 数据清除寄存器（AIO0 至 AIO15）
AIOTOGGLE	0x6FDE	2	模拟 I/O 数据切换寄存器（AIO0 至 AIO15）
GPIO中断和低功耗模式选择寄存器（受 EALLOW 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOLPMSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至 GPIO31)

表 4-30. GPIOA MUX[1][2]

	复位时默认 主I/O 功能	外设选择 1	外设选择 2	外设选择 3
GPAMUX1 寄存器位	(GPAMUX1位=00)	(GPAMUX1位=01)	(GPAMUX1位=10)	(GPAMUX1位=11)
1-0	GPIO0	EPWM1A (O)	保留	保留
3-2	GPIO1	EPWM1B (O)	保留	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	保留	保留
7-6	GPIO3	EPWM2B (O)	SPISOMIA (I/O)	COMP2OUT (O)
9-8	GPIO4	EPWM3A (O)	保留	保留
11-10	GPIO5	EPWM3B (O)	SPISIMOA (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCI (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	保留
17-16	GPIO8	EPWM5A (O)	保留	**$\overline{\text{ADCSOCAO}}$ (O)**
19-18	GPIO9	EPWM5B (O)	LINTXA (O)	HRCAP1 (I)
21-20	GPIO10	EPWM6A (O)	保留	**$\overline{\text{ADCSOCBO}}$ (O)**
23-22	GPIO11	EPWM6B (O)	LINRXA (I)	HRCAP2 (I)
25-24	GPIO12	**$\overline{\text{TZ1}}$(I)**	SCITXDA (O)	SPISIMOB (I/O)
27-26	GPIO13[3]	**$\overline{\text{TZ2}}$(I)**	保留	SPISOMIB (I/O)
29-28	GPIO14[3]	**$\overline{\text{TZ3}}$(I)**	LINTXA (O)	SPICLKB (I/O)
31-30	GPIO15[3]	**$\overline{\text{TZ1}}$(I)**	LINRXA (I)	**$\overline{\text{SPISTEB}}$ (I/O)**
GPAMUX2 寄存器位	(GPAMUX2位 = 00)	(GPAMUX2为 = 01)	(GPAMUX2位 = 10)	(GPAMUX2位 = 11)
1-0	GPIO16	SPISIMOA (I/O)	保留	**$\overline{\text{TZ2}}$(I)**
3-2	GPIO17	SPISOMIA (I/O)	保留	**$\overline{\text{TZ3}}$(I)**
5-4	GPIO18	SPICLKA (I/O)	LINTXA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	**$\overline{\text{SPISTEA}}$ (I/O)**	LINRXA (I)	ECAP1 (I/O)
9-8	GPIO20	EQEP1A (I)	保留	COMP1OUT (O)
11-10	GPIO21	EQEP1B (I)	保留	COMP2OUT (O)
13-12	GPIO22	EQEP1S (I/O)	保留	LINTXA (O)
15-14	GPIO23	EQEP1I (I/O)	保留	LINRXA (I)
17-16	GPIO24	ECAP1 (I/O)	保留	SPISIMOB (I/O)
19-18	GPIO25[3]	保留	保留	SPISOMIB (I/O)
21-20	GPIO26[3]	HRCAP1 (I)	保留	SPICLKB (I/O)
23-22	GPIO27[3]	HRCAP2 (I)	保留	**$\overline{\text{SPISTEB}}$ (I/O)**
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	**$\overline{\text{TZ2}}$(I)**
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	**$\overline{\text{TZ3}}$(I)**
29-28	GPIO30	CANRXA (I)	保留	保留
31-30	GPIO31	CANTXA (O)	保留	保留

(1) 保留意味着没有外设被指定到这个 GPxMUX1/2 寄存器设置。 如果它被选择，那么引脚的状态将为未定义并且此引脚可被驱动。 这个选择是为以后扩展预留的保留配置。
(2) I = 输入，O = 输出，OD = 开漏
(3) 这些引脚在 64 引脚封装内不可用。

表 4-31. GPIOB MUX(1)

	复位时缺省 主I/O 功能	外设选择 1	外设选择 2	外设选择 3
GPBMUX1寄存器位	(GPBMUX1位 = 00)	(GPBMUX1位 = 01)	(GPBMUX1为 = 10)	(GPBMUX1 位 = 11)
1-0	GPIO32	SDAA (I/OD)	EPWMSYNCI (I)	$\overline{\text{ADCSOCAO}}$ (O)
3-2	GPIO33	SCLA (I/OD)	EPWMSYNCO (O)	$\overline{\text{ADCSOCBO}}$ (O)
5-4	GPIO34	COMP2OUT (O)	保留	COMP3OUT (O)
7-6	GPIO35 (TDI)	保留	保留	保留
9-8	GPIO36 (TMS)	保留	保留	保留
11-10	GPIO37 (TDO)	保留	保留	保留
13-12	GPIO38/XCLKIN (TCK)	保留	保留	保留
15-14	GPIO39(2)	保留	保留	保留
17-16	GPIO40(2)	EPWM7A (O)	保留	保留
19-18	GPIO41(2)	EPWM7B (O)	保留	保留
21-20	GPIO42(2)	保留	保留	COMP1OUT (O)
23-22	GPIO43(2)	保留	保留	COMP2OUT (O)
25-24	GPIO44(2)	保留	保留	保留
27-26	保留	保留	保留	保留
29-28	保留	保留	保留	保留
31-30	保留	保留	保留	保留

(1) I = 输入，O = 输出，OD = 开漏。(2) 这些引脚在 64 引脚封装内不可用。

表 **4-32.** 模拟 **MUX(1)**

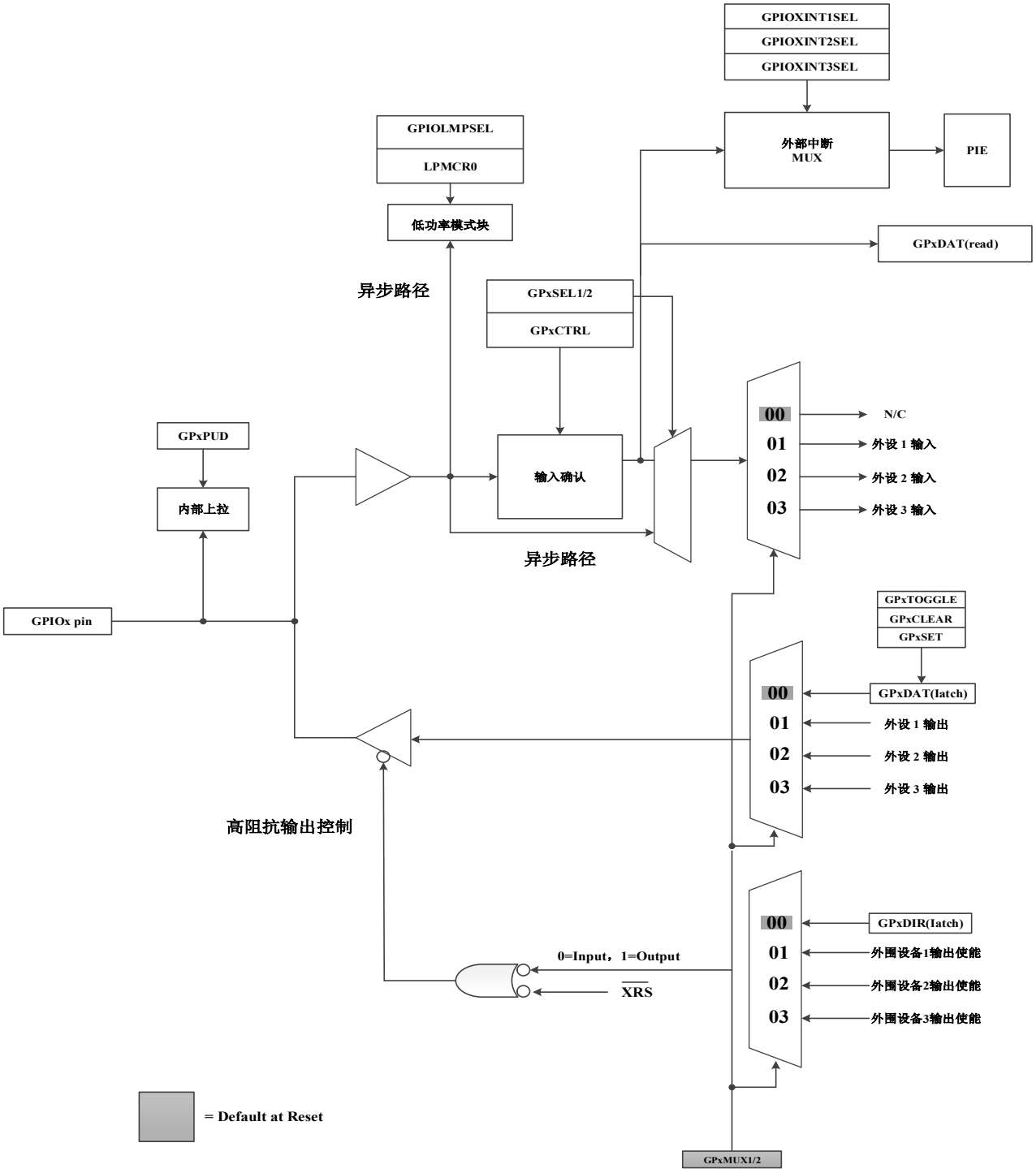
		复位时缺省
	AIOx 和 外设选择 1	外设选择 2 和外设选择 3
AIOMUX1 寄存器位	AIOMUX1 位 = 0,x	AIOMUX1 位 = 1,x
1-0	ADCINA0 (I)	ADCINA0 (I)
3-2	ADCINA1(I)	ADCINA1(I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3(I)	ADCINA3(I)
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A(I)
11-10	ADCINA5(2)(I)	ADCINA5 (I)
13-12	AIO6 (I/O)	ADCINA6 (I), COMP3A (I)
15-14	ADCINA7(I)	ADCINA7(I)
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1(I)	ADCINB1(I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3(I)	ADCINB3(I)
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B(I)
27-26	ADCINB5(2)(I)	ADCINB5 (I)
29-28	AIO14 (I/O)	ADCINB6 (I), COMP3B (I)
31-30	ADCINB7(I)	ADCINB7(I)

(1) I = 输入，O = 输出。(2) 这些引脚在 64 引脚封装内不可用。

通过四个选择中的 GPxQSEL1/2 寄存器，用户可为每一个 GPIO 引脚选择输入限定的类型：

- 只同步至 SYSCLKOUT (GPxQSEL1/2=0,0)：这是复位时所有 GPIO 引脚的缺省模式并且它只是将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定条件（GPxQSEL1/2=0，1 和 1，0）：这个模式中，在与系统时钟 (SYSCLKOUT)
  同步后，输入信号在输入被允许改变前，被一定数量的周期所限定。
- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定并且可在一组 8 个信号中进行配置。 它为采样输入信号指定了多个 SYSCLKOUT 周期。 采样窗口为 3 样品或者 6 样品宽并且只有当所有样品与图表 4-23（对于 6 样品模式）中所显示的一样时（全 0 或者全 1），输出才会改变。
- 无同步 (GPxQSEL1/2=1，1)：这个模式用于无需同步的外设（同步不在外设内执行）。

由于器件上所要求的多级复用，有可能会有一个外设输入信号被映射到多于一个 GPIO 引脚的情况。 此外，当一个输入信号未被选择时，输入信号将缺省为一个 0 或者 1 状态，这由外设而定。



A. x 代表端口，A 或 B。例如，GPxDIR 是指 GPADIR 和 GPBDIR 寄存器，这取决于所选择的特定 GPIO 引脚。
B. 在相同的存储器位置存取 GPxDAT 锁定/读取。
C. 这是一个常用的 GPIO MUX 方框图。 并不是所有选项都可用于所有 GPIO 引脚。

图 **4-21. GPIO** 复用

5. 电气规范

5.1最大绝对额定值(1)(2)

电源电压范围，V_{DDIO}（I/O 和闪存）	相对于 V_{SS}	-0.3V 至 4.6V
电源电压，V_{DD}	相对于 V_{SS}	-0.3V 至 2.5V
模拟电压范围，V_{DDA}	相对于 V_{SSA}	-0.3V 至 4.6V
输入电压范围，V_{IN}(3.3V)		-0.3V 至 4.6V
输出电压范围，V_O		-0.3V 至 4.6V
输入钳制电流，I_{IK}(V_{IN}<0 或者 V_{IN}>V_{DDIO})(3)		±20mA
输出钳制电流，I_{OK}(V_O < 0 或者 V_O > V_{DDIO})		±20mA
结温范围，T_J(4)		-55° C 至 150° C
贮存温度范围，T_{stg}(4)		-65° C 至 150° C

(1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。 这些只是应力额定值，在这些值或者任何超过节 5.2 下所标明的其它条件下的功能运行并未注明。 长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 所有电压值都是相对于 V_{SS}的值，除非额外注明。
(3) 每个引脚上的持续钳制电流为 2mA。
(4) 长期高阻抗贮存并且/或者在最大温度条件下长时间使用会使器件总体使用寿命的缩短。

5.2建议的运行条件

		最小值	标称值	最大值	单位
器件电源电压，I/O，V_{DDIO}(1)		2.97	3.3	3.63	V
器件电源电压 CPU，V_{DD}（当内部 VREG 被禁用并且由 1.8V 电源外部供电时）		1.71	1.8	1.995	V
电源接地，V_{SS}			0		V
模拟电源电压，V_{DDA}(1)		2.97	3.3	3.63	V
模拟接地，V_{SSA}			0		V
器件时钟频率（系统时钟）		2		60	MHz
高电平输入电压，V_{IH}(3.3V)		2		V_{DDIO}+0.3	V
低电平输入电压，V_{IL}(3.3V)		V_{SS}-0.3		0.8	V
高电平输出源电流，V_{OH}=V_{OH}（最小值），I_{OH}	所有 GPIO/AIO 引脚			-4	mA
	组 2(2)			-8	mA
低电平输出灌电流，V_{OL}=V_{OL}（最大值），I_{OL}	所有 GPIO/AIO 引脚			4	mA
	组 2(2)			8	mA
环境温度，T_A	T 版本	-40		105	℃
	E 版本	-40		125	
	Q 版本（Q100 标准）	-40		125	
	N 版本	-55		125	
结温，T_J		-40		150	℃

(1) V_{DDIO}和 V_{DDA} 之间的差距应保持在大约 0.3 V 之内。
(2) 第 2 组引脚如下：GPIO16，GPIO17，GPIO18，GPIO19，GPIO28，GPIO29，GPIO36，GPIO37

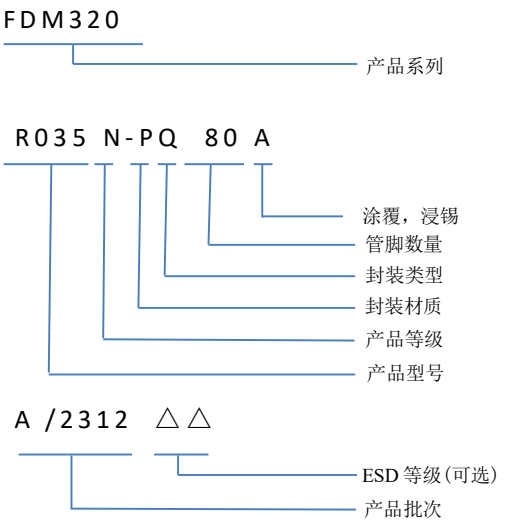
5.3电气特性

在推荐的运行条件下（除非额外注明）

参数			测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压		$I_{OH}=I_{OH}$最大值		2.4			V
			I_{OH}=50μA		V_{DDIO}-0.2			
V_{OL}	低电平输出电压		$I_{OL}=I_{OL}$最大值				0.4	V
I_{IL}	输入电流（低电平）	带有上拉使能的引脚	V_{DDIO}=3.3V，V_{IN}=0V	所有 GPIO	-80	-140	-205	μA
				$\overline{\textbf{XRS}}$ 引脚	-230	-300	-375	
		具有下拉使能的引脚	V_{DDIO}=3.3V，V_{IN}=0V				±2	
I_{IH}	输入电流（高电平）	上拉电阻器被启用的引脚	VDDIO=3.3V，VIN=VDDIO				±2	μA
		下拉电阻器被启用的引脚	VDDIO=3.3V，VIN=VDDIO		28	50	80	
I_{OZ}	输出电流，上拉电阻器或者下拉电阻器被禁用		$V_O=V_{DDIO}$或者 0V				±2	μA
C_I	输入电容					2		pF
	V_{DDIO}BOR 触发点		下降的 V_{DDIO}		2.50	2.78	2.96	V
	V_{DDIO}BOR 滞后					35		mV
	监视器复位延迟时间		延迟时间过后，BOR/POR/OVR 事件被移除以释放 $\overline{\textbf{XRS}}$		400		800	μs
	VREG V_{DD}输出		内部 VREG 打开			1.9		V

芯片标号说明



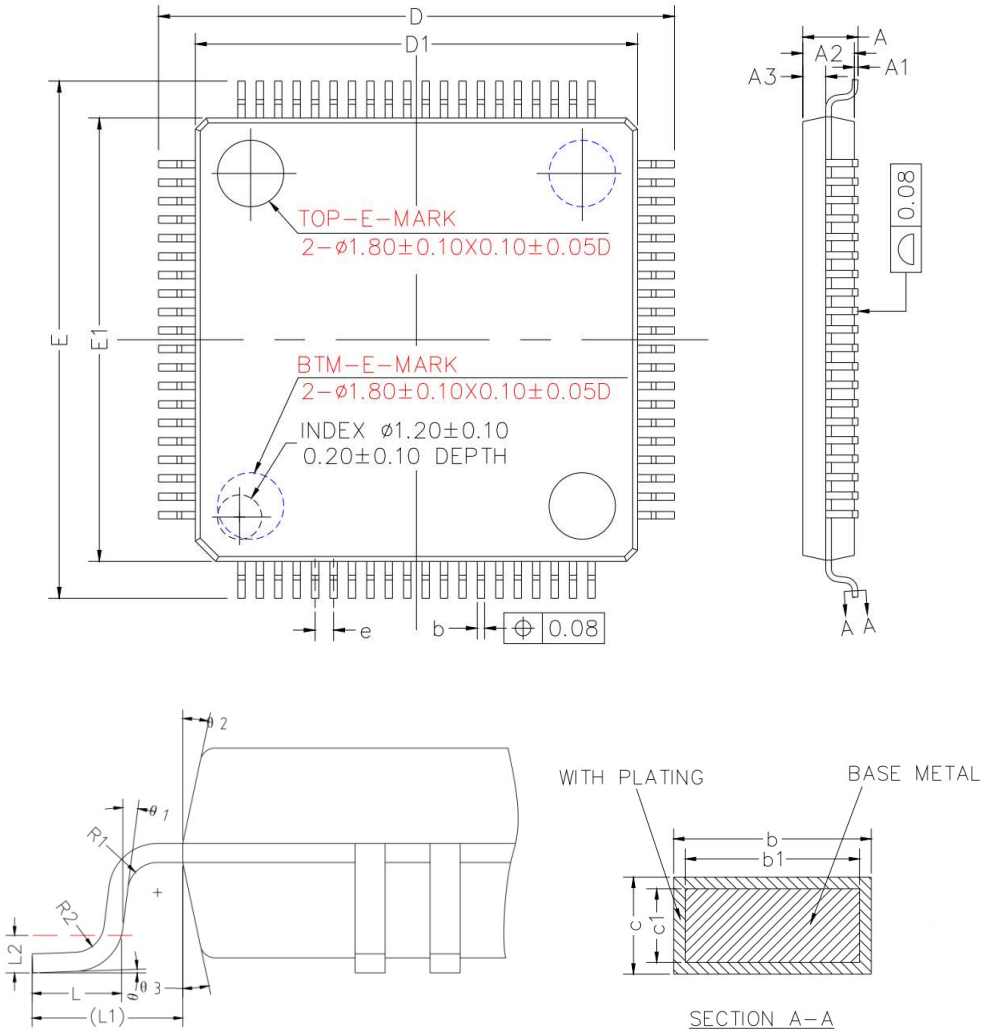


- 产品等级
  - C – 商业应用，0~70 ℃
  - T - 工业应用，-40~105℃
  - E - 工业应用+，-40~125℃
  - N - 特种应用，-55~125 ℃
  - B- 特种应用，-55~125 ℃
- 封装材质
  - P-塑料基
  - C-陶瓷基
  - M-金属基
- 封装类型
  - Q-LQFP
  - N-QFN/LCC
  - B-BGA
  - P-PGA

图 5-1. 芯片标号说明

封装参数

LQFP80封装



器件封装

封装尺寸

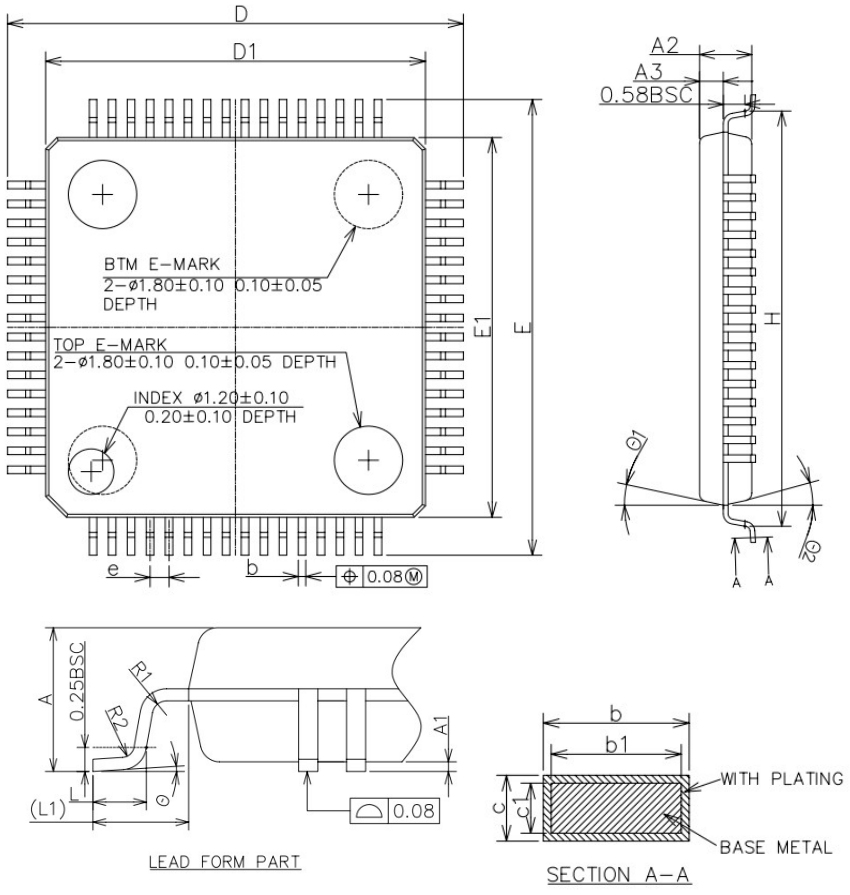
尺寸符号	最小值	标称值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20

D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10

封装尺寸

尺寸符号	最小值	标称值	最大值
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
θ	0°	3.5°	7°
θ1	0°	-	-
θ2	11°	12°	13°
θ3	11°	12°	13°

LQFP64封装

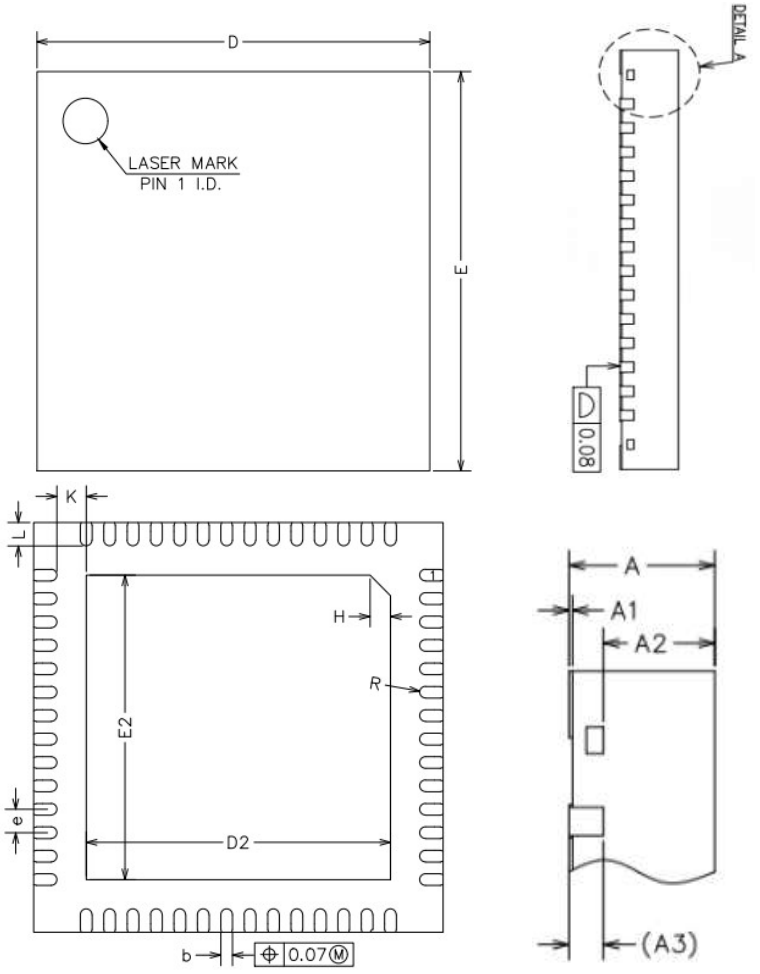


器件封装

封装尺寸

尺寸符号	最小值	标称值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.05
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	-	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
ϕ	0°	3.5°	7°
ϕ1	11°	12°	13°
ϕ2	11°	12°	13°

VQFN56封装



器件封装

封装尺寸

尺寸符号	最小值	标称值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
A2	0.60	0.65	0.70
A3		0.20REF	
b	0.15	0.20	0.25
D	6.90	7.00	7.10
D2	5.10	5.20	5.30
E	6.90	7.00	7.10
E2	5.10	5.20	5.30
e	0.30	0.40	0.50
H		0.35REF	
K		0.50REF	
L	0.35	0.40	0.45
R	0.09	-	-

订购信息

产品订购编号	封装类型	引脚数	温度范围	MSL 湿敏度等级	产品等级
FDM320R035N-PQ80 FDM320R035N-PQ80AD	LQFP	80	-55℃ ~125℃	Level-3-260C-168 HR	特种应用
FDM320R035N-PQ64 FDM320R035N-PQ64AD	LQFP	64	-55℃ ~125℃	Level-3-260C-168 HR	特种应用
FDM320R035N-PQ56 FDM320R035N-PQ56AD	VQFN	56	-55℃ ~125℃	Level-3-260C-168 HR	特种应用
FDM320R035E-PQ80	LQFP	80	-40℃ ~125℃	Level-3-260C-168 HR	工业应用+
FDM320R035E-PQ64	LQFP	64	-40℃ ~125℃	Level-3-260C-168 HR	工业应用+
FDM320R035E-PQ56	VQFN	56	-40℃ ~125℃	Level-3-260C-168 HR	工业应用+
FDM320R035T-PQ80	LQFP	80	-40℃ ~105℃	Level-3-260C-168 HR	工业应用
FDM320R035T-PQ64	LQFP	64	-40℃ ~105℃	Level-3-260C-168 HR	工业应用
FDM320R035T-PQ56	VQFN	56	-40℃ ~105℃	Level-3-260C-168 HR	工业应用