



数字信号处理器及其解决方案提供商

FDM320R069 数据手册

版本V1.0

青岛本原微电子有限公司

1 特性

- 高效 32 位 DSP 内核
 - 90MHz (11.11ns 周期时间)
 - 16 × 16 和 32 × 32 乘法和累加 (MAC) 运算
 - 16 × 16 双 MAC
 - 哈佛 (Harvard) 总线架构
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码 (使用 C/C++ 和汇编语言)
- 浮点单元 (FPU)
 - 原生单精度浮点运算
- 可编程控制律加速器 (CLA)
 - 32 位浮点数学加速器
 - 独立于主 DSP 之外的代码执行
- Viterbi、复杂数学、CRC 单元 (VCU)
 - 扩展了 DSP 指令集以支持复杂的乘法、Viterbi 运算和循环冗余校验 (CRC)
- 嵌入式存储器
 - 高达 256KB 的闪存
 - 高达 100KB 的随机存取存储器 (RAM)
 - 2KB 一次性可编程 (OTP) ROM
- 6 通道直接内存存取 (DMA)
- 低器件和系统成本
 - 3.3V 单电源
 - 无需电源排序
 - 集成型加电复位和欠压复位
- 低功耗操作模式
- 无模拟支持引脚
- 字节序：小端字节序
- 支持 JTAG 边界扫描
 - IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构
- 时钟
 - 两个内部零引脚振荡器
 - 片载晶体振荡器/外部时钟输入
 - 看门狗计时器模块
 - 丢失时钟检测电路
- 可支持所有外设中断的外设中断扩展 (PIE) 模块
- 三个 32 位 DSP 计时器
- 高级外设
- 多达 8 个增强型脉冲宽度调制器 (ePWM) 模块
 - 总共 16 个 PWM 通道 (可支持 8 个 HRPWM)
 - 每个模块中的独立 16 位计时器
- 3 个输入增强型捕捉 (eCAP) 模块
- 多达 4 个高分辨率捕捉 (HRCAP) 模块
- 多达 2 个增强型正交编码器脉冲 (eQEP) 模块
- 12 位模数转换器 (ADC)，具有双路采样保持 (S/H) 功能
 - 高达 3.46MSPS
 - 高达 16 通道
- 片上温度传感器
- 128 位安全密钥和锁
 - 保护安全内存块
 - 防止固件逆向工程
- 串行端口外设
 - 两个串行通信接口 (SCI) [UART] 模块
 - 两个串行外设接口 (SPI) 模块
 - 一条内部集成电路 (I2C) 总线
 - 一个多通道缓冲串行端口 (McBSP) 总线
 - 一个增强型控制器局域网络 (eCAN)
 - 每个模块中的独立 16 位计时器
- 多达 54 个具有输入滤波功能的独立可编程、多路复用通用输入/输出 (GPIO) 引脚
- 高级调试特性
 - 分析和断点功能
 - 通过硬件进行实时调试
- 封装选项
 - N -55°C — 125°C
 - E -40°C — 125°C

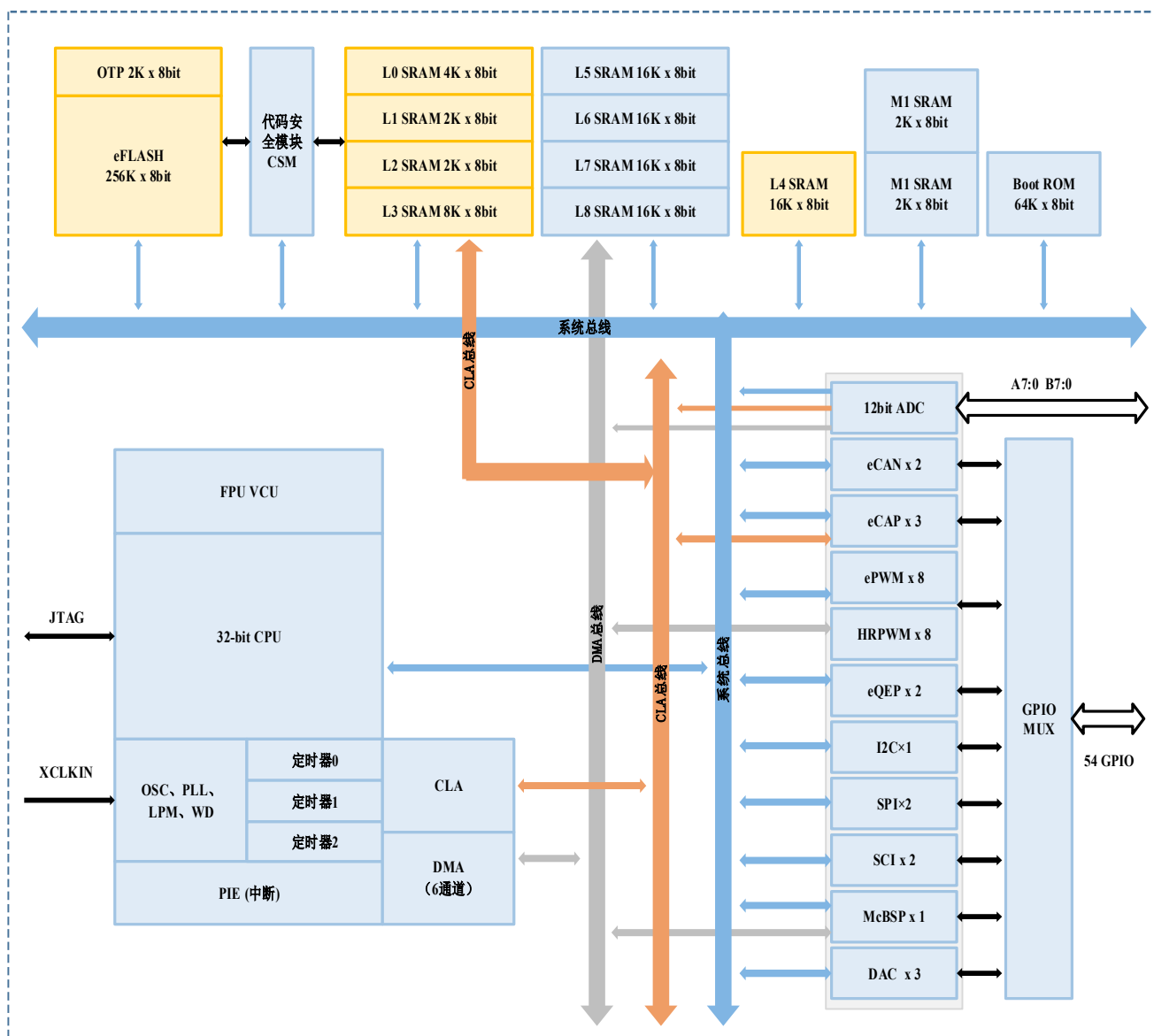


图1 FDM320R069 功能方框图

目录

1. 器件特性	6
2. 引脚分配	7
3. 信号说明	9
4. 规格说明	17
4.1 绝对最大参数	17
4.2 ESD 额定值 -工业级	17
4.3 ESD额定值 -汽车	18
4.4 推荐操作条件	18
4.5 无信号缓冲情况下 MCU 与 JTAG 调试接口的连接	19
4.6 参数信息	20
4.6.1 时序参数符号	20
4.7 测试负载电路	20
4.8 电源时序	21
4.8.1 复位 (XRS) 时序要求	22
4.8.2 复位 (XRS) 开关特性	22
4.9 时钟规格	24
4.9.1 器件时钟	24
4.9.2 时钟的要求和特性	26
4.10 闪存时序参数说明	27
4.10.1 闪存/OTP耐久性	27
4.10.2 在90mhz系统输出时的闪存参数	27
4.10.3 闪存/OTP访问时序	28
4.10.4 Flash数据保留持续时间	28
5. 详细说明	29
5.1 概述	29
5.1.1 DSP	29
5.1.2 控制律加速器 (CLA)	29
5.1.3 Vitrebi, 复杂数学, CRC单元 (VCU)	29
5.1.4 内存总线 (哈佛总线体系结构)	30
5.1.5 外围总线	30
5.1.6 实时JTAG和分析	30
5.1.7 闪存	30
5.1.8 M0、M1SRAM	30
5.1.9 L4 SRAM, 以及L0、L1、L2、L3、L5、L6、L7和L8 DPSRAMs	31
5.1.10 启动ROM	31
5.1.11 安全	32
5.1.12 外设中断扩展 (PIE) 块	32
5.1.13 外部中断 (XINT1至XINT3)	32
5.1.14 内部零引脚振荡器、振荡器和PLL	32
5.1.15 监视器	32
5.1.16 外设时钟	32
5.1.17 低功耗模式	33
5.1.18 外设帧0、1、2、3 (PFn)	33
5.1.19 通用输入/输出 (GPIO) 多路复用器	34
5.1.20 32位DSP定时器 (0、1、2)	34
5.1.21 控制外围设备	34

5.1.22 串行端口外围设备	35
5.2 内存映射	36
5.3 外设帧 0, 1, 2, 3 (PFn)	38
5.4 器件仿真寄存器	40
5.5 VREG, BOR, POR	40
5.5.1 芯片VREG	40
5.5.2 片上电源复位 (POR) 和掉电复位 (BOR) 电路	40
5.6 系统控制	42
5.6.1 内部零引脚振荡器	45
5.6.2 晶体振荡器选项	45
5.6.3 基于PLL的时钟模块	46
5.6.4 HRCAP PLL模块 (PLL2)	47
5.6.5 输入时钟丢失(NMI监控功能)	48
5.6.6 DSP看门狗模块	49
5.7 低功耗模式	50
5.8 中断	51
5.8.1 外部中断	55
5.9 外围设备	56
5.9.1 CLA概述	56
5.9.2 模拟模块	59
5.9.3 详细描述	74
5.9.4 串行外围接口 (SPI) 模块	75
5.9.5 串行通信接口 (SCI) 模块	83
5.9.6 多通道缓冲串行端口 (McBSP) 模块	86
5.9.7 增强型控制器局域网 (eCAN) 模块	96
5.9.8 IIC串行端口 (I2C)	100
5.9.9 增强型脉宽调制器 (ePWM) 模块 (ePWM1至ePWM8)	104
5.9.10 高分辨率PWM (HRPWM)	110
5.9.11 增强型捕获模块 (eCAP1)	111
5.9.12 高分辨率捕获模块 (HRCAP1到HRCAP4)	113
5.9.13 增强型正交编码器模块 (eQEP1、eQEP2)	115
5.9.14 JTAG端口	118
5.9.15 通用输入/输出 (GPIO) MUX	119
6. 电气规范	130
6.1 最大绝对额定值 ⁽¹⁾⁽²⁾	130
6.2 建议的运行条件	130
6.3 电气特性	131
6.4 封装参数	132
7. 订购信息	134

1. 器件特性

下表列出了FDM320R069器件的特性

功能		FDM320R69	
封装类型		100 引脚	80 引脚
指令周期		11.11ns	
FPU（浮点模块）		支持	
VCU		支持	
CLA		支持	
6通道DMA		支持	
片上闪存（16位字）		128k	
片上SRAM（16位字）		50k	
芯片上的Flash、SRAM和OTP块的代码安全性		支持	
引导ROM(32K × 16)		支持	
一次性可编程 (OTP) ROM（16 位字）		1K	
ePWM通道		16	14
高分辨率ePWM通道		8	
eCAP输入		3	
HRCAP		4	1
eQEP模块		2	1
监视时钟		支持	
12 位 ADC	每秒百万次采样 (MSPS)	3.46	
	转换时间	289ns	
	通道	16	12
	温度传感器	支持	
	双采样保持	支持	
32 位 DSP 定时器		3	
集成DAC的比较器		3	
I2C		1	
多通道缓冲串行端口		1	
eCAN		1	
SPI		2	
SCI/UART		2	
2个引脚振荡器		1	
0引脚振荡器		2	
I/O引脚（共用）	GPIO	54	40
	AIO	6	
外部中断		3	
电源电压（标称）		3.3V	

2. 引脚分配

图2-1显示了80引脚封装的引脚分配。图2-2显示了100引脚封装的引脚分配。

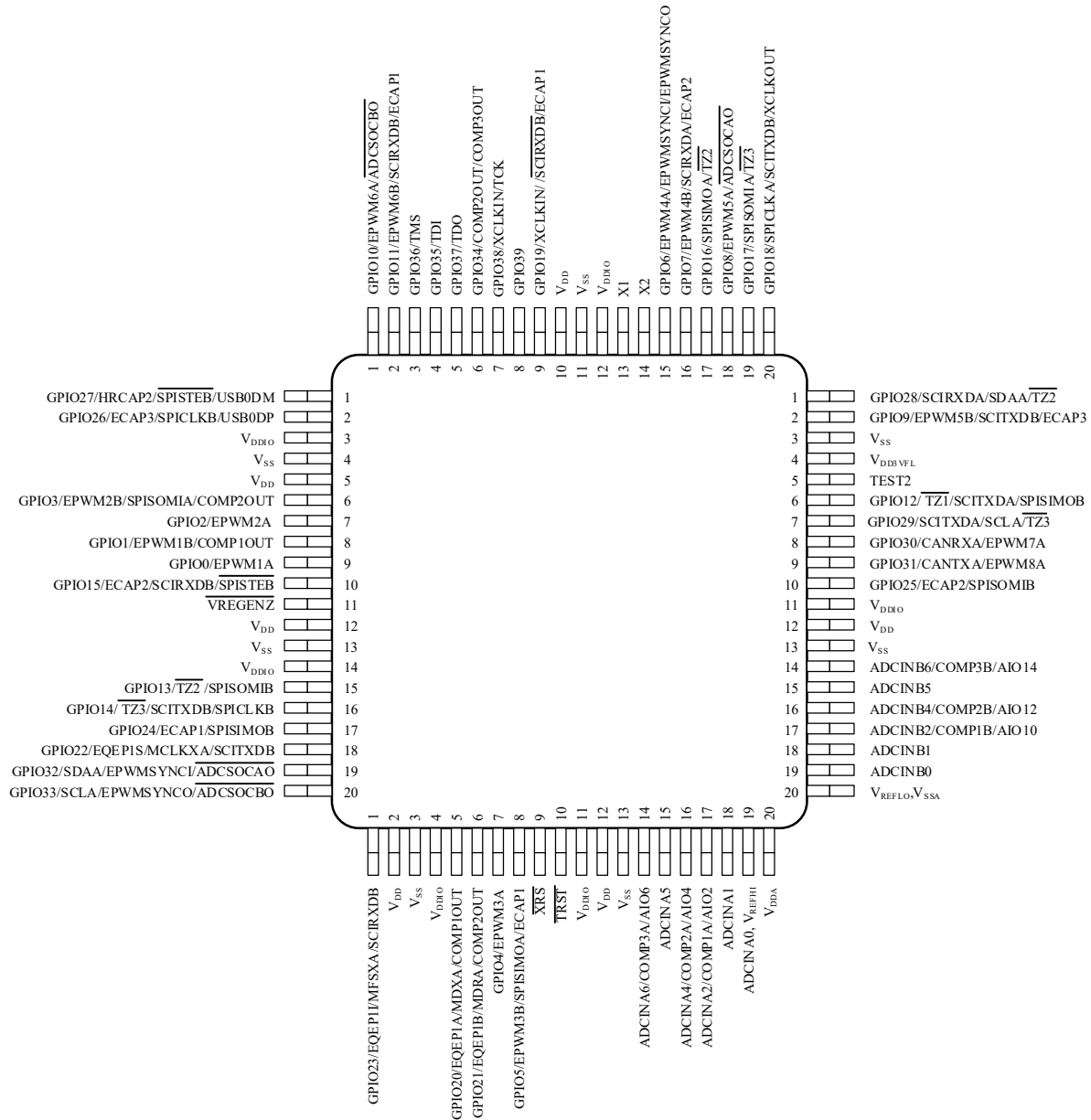


图2-1. FDM320R069 80 引脚（顶视图）

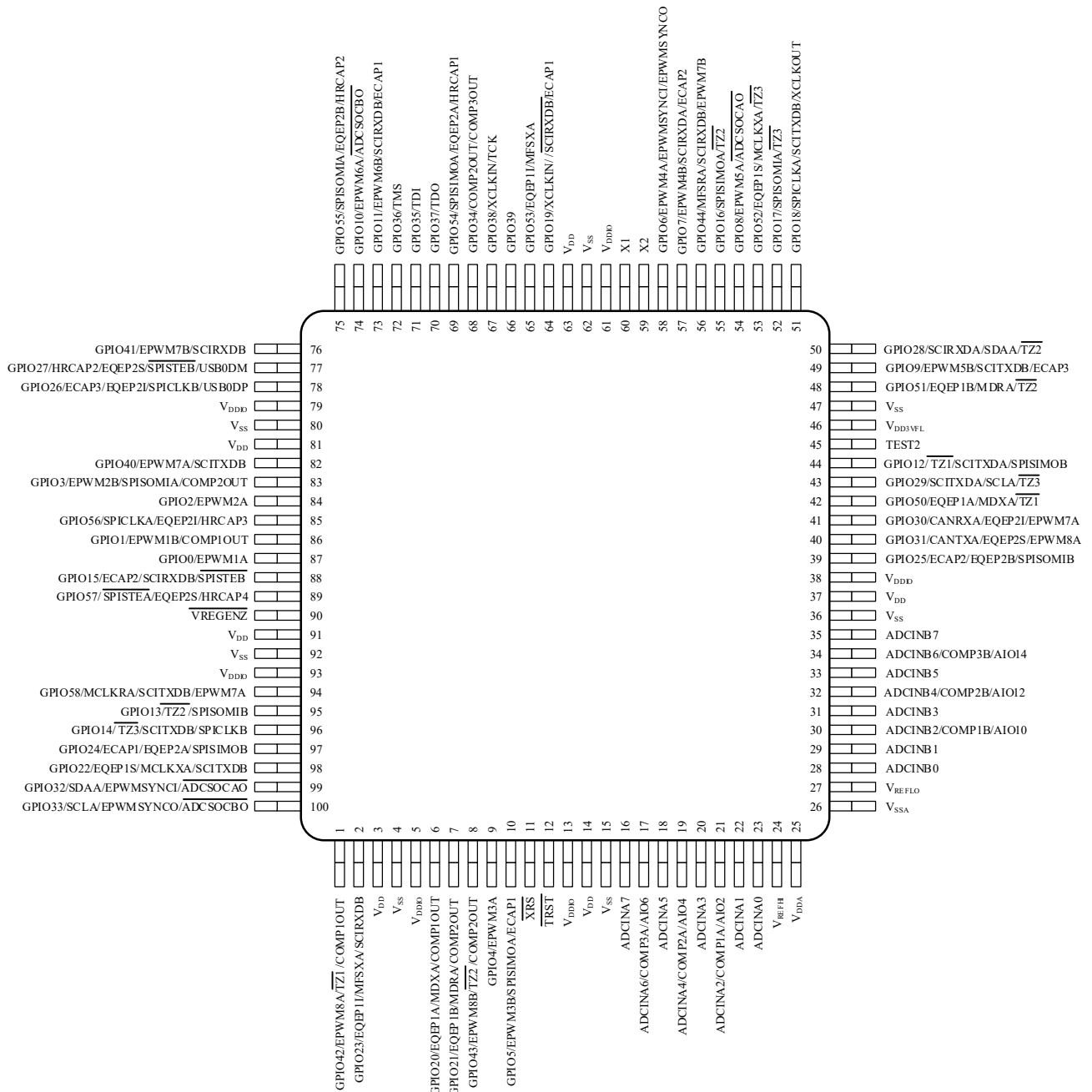


图2-2. FDM320R069 100 引脚（顶视图）

3.信号说明

表 3-1对这些信号进行了说明。

表 3-1. 端子功能

终端			I/O/Z	说明
名称	100PIN 引脚#	80PIN 引脚#		
JTAG				
TRST	12	10	I	JTAG测试复位，带有内部下拉功能（PD）。TRST，当驱动高时，提供扫描系统控制设备的操作。如果该信号未连接或驱动低，设备在其功能模式下运行，测试复位信号被忽略。注意：TRST是主动高测试针，在正常运行期间必须始终保持低。该引脚上需要一个外部下拉电阻器。该电阻器的值应基于适用于该设计的调试器吊舱的驱动强度。2.2 kΩ电阻通常提供足够的保护。因为这是特定于应用程序的，所以TI建议验证每个目标板，以正确操作调试程序和应用程序。（↓）
TCK	请见 GPIO38		I	请见 GPIO38。带有内部上拉电阻器的JTAG测试时钟。（↑）
TMS	请见 GPIO36		I	请见 GPIO36。JTAG测试模式选择（TMS）与内部上拉。该串行控制输入钟进入TCK上升边缘的TAP控制器。（↑）
TDI	请见 GPIO35		I	请见GPIO35。带有内部上拉功能的JTAG测试数据输入（TDI）。TDI被记录到TCK的上升边缘上的选定寄存器（指令或数据）中。（↑）
TDO	请见 GPIO37		O/Z	请见GPIO37。JTAG扫描导出，测试数据输出（TDO）。所选寄存器（指令或数据）的内容将离开TCK下降边的TDO。（8mA驱动器）
FLASH				
VDD3VFL	46	37	I/O	3.3V闪存核心电源。该引脚应始终连接到3.3V。
时钟				
XCLKOUT	请见 GPIO18		O/Z	请见GPIO18。输出时钟。XCLKOUT要么是相同的频率，频率的一半，要么是同步频率的四分之一。这是由XCLK寄存器中的位1：0（XCLK dv）控制的。复位时，外部检查=系统检查/4。通过将XCLKOUTDIV设置为3，可以关闭XCLKOUT信号。GPIO18的mux控制也必须设置为外部输出，以便这个信号输出到引脚。
XCLKIN	请见GPIO19和GPIO38		I	请见GPIO19和GPIO38。外部振荡器输入。针对时钟的引脚源由XCLK寄存器内的XCLKINSEL位控制，默认选择GPIO38。这个引脚馈通一个来自外部3.3V振荡器的时钟。在这个情况下，X1引脚，如果可用的话，必须被接至GND，而且必须通过CLKCTL寄存器内的位14将片载晶体振荡器禁用。如果使用一个晶振/谐振器，必须通过CLKCTL寄存器内的位13将XCLKIN路径禁用。 注释：使用 GPIO38/TCK/XCLKIN引脚提供外部时钟以使器件正常运行的设计可能需要集成一些挂钩，以便在使用 JTAG 连接器进行调试期间禁用此路径。这是为了防止 TCK 信号竞争，在 JTAG调试会话期间，此信号被激活。在此次为器件计时期间，零引脚内部振荡器也可被使用。
X1	60	48	I	片上1.8V晶体振荡器输入。要使用这个振荡器，石英晶体或陶瓷谐振器必须连接在X1和X2之间。在这种情况下，XCLKIN路径必须被CLKCTL寄存器中的第13位所禁用。如果不使用此引脚，则必须将其连接到GND上。

X2	59	47	O	片上晶体振荡器的输出。石英晶体或陶瓷谐振器必须连接在X1和X2之间。如果未使用X2，则必须保持不连接。
复位				
$\overline{XRS}$	11	9	I/O	设备复位（在）和看门狗复位（输出）。这些设备具有内置的电源复位（POR）和紧急断电复位（BOR）电路。在通电或断电条件下，这个引脚被器件驱动到低。外部电路也可以驱动该引脚，以维护设备复位。当看门狗复位发生时，这个引脚也被MCU驱动到低。在看门狗复位期间， $\overline{XRS}$ 被驱动到较低的看门狗复位持续时间为512 OSCCLK周期。在 $\overline{XRS}$ 和 V_{DDIO} 之间放置2.2 k Ω 到10 k Ω 的电阻。如果一个电容器被放置在 $\overline{XRS}$ 和 V_{SS} 之间进行噪声滤波，它应该是100 nF或更小。当确认看门狗复位时，这些值将允许看门狗在512个OSCCLK周期内正确地驱动 $\overline{XRS}$ 引脚到低电平。程序计数器指向位置0x3FFFC0中包含的地址。停用复位后，将从程序计数器指定的位置开始执行。这个引脚的输出缓冲器是一个具有内部上拉装置的开漏极装置。（↑）如果此引脚由外部装置驱动，则应使用开漏装置执行。
ADC，比较器，模拟I/O				
ADCINA7	16	-	I	ADC组A，通道7输入
ADCINA6 COMP3A AIO6	17	14	II I/O	ADC组A，通道6输入 比较器输入3A 数字AIO 6
ADCINA5	18	15	I	ADC组A，通道5输入
ADCINA4 COMP2A AIO4	19	16	I I/O	ADC组A，通道4输入 比较器输入2A 数字AIO 4
ADCINA3	20	-	I	ADC组A，通道3输入
ADCINA2 COMP1A AIO2	21	17	II I/O	ADC组A，通道2输入 比较器输入1A 数字AIO 2
ADCINA1	22	18	I	ADC组A，通道1输入
ADCINA0	23	19	I	ADC组A，通道0输入。注意：VREFHI和ADCINA0在80引脚器件上共享相同的引脚，并且它们的使用是相互排斥的。
VREFHI	24	19		ADC外部参考高-仅在ADC外部参考模式下使用。请参见节5.9.2.1。注意：VREFHI和ADCINA0在80引脚器件上共享相同的引脚，并且它们的使用是相互排斥的。
ADCINB7	35	-	I	ADC组B，通道7输入
ADCINB6 COMP3B AIO14	34	27	I I/O	ADC组B，通道6 输入比较器输入3B 数字AIO 14
ADCINB5	33	26	I	ADC组B，通道5输入
ADCINB4 COMP2B AIO12	32	25	I I/O	ADC组B，通道4 输入比较器输入2B 数字AIO 12
ADCINB3	31	-	I	ADC组B，通道3输入
ADCINB2 COMP1B AIO10	30	24	I I/O	ADC组B，通道2 输入比较器输入1B 数字AIO 10
ADCINB1	29	23	I	ADC组B，通道1输入
ADCINB0	28	22	I	ADC组B，通道0输入
VREFLO	27	21		ADC外部参考值低。注意：VREFLO始终连接到80引脚器件上的VSSA。

DSP和输入输出功率

V _{DDA}	25	20		模拟电源引脚。在此引脚附近连接一个2.2μF电容器（典型值）。
V _{SSA}	26	21		模拟接地引脚。注意：V _{REFLO} 始终连接到80引脚器件上的V _{SSA} 。
V _{DD}	3	2		DSP和逻辑数字电源引脚。当使用内部VREG时，在每个V _{DD} 引脚和接地之间放置一个1.2μF的电容器。可以使用更高值的电容器。
	14	12		
	37	29		
	63	51		
	81	65		
	91	72		
V _{DDIO}	5	4		数字I/O缓冲器的电源引脚。当启用VREG时，单个电源。在每个引脚上放置一个解耦电容器。确切的值应由系统电压调节的解决方案来确定。
	13	11		
	38	30		
	61	49		
	79	63		
	93	74		
V _{SS}	4	3		数字接地引脚
	15	13		
	36	28		
	47	38		
	62	50		
	80	64		
	92	73		

电压调节器控制信号

VREGENZ	90	71	I	内部电压调节器（VREG）启用与内部下拉功能。直接连接到V _{SS} （低），以启用内部1.8-V VREG。直接连接到V _{DDIO} （高）以禁用VREG，并使用外部1.8-V电源。
---------	----	----	---	---

GPIO和外围信号(2)

GPIO0 EPWM1A Reserved Reserved	87	69	I/O/Z O - -	通用输入/输出 0 增强型 PWM1 输出 A 和高分辨率脉宽调制 (HRPWM) 通道 预留 预留
GPIO1 EPWM1B Reserved COMP1OUT	86	68	I/O/Z O - O	通用输入/输出 1 增强型 PWM1 输出 B 预留 比较器 1 的直接输出
GPIO2 EPWM2A Reserved Reserved	84	67	I/O/Z O - -	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道 预留 预留
GPIO3 EPWM2B SPISOMIA COMP2OUT	83	66	I/O/Z O I/O O	通用输入/输出 3 增强型 PWM2 输出 B SPI-A 从器件输出，主器件输入 比较器 2 的直接输出
GPIO4 EPWM3A Reserved Reserved	9	7	I/O/Z O - -	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道 预留 预留

GPIO5 EPWM3B SPISIMOA ECAP1	10	8	I/O/Z O I/O I/O	通用输入/输出 5 增强型 PWM3 输出 B SPI-A 从器件输入，主器件输出 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	58	46	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出
GPIO7 EPWM4B SCIRXDA ECAP2	57	45	I/O/Z O I I/O	通用输入/输出 7 增强型 PWM4 输出 B SCI-A 接收数据 增强的捕获输入/输出 2
GPIO8 EPWM5A Reserved ADCSOCAO	54	43	I/O/Z O - O	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 预留 ADC 转换启动 A
GPIO9 EPWM5B SCITXDB ECAP3	49	39	I/O/Z O O I/O	通用输入/输出 9 增强型 PWM5 输出 B SCI-B 传输数据 增强的捕获输入/输出 3
GPIO10 EPWM6A Reserved ADCSOCBO	74	60	I/O/Z O - O	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 预留 ADC 转换开始 B
GPIO11 EPWM6B SCIRXDB ECAP1	73	59	I/O/Z O I I/O	通用输入/输出 11 增强型 PWM6 输出 B SCIB 接收数据 增强的捕获输入/输出 1
GPIO12 T Z 1 SCITXDA SPISIMOB	44	35	I/O/Z I O I/O	通用输入/输出 12 触发区输入 1 SCI-A 发送数据 SPI-B 从器件输入，主器件输出。
GPIO13 T Z 2 SPISOMIB Reserved	95	75	I - I/O	通用输入/输出 13 触发区输入 2 SPI-B 从器件输出，主器件输入 预留
GPIO14 T Z 3 SCITXDB SPICLKB	96	76	I/O/Z I O I/O	通用输入/输出 14 触发区输入 3 SCI-B 传输数据 SPI-B 时钟输入/输出
GPIO15 ECAP2 SCIRXDB SPISTEB	88	70	I/O/Z I/O I I/O	通用输入/输出 15 增强的捕获输入/输出 2 SCIB 接收数据 从传输启用输入/输出
GPIO16 SPISIMOA Reserved T Z 2	55	44	I/O/Z I/O - I	通用输入/输出 16 SPI-A 从器件输入，主器件输出 - 预留 触发区输入 2

GPIO17 SPISOMIA Reserved TZ3	52	42	I/O/Z I/O - I	通用输入/输出 17 SPI-A 从器件输出，主器件输入 - 预留 触发区输入 3
GPIO18 SPICLK_A SCIRXDB XCLKOUT	51	41	I/O/Z I/O O O/Z	通用输入/输出 18 SPI-A 时钟输入/输出 SCI-B 传输数据输出。 输出时钟 XCLKOUT 要么是相同的频率，要么是该频率的一半，要么是同步输出频率的四分之一。这是由 XCLK 寄存器中的位 1: 0 (XCLK dv) 控制的。复位时，外部检查 = 系统检查/4。通过将 XCLKOUTDIV 设置为 3，可以关闭 XCLKOUT 信号。GPIO18 的 MUX 控制也必须设置为外部输出，以便这个信号输出到引脚。
GPIO19 XCLKIN SPISTEA SCIRXDB ECAP1	64	52	I/O/Z - I/O I I/O	通用输入/输出 19 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的 MUX 功能门控制的。如果此路径用于其他外围功能，必须注意不要启用该路径进行时钟。 SPI-A 从器件发送使能输入/输出 SCIB 接收数据 增强型捕捉输入/输出 1
GPIO20 EQEP1A MDXA COMP1OUT	6	5	I/O/Z I O O	通用输入/输出 20 增强型 EQP 输入 A McBSP 传输串行数据 比较器 1 的直接输出
GPIO21 EQEP1B MDRA COMP2OUT	7	6	I/O/Z I I O	通用输入/输出 21 增强型 EQP 输入 B McBSP 接收串行数据 比较器 2 的直接输出
GPIO22 EQEP1S MCLKXA SCITXDB	98	78	I/O/Z I/O I/O O	通用输入/输出 22 增强型 QEP1 闸门 McBSP 发送时钟 SCI-B 传输数据
GPIO23 EQEP1I MFSXA SCIRXDB	2	1	I/O/Z I/O I/O I	通用输入/输出 23 增强型 QEP1 索引 McBSP 传输帧同步 SCIB 接收数据
GPIO24 ECAP1 EQEP2A SPISIMOB	97	77	I/O/Z I/O I I/O	通用输入/输出 24 增强型捕捉输入/输出 1 增强的 QEP2 输入 A。 SPI-B 从机取入，主机取出
GPIO25 ECAP2 EQEP2B SPISOMIB	39	31	I/O/Z I/O I I/O	通用输入/输出 25 增强的捕获输入/输出 2 增强型 QEP2 输入 B SPI-B 从器件输出，主器件输入 -
GPIO26 ECAP3 EQEP2I SPICLK_B	78	62	I/O/Z I/O I/O I/O I/O	通用输入/输出 26 增强的捕获输入/输出 3。 增强 QEP2 索引。 SPI-B 时钟输入输出。

GPIO27 HRCAP2 EQEP2S SPISTEB	77	61	I/O/Z I I/O I/O I/O	通用输入/输出 27 高分辨率输入捕捉 2 增强的QE2P2频闪。SPI-B 从器件发送使其能输入/输出
GPIO28 SCIRXDA SDAA TZ2	50	40	I/O/Z I I/OD I	通用输入/输出 28 SCI-A接收数据 I2C 数据开漏双向端口 触发区输入 2
GPIO29 SCITXDA SCLA TZ3	43	34	I/O/Z O I/OD I	通用输入/输出 29 SCI-A传输数据 I2C 时钟开漏双向端口 触发区输入 3
GPIO30 CANRXA EQEP2I EPWM7A	41	33	I/O/Z I I/O O	通用输入/输出 30 控制器局域网 (CAN) 接收 增强QE2P2索引。 增强的PWM7输出A和HRPWM通道
GPIO31 CANTXA EQEP2S EPWM8A	40	32	I/O/Z O	通用输入/输出 31 CAN 发送 增强的QE2P2频闪。 增强的PWM8输出A和HRPWM通道
GPIO32 SDAA EPWMSYNCI ADCSOCAO	99	79	I/O/Z I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 A
GPIO33 SCLA EPWMSYNCO ADCSOCBO	100	80	I/O/Z I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 B
GPIO34 COMP2OUT COMP3OUT	74	61 54	I/O/Z O O	通用输入/输出 34 比较器 2 的直接输出 比较器 3 的直接输出
GPIO35 TDI - -	71	57	I/O/Z I - -	通用输入/输出 35 带有内部上拉功能的JTAG测试数据输入 (TDI)。TDI被记录到TCK的上升边 缘上的选定寄存器 (指令或数据) 中。 预留

GPIO36 TMS Reserved Reserved Reserved	72	58	I/O/Z I - - -	通用输入/输出 36 JTAG测试模式选择（TMS）与内部上拉。该串行控制输入钟进入TCK上升边缘的TAP控制器。 预留 预留 预留
GPIO37 TDO Reserved Reserved Reserved	70	56	I/O/Z O/Z - - -	通用输入/输出 37 JTAG扫描导出，测试数据输出（TDO）。所选寄存器（指令或数据）的内容将离开TCK (8 mA驱动器) 下降边缘的TDO。 预留 预留 预留
GPIO38 XCLKIN TCK Reserved Reserved Reserved	67	54	I/O/Z I I - - -	通用输入/输出 38 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的mux功能来门控的。如果此路径用于其他功能，必须注意不要启用该路径进行时钟。 带有内部上拉电阻器的 JTAG 测试时钟 预留 预留 预留
GPIO39 Reserved Reserved Reserved	66	53	I/O/Z - - -	通用输入/输出 39 预留 预留 预留
GPIO40 EPWM7A SCITXDB Reserved	82	-	I/O/Z O O -	通用输入/输出 40 增强型 PWM7 输出 A 和 HRPWM 通道 SCI-B传输数据 预留
GPIO41 EPWM7B SCIRXDB Reserved	76	-	I/O/Z O I -	通用输入/输出 41 增强型 PWM7 输出 B SCIB接收数据 预留
GPIO42 EQEP1A TZ1 COMP1OUT	1	-	I/O/Z O I O	通用输入输出42 增强的PWM8输出A和HRPWM通道 跳闸区域输入1 比较器1的直接输出
GPIO43 EPWM8B TZ2 COMP2OUT	8	-	I/O/Z O I O	通用输入输出43 增强型PWM8输出B 跳闸区输入2 比较器2的直接输出
GPIO44 MFSRA SCIRXDB EPWM7B	56	-	I/O/Z I/O I O	通用输入输出44 McBSP接收帧同步 SCIB接收数据 增强型PWM7输出B

GPIO50 EQEP1A MDXA TZ1	42	-	I/O/Z I O I	通用输入输出50 增强型QEP1输入A McBSP传输串行数据 跳闸区域输入1
GPIO51 EQEP1B MDRA TZ2	48	-	I/O/Z I I I	通用输入输出51 增强型QEP1输入B McBSP接收串行数据 跳闸区输入2
GPIO52 EQEP1S MCLKXA TZ3	53	-	I/O/Z I/O I/O I	通用输入输出52 增强的QEP1频闪器 McBSP发射时钟 跳闸区域输入3
GPIO53 EQEP1I MFSXA Reserved	65	-	I/O/Z I/O I/O -	通用输入输出53 增强的QEP1指数 McBSP传输帧同步 保留
GPIO54 SPISIMOA EQEP2A HRCAP1	69	-	I/O/Z I/O I I	通用输入输出54 SPI主机, 从机 增强的QEP2输入A 高分辨率输入捕获1
GPIO55 SPISOMIA EQEP2B HRCAP2	75	-	I/O/Z I/O I I	通用输入输出55 SPI主机, 从机 增强型QEP2输入B 高分辨率输入捕获2
GPIO56 SPICLKA EQEP2I HRCAP3	85	-	I/O/Z I/O I/O I	通用输入输出56 SPI-A时钟输入输出 增强的QEP2指数 高分辨率输入捕获3
GPIO57 SPISTEA SPISTEA HRCAP4	89	-	I/O/Z I/O I/O I	通用输入输出57 从传输启用输入/输出 增强的QEP2频闪器 高分辨率输入捕获4
GPIO58 MCLKRA SCITXDB EPWM7A	94	-	I/O/Z I/O O O	通用输入输出58 McBSP接收时钟 SCI-B传输数据 增强的PWM7输出A和HRPWM通道

(1) I=输入, O=输出, Z=高阻抗, OD=开漏, ↑=上拉, ↓=下拉

(2) GPIO功能（以粗体斜体显示）是复位时的默认值。在它们下面列出的外围信号是替代功能。对于具有多路复用GPIO功能的JTAG引脚, 到GPIO块的输入路径总是有效的。根据TRST信号的条件, 从GPIO块到JTAG块的输出路径被启用或禁用。

4. 规格说明

4.1 绝对最大参数

超过绝对最大额定值所列的应力可能会对设备造成永久性损坏。这些仅为应力等级，并不暗示设备在这些或在推荐操作条件下指示以外的任何其他条件下的功能操作。暴露于绝对延长时间段内的最大评定条件可能会影响设备的可靠性。与 V_{SS} 有关的所有电压值，除非另有说明。超出工作空气温度范围（除非另有说明）。

		最小值	最大值	单位
电源电压	V_{DDIO} (I/O和Flash) 关于 V_{SS}	-0.3	4.6	V
	V_{DD} 关于 V_{SS} 的 V_{SS}	-0.3	2.5	
模拟电压	V_{DDA} 关于 V_{SSA}	-0.3	4.6	V
输入电压	V_{IN} (3.3 V)	-0.3	4.6	V
	V_{IN} (X1)	-0.3	2.5	
输出电压	V_O	-0.3	4.6	V
输入钳制电流	数字输入（每引脚）， I_{IK} ($V_{IN} < V_{SS}$ 或 $V_{IN} > V_{DDIO}$) ⁽¹⁾	-20	20	mA
	模拟输入（每引脚），模拟模拟 ($V_{IN} < V_{SSA}$ 或 $V_{IN} > V_{DDA}$)	-20	20	
	所有输入 ($V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$)	-20	20	
输出钳制电流	I_{OK} ($V_O < 0$ 或 $V_O > V_{DDIO}$)	-20	20	mA
结温度 ⁽²⁾	T_J	-55	150	°C
储存温度 ⁽²⁾	T_{stg}	-65	150	°C

(1) 每个引脚的连续钳位电流为±值2mA。

(2) 长期高温存储或在最高温度条件下延长使用可能导致设备的总寿命缩短。

4.2 ESD 额定值 -工业级

		值	单位
FDM320R069 100-pin 封装			
V _(ESD) 静电放电（ESD）	模型（HBM），根据ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	充电设备型号（CDM），符合JEDEC规范JESD22-C101或ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	
FDM320R069 80-pin 封装			
V _(ESD) 静电放电（ESD）	模型（HBM），根据ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	充电设备型号（CDM），符合JEDEC规范JESD22-C101或ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	

(1) JEDEC文件JEP155指出，500-V HBM允许使用标准的ESD控制过程进行安全制造。

(2) JEDEC文件JEP157指出，250-V CDM允许使用标准的ESD控制过程进行安全制造。

4.3 ESD额定值 -汽车

			值	单位
FDM320R069 100-pin 封装				
V _(ESD) 静电放电	人体模型（HBM），根据AEC Q100-002 ⁽¹⁾	所有引脚	±2000	V
	充电设备型号（CDM），根据AEC Q100-011标准	所有引脚	±500	
		100 pin 封装的边角引脚：1、25、26、50、51、75、76、100	±750	
FDM320R069 80-pin 封装				
V _(ESD) 静电放电	人体模型（HBM），根据AEC Q100-002 ⁽¹⁾	所有引脚	±2000	V
	充电设备型号（CDM），根据AEC Q100-011标准	所有引脚	±500	
		80 pin 封装的边角引脚：1、20、21、40、41、60、61、80	±750	

(1) AEC Q100-002表示HBM应力是按照ANSI/ESDA/JEDEC JS-001规范进行的。

4.4 推荐操作条件

		最小值	标称值	最大值	单位
设备电源电压, I/O, V_{DDIO}		2.97	3.3	3.63	V
设备电源电压DSP、 V_{DD} (当内部VREG禁用且外部提供1.8 V时)		1.71	1.8	1.995	V
地, V_{SS}			0		V
模拟电源电压, V_{DDA}		2.97	3.3	3.63	V
模拟地, V_{SSA}			0		V
设备时钟频率 (系统时钟)		2		90	MHz
高等级输入电压, V_{IH} (3.3 V)		2		$V_{DDIO} + 0.3$	V
低电平输入电压, V_{IL} (3.3 V)		V_{SS}	0.8	0.3	V
高电平输出源电流, $V_{OH} = V_{OH(最小值)}$, I_{OH}	所有GPIO/AIO引脚		-4		mA
	第2组 ⁽¹⁾		-8		
低电平输出灌电流, $V_{OL} = V_{OL(最大值)}$, I_{OL}	所有GPIO/AIO引脚			4	mA
	第2组 ⁽¹⁾			8	

(1) 第2组引脚如下: GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37。

4.5 无信号缓冲情况下 MCU 与 JTAG 调试接口的连接

图4-3显示了单处理器配置的单片机和JTAG 接口之间的连接。如果JTAG 接口和DSP之间的距离大于6英寸，则必须缓冲调试信号。如果距离小于6英寸，则通常不需要缓冲。图4-3显示了更简单、无缓冲的情况。

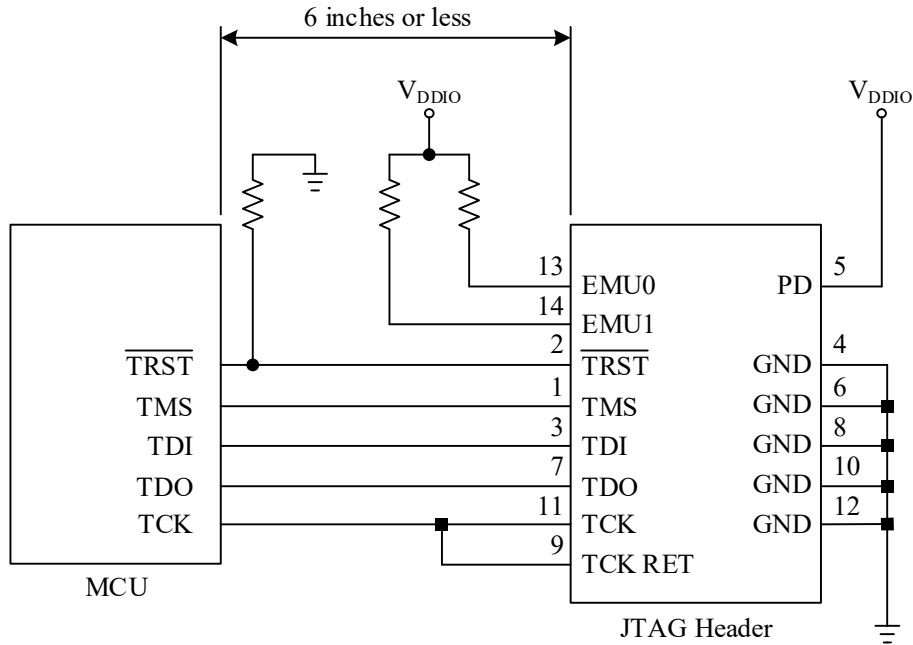


图 4-3. 无信号缓冲情况下 MCU 与 JTAG 调试接口的连接

4.6 参数信息

4.6.1 时序参数符号

使用的时序参数符号是根据 JEDEC Standard 100创建。为了缩短符号，一些引脚名称和其他相关术语被缩写如下：

a	访问时间	H	高
c	循环时间（周期）	L	低
d	延迟时间	V	有效
f	下降时间	X	未知、更改或不关心级别
h	保持时间	Z	高阻抗
r	上升时间		
su	建立时间		
t	转换时间		
v	有效时间		
w	脉冲持续时间（宽度）		

4.7 测试负载电路

该测试负载电路用于测量本文件中提供的所有开关特性。

A. 本数据表中的输入要求在设备引脚处以小于每纳秒4伏（4 V/ns）的输入旋转速率进行测试。

B. 此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。可使用具有 2ns 或更长延迟时间的传输线路实现所需的传输线路效果。传输线路只用作负载。无需从数据表时序中增加或者减去传输线路延迟（2ns 或者更长）。

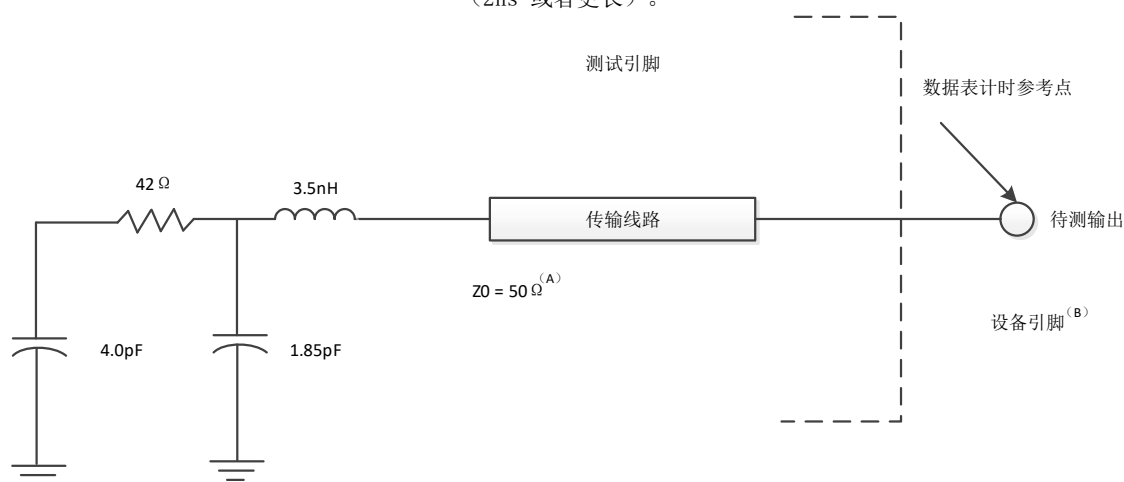
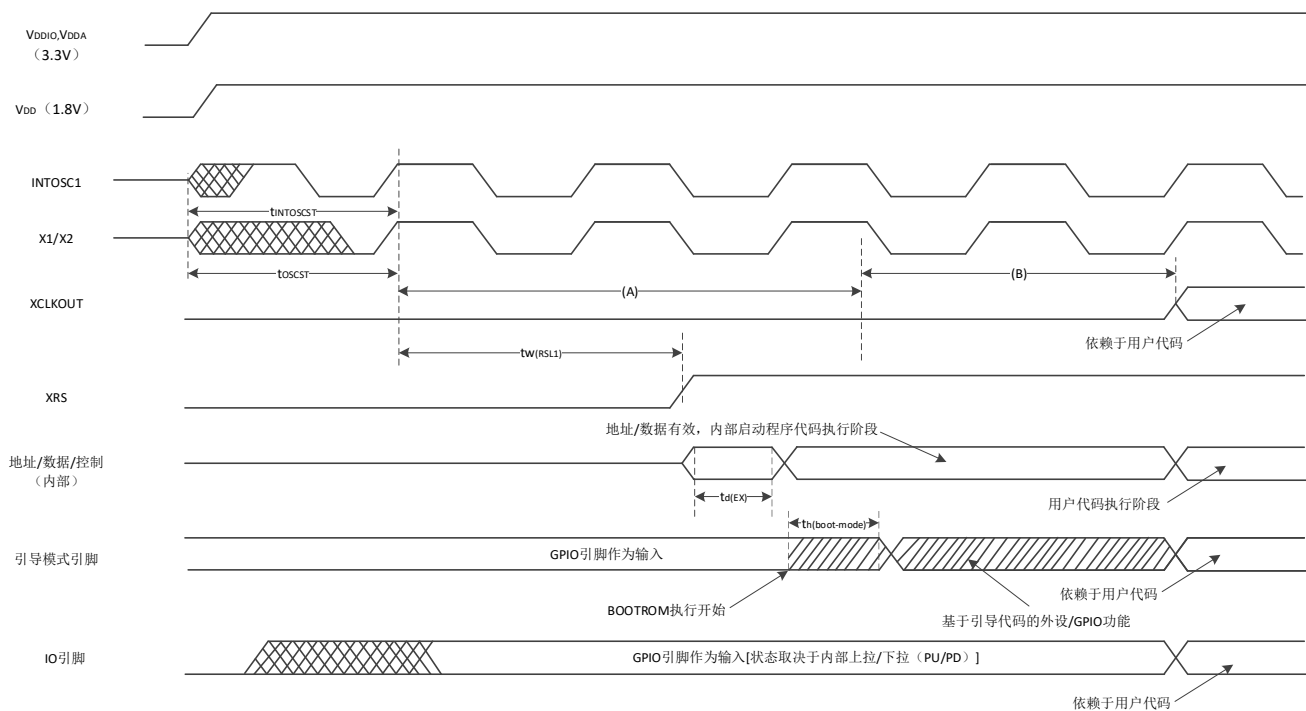


图4-4 3.3V测试负载电路

4.8 电源时序

复位后无需电源时序来确保器件处于正常状态或者防止上电/下电期间的 I/O 上的毛刺脉冲 (GPIO19、GPIO26-27、GPIO34-38没有无毛刺脉冲I/O)。不应向任何数字引脚（对于模拟引脚，该值为 V_{DDA} 以上0.7 V）施加大于 V_{DDIO} 以上二极管压降（0.7 V）的电压。应用于未加电器件的引脚上的电压会以一种无意的的方式偏置内部 p-n 接头并产生无法预料的结果。



- 通电后，系统输出为 $OSCCLK/4$ 。因为 $XCLK$ 寄存器中的 $XCLKOUTDIV$ 位的复位状态为0， $SYSCCLKOUT$ 在出现在 $XCLKOUT$ 之前进一步除以4。这个状态期间， $XCLKOUT = OSCCLK/16$ 。
- 引导 ROM 将 $DIVSEL$ 位配置为 /1 运行。在这个状态期间， $XCLKOUT=OSCCLK/4$ 。 $XCLKOUT$ 只有通过用户代码明确配置，才会显示在引脚上。
- 复位后，引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 $SYSCCLKOUT$ 的速度而定。 $SYSCCLKOUT$ 将基于用户环境并可在 PLL 启用或者不启用时使用。
- 由于片上加电复位（POR）电路，使用 $\overline{XRS}$ 引脚是可选的。
- 当 BOR 被驱动为高电平，内部上拉/下拉将起作用。

图4-5上电复位

4.8.1 复位（ $\overline{XRS}$ ）时序要求

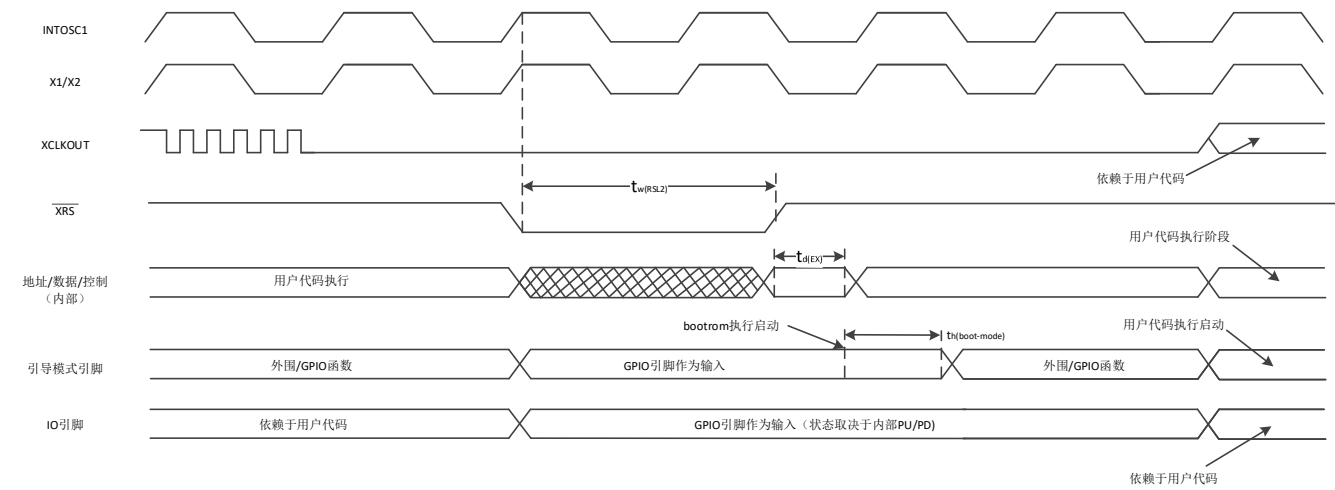
		最小值	最大值	单位
$t_{h(\text{引导模式})}$	启动模式引脚的保持时间	$1000t_{c(\text{SCO})}$		周期
$t_{w(\text{RSL2})}$	$\overline{XRS}$ 在热复位下低电平脉冲持续时间	$32t_{c(\text{OSCCLK})}$		周期

4.8.2复位（ $\overline{XRS}$ ）开关特性

在推荐的工作条件下（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(\text{RSL1})}$	脉冲持续时间， $\overline{XRS}$ 由设备驱动	600			μs
$t_{w(\text{WDRS})}$	脉冲持续时间，由看门狗产生的复位脉冲	$512t_{c(\text{OSCCLK})}$			周期
$t_{d(\text{EX})}$	延迟时间，地址/数据在 $\overline{XRS}$ 高后有效	$32t_{c(\text{OSCCLK})}$			周期
t_{INTOSCST}	启动时间，内部零引脚振荡器	3			μs
$t_{\text{OSCST}}^{(1)}$	片上晶体振荡器的启动时间	1	10		ms

(1) 取决于晶体/谐振器和电路板的设计。



A. 复位后，引导ROM代码对引导模式引脚进行采样。根据引导模式引脚的状态，引导代码分支到目标内存或引导代码功能。如果引导ROM代码在启动条件下执行（在调试器环境中），则启动代码执行时间基于当前SYSCLKOUT速度。SYSCLKOUT将基于用户环境，可以启用或不启用PLL

图4-6 热复位

图7-7展示了写入PLLCR寄存器的效果。在第一阶段， $PLLCR = 0x0004$ ， $SYSCLKOUT = OSCCLK \times 2$ 。然后将PLLCR写入 $0x0008$ 。在PLLCR寄存器写入后，PLL锁定阶段开始。在此阶段， $SYSCLKOUT = OSCCLK/2$ 。PLL锁定完成后，SYSCLKOUT反映新的工作频率， $OSCCLK \times 4$ 。

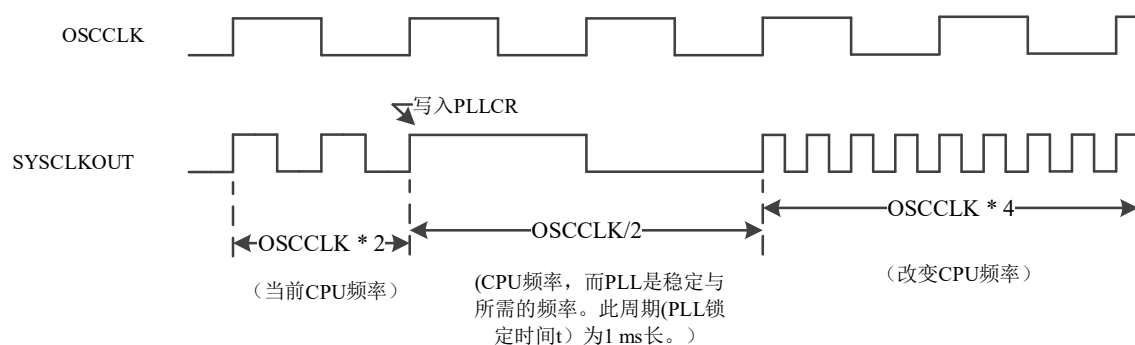


图4-7 写入PLLCR寄存器的效果示例

4.9 时钟规格

4.9.1 器件时钟

本节提供了在FDM320R069上可用的各种时钟选项的时序要求和切换特性。本节4.9.1.1列出了各种时钟的周期时间。

4.9.1.1 FDM320R069时钟信号名称和术语（90-MHz）

		最小值	标称值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	11.11		500	ns
	频率	2		90	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	11.11	44.4 ⁽²⁾		ns
	频率		22.5 ⁽²⁾	90	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	22.22			ns
	频率			45	MHz

(1) 更低的 LSPCLK 将减少器件功耗。

(2) 如果SYSCLKOUT= 90 MHz，这个值为缺省复位值。

4.9.1.2 设备时钟要求/特性

		最小值	标称值	最大值	单位
片上振荡器(X1/X2引脚) (晶体谐振器)	$t_{c(OSC)}$, 周期时间	50		200	ns
	频率	5		20	MHz
外部振荡器/时钟源 (XCLKIN pin) -PLL已启用	$t_{c(CI)}$, 周期时间(C8)	33.3		200	ns
	频率	5		30	MHz
外部振荡器/时钟源 (XCLKIN pin) -PLL已禁用	$t_{c(CI)}$, 周期时间(C8)	11.11		250	ns
	频率	4 s		90	MHz
跛行模式系统 (启用/2)	频率范围		1 至 5		MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间(C1)	44.44		2000	ns
	频率	0.5		22.5	MHz
PLL锁定时间 ⁽¹⁾	t_p			1	ms

(1) PLLLOCKPRD 寄存器必须按照 OSCCLK 周期的数量进行更新。如果内部零引脚振荡器（10MHz）被用作时钟源，那么必须将值 10,000（最小值）写入 PLLLOCKPRD 寄存器。

4.9.1.3 内部零引脚振荡器 (INTOSC1/INTOSC2) 特性

参数		最小值	标称值	最大值	单位
30°C 下的内部零引脚振荡器 1 (INTOSC1) ^{(1) (2)}	频率		10.000		MHz
30°C 下的内部零引脚振荡器 2 (INTOSC2) ^{(1) (2)}	频率		10.000		MHz
步长尺寸 (粗调)			55		kHz
步长尺寸 (微调)			14		kHz
温度漂移 ⁽³⁾			3.03	4.85	kHz/°C
电压 (V _{DD}) 漂移 ⁽³⁾			175		Hz/mV

(1) 振荡器的频率随温度的变化而变化，见图7-8。

(2) 只有当 VREG 被启用时，才能确保频率范围，VREGENZ=VSS。

(3) 内部振荡器的输出频率由温度梯度和电压 (V_{DD}) 梯度确定。例如：

- 温度的上升将引起输出频率按照温度系数增加。
- 电压的下降 (V_{DD}) 将引起输出频率按照电压系数下降。

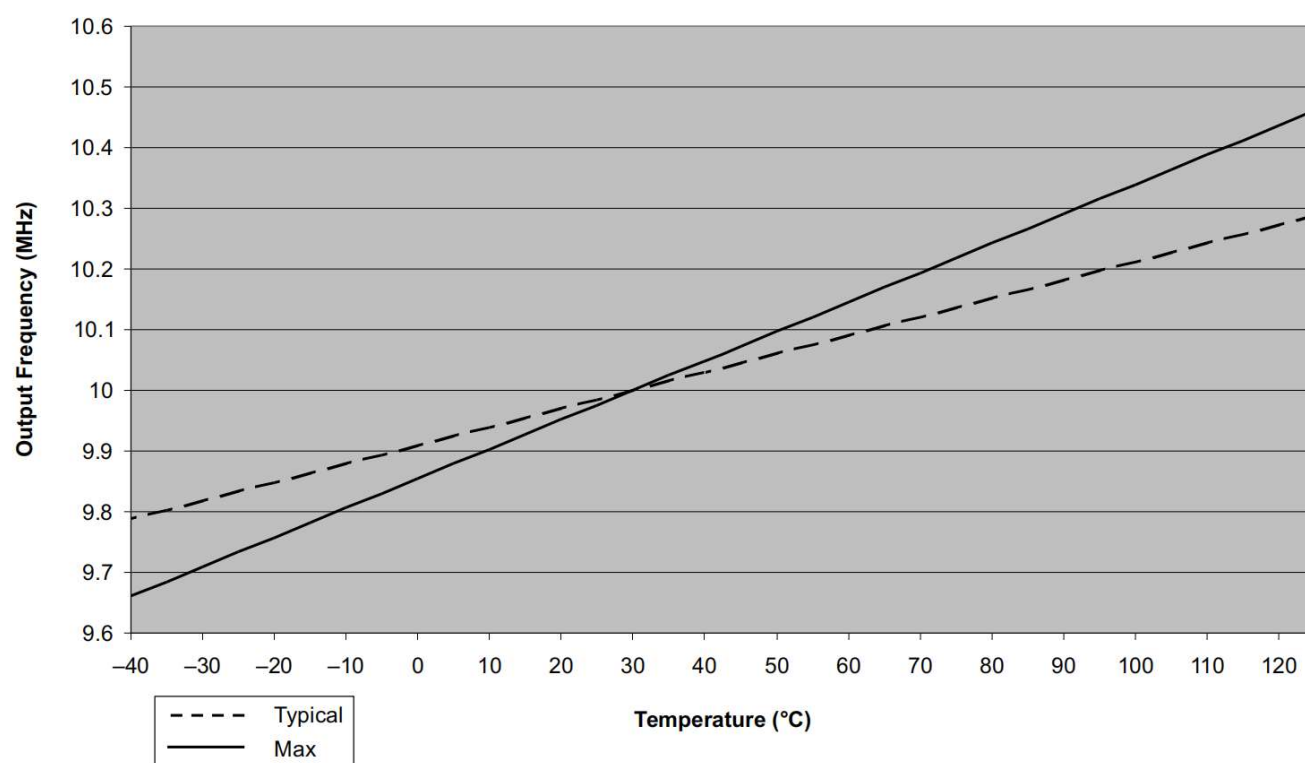


图4-8.零引脚振荡器随温度的频率变化

4.9.2 时钟的要求和特性

4.9.2.1 XCLKIN时序要求--已启用PLL

编号		最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN	6		ns
C10	$t_{r(CI)}$ 上升时间, XCLKIN	6		ns
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	

4.9.2.2 XCLKIN时序要求-PLL已禁用

编号		最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN	高达20MHz	6	ns
		20MHz至90MHz	2	
C10	$t_{r(CI)}$ 上升时间, XCLKIN	高达 20 MHz	6	ns
		20MHz至90MHz	2	
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	

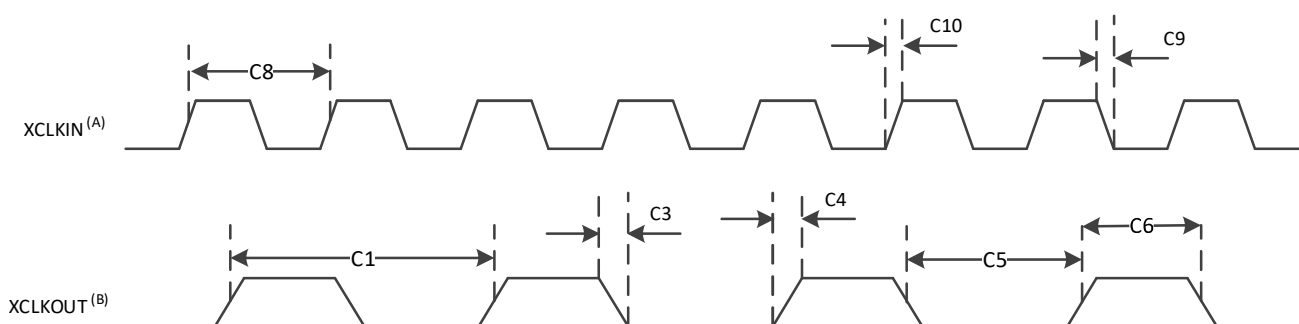
表5-15中显示了可能的配置模式。

4.9.2.3 外部切换特性(旁路或启用PLL)

在推荐的操作条件（除非另有说明）⁽¹⁾⁽²⁾

编号	参数	最小值	最大值	单位
C3	$t_{f(XCO)}$ 下降时间, XCLKOUT	5		ns
C4	$t_{r(XCO)}$ 上升时间, XCLKOUT	5		ns
C5	$t_{w(XCOL)}$ 脉冲持续时间, XCLKOUT低电平	H-2	H+2	ns
C6	$t_{w(XCOH)}$ 脉冲持续时间, XCLKOUT高电平	H-2	H+2	ns

(1) 假设这些参数的负载为40 pF。 (2) $H = 0.5t_c(XCO)$



A. XCLKIN与XCLKOUT之间的关系取决于所选择的分频因子。所示的波形关系仅用于说明时序参数，并且可能因实际配置而有所不同。

B. 将XCLKOUT配置为反映SYSCLKOUT。

4.10 闪存时序参数说明

4.10.1 闪存/OTP耐久性

	擦除/程序温度 ⁽¹⁾	最小值	典型值	最大值	单位
N _f 闪存对于阵列的耐受度（写入/擦除周期）	0°C 至 105°C (环境温度)	20000	50000		周期
N _{OTP} OTP 对于阵列的耐受度（写入周期）	0°C to 30°C (环境温度)			1	写入

1) 未指定在所指示的温度范围之外的写入/擦除操作，并可能影响耐久性数字。

4.10.2 在90mhz系统输出时的闪存参数

参数		测试条件	最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	16位字				50	μs
	16K 扇区			500	2000 ⁽²⁾	ms
	8K扇区			250	2000 ⁽²⁾	ms
	4K扇区			125	2000 ⁽²⁾	ms
擦除时间 ⁽³⁾	16K 扇区			2	15 ⁽²⁾	s
	8K 扇区			2	15 ⁽²⁾	s
	4K扇区			2	15 ⁽²⁾	s
IDDP ⁽⁴⁾	擦除/程序周期内的V _{DD} 电流消耗	VREG 禁用			80	mA
IDDIOP ⁽⁴⁾	擦除/程序周期期间的V _{DDIO} 电流消耗				60	
IDDIOP ⁽⁴⁾	擦除/程序周期期间的V _{DDIO} 电流消耗	VREG 启用			120	mA

(1) 程序时间为最大设备频率。本表中所指示的编程时间仅适用于所有的 所需的代码/数据在设备RAM中可用，随时准备好编程。程序时间包括闪存状态机的开销，

但不包括将以下内容传输到RAM的时间： 使用Flash API编写Flash程序的代码 Flash API本身 要编程的闪存数据

(2) MAX列中提到的参数是用于前100个擦除/程序周期。

(3) 当设备发送时，片上闪存处于擦除状态。因此，在第一次为设备进行编程时，在编程前不需要擦除闪存。但是，对所有后续操作都需要进行擦除操作 编程操作。

(4) 在室温下看到的典型参数，包括函数调用开销，所有外围设备都关闭。在整个闪存编程过程中，保持一个稳定的电源供应是很重要的。可以想象，设备在闪存期间的电流消耗编程值可能高于正常操作条件。使用的电源应确保电源轨道上的V_{MIN} 时间，如数据表推荐操作条件的规定。在擦除/编程过程中的任何停电或电源中断都可能会破坏密码位置并永久锁定设备。不建议通过USB端口为目标板（在闪存编程期间）供电，因为该端口可能无法响应在编程过程中放置的电源需求。

4.10.3 闪存/OTP访问时序

参数	最小值	最大值	单位
$t_{a(fp)}$ 分页Flash访问时间	36		ns
$t_{a(fr)}$ 随机闪存时间	36		ns
$t_{a(OTP)}$ OTP访问时间	60		ns

4.10.4 Flash数据保留持续时间

参数	测试条件	最小值	最大值	单位
$t_{retention}$ 数据保留时间	TJ = 55°C	15		年

表 4-2.不同频率的最低闪存/OTP等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页等待状态 ⁽¹⁾	随机等待状态 ⁽¹⁾	OTP等待状态
90	11.11	3	3	5
80	12.5	2	2	4
70	14.29	2	2	4
60	16.67	2	2	3
55	18.18	1	1	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1

(1) 页面和随机等待状态必须为 ≥ 1 。

表4-2中Flash页面等待状态和随机等待状态的计算公式如下：

闪存页面等待状态 = $\left\lceil \left[\left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right] \right\rceil$ 汇总到下一个最高的整数，或1，以较大者为准

闪存随机等待状态 = $\left\lceil \left[\left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right] \right\rceil$ 汇总到下一个最高整数，或1，以较大者为准

表4-2中OTP等待状态的方程如下：

OTP等待状态 = $\left\lceil \left[\left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right] \right\rceil$ 汇总到下一个最高的整数，或1，以较大者为准

5. 详细说明

5.1 概述

5.1.1 DSP

DSP处理器有一个非常高效的C/C++引擎，使用户不仅能够用高级语言开发他们的系统控制软件，而且还能够使用C/C++开发数学算法。该设备在单片机的数学任务上的效率与在通常由微控制器设备处理的系统控制任务上的效率一样高。这种效率消除了在许多系统中需要第二个处理器。32×32位MAC64位处理能力使控制器能够有效地处理更高的数值分辨率问题。再加上快速中断响应和自动保存关键寄存器的上下文，从而使设备能够以最小的延迟服务许多异步事件。该设备有一个8级深度保护的管道与管道内存访问。这种流水线使它能够高速执行，而不诉诸于昂贵的高速内存。提高特殊性能。

5.1.2 控制律法加速器（CLA）

CLA是一个单精度（32位）浮点单元，它通过添加并行处理，扩展了DSP的能力。CLA是一个独立的处理器，具有自己的总线结构、获取机制和管道。可以指定8个单独的CLA任务或例程。每个任务都由软件或外围设备启动，如ADC、ePWM、eCAP、eQEP或DSP计时器0。CLA在每次完成时只执行一项任务。当一个任务完成时，主DSP通过一个中断通知给PIE，CLA自动开始下一个最高优先级的待定任务。CLA可以直接访问ADC结果寄存器、ePWM+HRPWM、eCAP和eQEP寄存器。专用消息ram提供了一种在主DSP和CLA之间传递额外数据的方法。

5.1.3 Viterbi，复杂数学，CRC单元（VCU）

VCU通过为目标复杂数学、维特比解码和CRC计算添加额外的装配指令，提高了设备的处理能力。VCU指令加速了许多应用程序，包括以下内容：.用于电力线通信的质数和G3标准中的正交频分复用（OFDM）.短程雷达复杂数学计算.功率计算.存储器和数据通信数据包检查（CRC）

VCU功能包括：.支持循环冗余检查（CRCs）的指令，这是一个多项式代码校验和。- CRC8 - CRC16 - CRC32.支持维特比解码器的灵活软件实现的指令 - 针对1/2或1/3的代码速率的分支度量计算 - 比较选择或维特比蝴蝶五个周期 - 每个阶段有三个周期的跟踪工作 - 很容易支持在素数和G3标准中使用的K = 7的约束长度。复数算术单元 - 单循环添加或减法 - 2个循环乘法 - 2循环乘和累积（MAC） - 单循环重复MAC.独立寄存器空间。

5.1.4 内存总线（哈佛总线体系结构）

与许多MCU类型的设备一样，多个总线用于在存储器和外设和DSP之间移动数据。内存总线体系结构包含一个程序读取总线、数据读取总线和数据写总线。该程序读取总线由22条地址线和32条数据线组成。数据读写总线分别由32条地址线和32条数据线组成。32位宽的数据总线支持单个周期的32位操作。多总线架构，通常称为哈佛总线，使处理器能够在一个周期内获取指令、读取数据值和写入数据值。连接到内存总线的所有外设和内存都会优先考虑内存访问。通常，内存总线访问的优先级可以概括如下：

最高值：	数据写入 程序写入 数据读取	(在内存总线上不能同时发生数据和程序写入操作。) (在内存总线上不能同时发生数据和程序写入操作。)
	程序读取	(内存总线上不能同时读取和读取)
最低值：	取指令	(内存总线上不能同时读取和读取)

5.1.5 外围总线

为了使外设能够在设备之间迁移，这些设备采用外围总线标准进行外围互连。外围总线桥将构成处理器内存总线的各种总线复用成由16条地址线、16或32条数据线和相关控制信号组成的单个总线。支持三种版本的外围设备总线。一个版本仅支持16位访问（称为外围帧2）。另一个版本同时支持16位和32位访问（称为外围帧1）。

5.1.6 实时JTAG和分析

该设备实现了标准IEEE 1149.1（IEEE标准1149.1-1990标准测试访问端口和边界扫描架构）JTAG接口，用于基于电路的调试。基于电路内调试的接口。此外，该设备支持实时操作模式，允许在处理器运行和执行代码和服务中断时修改内存、外设和寄存器位置的内容。用户还可以通过非时间关键代码，同时在不受干扰的情况下实现对时间关键中断的服务。该设备在DSP内的硬件中实现了实时模式。这是处理器所独有的功能，不需要软件监视器。此外，还提供了特殊的分析硬件，允许设置硬件断点或数据/地址监视点，并在发生匹配时生成各种用户可选择的中断事件。

5.1.7 闪存

FDM320R069设备包含128K×16的嵌入式闪存，分为8个16K×16扇区。所有设备还包含一个1K×16的OTP内存，地址范围为0x3D7800到0x3D7BF9。用户可以单独删除、编程和验证闪存扇区，同时保留其他扇区。但是，不可能使用闪存或OTP的一个扇区来执行擦除或编程其他扇区的闪存算法。提供了特殊的内存流水线，使闪存模块能够实现更高的性能。FLASH/OTP被映射到程序和数据空间；因此，它可以用于执行代码或存储数据信息。地址0x3F7FF0到0x3F7FF5是为数据变量保留的，不应包含程序代码。

5.1.8 M0、M1SRAM

所有设备都包含这两个单存取内存块，每个内存大小为1K×16。堆栈指针指向复位时方块M1的开始。M0和M1块，就像DSP设备上的所有其他内存块一样，被映射到程序和数据空间。因此，用户可以使用M0和M1来执行代码或执行数据变量。该分区将在链接器中执行。DSP设备向程序员提供了一个统一的内存映射。这使得在高级语言中进行编程变得更加容易。

5.1.9 L4 SRAM, 以及L0、L1、L2、L3、L5、L6、L7和L8 DPSRAMs

该设备包含多达48K×16的单访问RAM。要确定给定设备的确切大小, 请参见节5.2中特定于设备的内存映射图。这个块被映射到程序和数据空间。L0的大小是2K。L1和L2各大小为1K。L3是4K的大小的。L4、L5、L6、L7和L8各为8K大小。L0、L1和L2与CLA共享, CLA可以使用这些块作为其数据空间。L3与CLA共享, 后者可以使用这个块作为其程序空间。L5、L6、L7和L8与DMA共享, 后者可以使用这些块作为其数据空间。DPSRAM是指这些块的双端口配置。

5.1.10 启动ROM

引导ROM程序会采样启动模式信号, 告诉引导加载程序软件在开机时使用什么启动模式。用户可以选择正常引导或从外部连接下载新软件, 或选择在内部Flash/ ROM中编程的引导软件。Boot ROM还包含标准的表, 如SIN/COS波形, 用于与数学相关的算法。

表 5-1.启动模式的选择

模式	GPIO37/TDO	GPIO34/COMP2OUT/COMP3OUT	TRST	模式
3	1	1	0	GetMode
2	1	0	0	等待
1	0	1	0	SCI
0	0	0	0	并行 IO
EMU	x	x	1	Debug Boot

5.1.10.1 Debug Boot

当连接调试探头时, GPIO37/TDO引脚不能用于引导方式选择。在这种情况下, 引导ROM检测到调试探测器已连接, 并使用PIE向量表中两个保留的SRAM位置的内容来确定引导模式。如果任一个位置的内容无效, 则使用“等待启动”选项。所有的引导模式选项都可以在调试引导中被访问。

5.1.10.2 GetMode

选项的默认行为是引导到Flash。通过对OTP中的两个位置进行编程, 可以将此行为更改为另一个引导选项。如果任何一个OTP位置的内容无效, 则使用引导到Flash。可以指定以下加载器之一: SCI、SPI、I2C、CAN或OTP。

5.1.10.3 引导加载程序使用的外围设备引脚

表5-2显示了每个外围引导加载程序使用哪些GPIO引脚。请参阅GPIO MUX表, 以查看这些冲突是否与您希望在应用程序中使用的任何外设发生冲突。

表 5-2.外围设备引导加载引脚

引导加载	加载引脚
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
Parallel Boot	Data (GPIO31,30,5:0) DSP Control (AIO6) Host Control (AIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) <u>SPICLKA</u> (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO28) SCLA (GPIO29)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)

5.1.11 安全

这些设备支持高水平的安全性，以保护用户固件不被逆向工程。该安全功能是一个128位的密码（硬编码为16个等待状态），用户将其编程到FLASH闪存中。一个代码安全模块（CSM）用于保护FLASH/OTP和L0/L1 SRAM块。该安全特性可以防止未经授权的用户通过JTAG端口检查内存内容，或者试图引导加载一些将导出安全内存内容的不良软件。要启用对安全块的访问，用户必须编写正确的128位键值，它与存储在Flash中密码位置的值相匹配。

除了CSM之外，还实现了调试代码安全逻辑（ECSL），以防止未经授权的用户逐步通过安全代码。当调试接口连接时，对CSM安全内存的任何代码或数据访问都将断开ECSL并断开调试接口连接。为了允许调试安全代码，在维护CSM对安全内存读取的保护时，用户必须将正确的值写入KEY寄存器的下64位（KEY0-KEY3），这与存储在Flash中密码位置的下64位的值相匹配。仍然必须执行对闪存中所有128位密码的虚拟读取。如果密码位置的下64位（PWL0-PWL3）都是一个（未编程），则KEY值不需要匹配。在安全代码的调试期间，可以进行像单步进这样的操作。但是，在CCS窗口中看不到安全内存的实际内容。

当将电源应用到连接到JTAG调试探测器的安全设备时，DSP将开始执行并可能执行访问受保护区域的指令。如果发生这种情况，ECSL将会跳闸，并导致JTAG电路被停用。在这种情况下，主机（如运行CCS或Flash编程软件的计算机）将无法与该设备建立连接。

5.1.12 外设中断扩展（PIE）块

PIE块用于将多个中断源复用到一个更小的中断输入集中。PIE块最多可支持96个外围设备中断。在该器件上，96个可能的中断中的72个被外围设备使用。96个中断被分组为8个块，每一组被输入到12个DSP中断行中的1个（INT1到INT12）。96个中断中的每一个都由存储在专用RAM块中的自己的向量支持，用户可以覆盖。向量由DSP自动获取。需要8个DSP时钟周期来获取矢量和保存关键的DSP寄存器。因此，DSP可以快速响应中断事件。中断的优先级是由硬件和软件来控制的。每个单独的中断都可以在PIE块内启用或禁用。

5.1.13 外部中断（XINT1至XINT3）

这些设备支持三个屏蔽的外部中断（XINT1-XINT3）。可以选择负、正或负和正边触发，也可以启用或禁用。这些中断还包含一个16位自由运行的上行计数器，当检测到一个有效的中断边缘时，它将被复位为零。这个计数器可以用来准确地打时间戳的中断。外部中断没有专用的引脚。XINT1、XINT2和XINT3中断可以接受来自GPIO0-GPIO31引脚的输入。

5.1.14 内部零引脚振荡器、振荡器和PLL

该设备可以由两个内部零引脚振荡器中的任何一个，一个外部振荡器，或通过连接在芯片上振荡器电路上的晶体进行时钟。提供了一个支持多达16个输入时钟的比率。PLL比率可以在软件中动态更改，使用户能够在需要较低的功率操作时降低工作频率。PLL块可以设置为旁路模式。第二个PLL（PLL2）提供HRCAP模块。

5.1.15 监视器

每个设备都包含两个看门狗：监视核心的DSP看门狗和作为一个丢失的时钟检测电路的NMI看门狗。用户软件必须在一定的时间范围内定期复位DSP监视器计数器；否则，DSP监视器将产生对处理器的复位。如果有必要，可以禁用DSP监视器。NMI看门狗只在时钟故障的情况下进行工作，并可以产生中断或设备复位。

5.1.16 外设时钟

每个外围设备的时钟可以启用或禁用，以减少功耗。此外，系统时钟到串行端口（I2C除外）可以相对于DSP时钟进行缩放。

5.1.17 低功耗模式

这些设备都是全静态的CMOS设备。提供了三种低功率模式：

- 空闲：将DSP置于低功耗模式下。外围时钟可以被选择性地只关闭 那些在空闲期间必须工作的外围设备可以正常工作。从一个活动的外围设备启用的中断或看门狗计时器将把处理器从空闲模式唤醒。
- 待机状态：关闭对DSP和外设的时钟。这种模式使振荡器和PLL保持功能。一个外部中断事件将唤醒处理器和外设。在检测到中断事件后的下一个有效周期中开始执行
- HALT:这种模式基本上关闭设备，并把它在最低的功率- 消费模式。如果使用内部的零引脚振荡器作为时钟源，则使用 默认情况下，HALT模式会关闭它们。为了防止这些振荡器关闭，所以可以使用CLKCTL寄存器中的INTOSCnHALTI位。因此，零引脚振荡器可用于在此模式下时钟DSP看门狗。如果使用片上晶体振荡器作为时钟源，则在此模式下关闭。复位或外部信号（通过GPIOA pin)或DSP看门狗可以唤醒设备从这个模式。

在尝试使DSP设备进入HALT或待机状态之前，DSP时钟（OSCCLK）和看门狗时钟源应来自同一时钟源。

5.1.18 外设帧0、1、2、3（PFn）

该设备将外围设备分为四个部分。外围设备的映射如下：

PF0:

- PIE:中断启用和控制寄存器加上PIE向量表
- FLASH:闪存等待状态寄存器
- Timers: DSP-计时器0、1、2个寄存器
- CSM:代码安全模块KEY寄存器
- ADC:ADC结果寄存器
- CLA:控制率加速寄存器和消息寄存器

PF1:

- GPIO: GPIO MUX配置和控制寄存器
- eCAN:增强的控制区域网络配置和控制寄存器

PF2:

- SYS:系统控制寄存器
- SCI: 串行通信接口（SCI）控制和RX/TX寄存器
- SPI: 串口接口（SPI）控制和RX/TX寄存器
- ADC: ADC状态、控制寄存器和配置寄存器
- I2C: 内部集成电路模块和寄存器
- XINT: 外部中断寄存器

PF3:

- McBSP: 多通道缓冲串口寄存器
- ePWM: 增强脉冲宽调制器模块和寄存器
- eCAP:增强的捕获模块和寄存器
- eQEP:增强型正交编码器脉冲模块和寄存器
- Comparators:比较器模块

5.1.19 通用输入/输出（GPIO）多路复用器

大多数外围信号与通用的输入/输出（GPIO）信号进行多路复用。这使得用户如果不使用外围信号或功能，就可以使用一个引脚作为GPIO。在复位时，GPIO引脚被配置为输入端。用户可以单独编程的每个引脚为GPIO模式或外围信号模式。对于特定的输入，用户还可以选择输入确认周期的次数。这是为了过滤不必要的噪声故障。GPIO信号也可以用来使设备脱离特定的低功耗模式。

5.1.20 32位DSP定时器（0、1、2）

DSP计时器0、1和2是相同的32位计时器，具有可预设的周期和16位时钟预缩放。计时器有一个32位的计数寄存器，当计数器达到零时，它会产生一个中断。计数器以DSP时钟速度除以预前值设置递减。当计数器达到零时，它将自动重新加载一个32位的周期值。

DSP-计时器0是一般使用的，并连接到PIE块。DSP-Timer 1也是一般使用的，可以连接到DSP的INT13。DSP-计时器2是为SYS/BIOS保留的。DSP-定时器2已连接到DSP的INT14。如果不使用SYS/BIOS，DSP-Timer 2可以一般使用。DSP-计时器2可以由以下任何一个时钟：

系统故障排除（默认值）

内部零引脚振荡器1（INTOSC1）

内部零引脚振荡器2（INTSOC2）

外部时钟源

5.1.21 控制外围设备

这些设备支持以下用于嵌入式控制和通信的外围设备：

- **ePWM：**增强型PWM外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的PWM生成，可调节死区生成。一些PWM引脚支持HRPWM高分辨率占空比和周期特性。CPU器件上的类型1模块也支持增加的死区分辨率、增强型片上系统(SOC)和中断生成、和包括基于比较器输出的触发功能的高级触发。
- **eCAP：**这个增强型捕捉外设使用一个32位时基并在连续/单次捕捉模式中记录多达四个可编程事件。
这个外设也可被配置为生成一个辅助PWM信号。
- **EQEP：**增强型QEP外设使用一个32位位置计数器，使用捕捉单元和一个32位单元定时器分别支持低速测量和高速测量。这个外设有一个安全装置定时器来检测电机停转和输入错误检测逻辑电路来识别QEP信号中的同步边沿转换。
- **ADC：**ADC块是一个12位转换器。ADC有多达16个单端频道固定出来，这取决于设备。ADC还包含两个同时采样的采样和保持单元。
- **Comparator：**每个比较器块由一个模拟比较器和一个内部的10位元组成 用来提供比较器的一个输入的参考。
- **HRCAP：**这个高分辨率捕捉外设通过一个为HCCAPCLK计时的16位计数器运行在正常捕捉模式或者通过采用与一个TI提供的校准库协同工作的内置校准逻辑运行在高分辨率捕捉模式下。

5.1.22 串行端口外围设备

这些设备支持以下串行通信外设：

- **SPI**：SPI是一个高速、同步的串行I/O端口，允许编程长度（1到16位）的串行位流在a上移出设备 可编程位传输速率。通常，SPI用于单片机与外部外围设备或其他处理器之间的通信。典型的应用程序包括 外部I/O或外围扩展通过设备，如移位寄存器，显示器 驱动程序，和adc。主从通信支持多设备通信 SPI的操作。SPI包含一个4级接收和传输FIFO，以减少中断服务开销。
- **SCI**：串行通信接口是一个2线异步串口，通常称为UART。SCI包含一个4级接收和传输FIFO来减少中断服务开销。
- **I2C**：集成电路（I2C）模块提供单片机之间的接口 其他设备符合飞利浦半导体集成电路总线（I2C总线®）规范版本2.1，并通过I2c总线连接。外部组件 连接到这个2线串行总线可以传输/接收多达8位的数据到或从 单片机通过I2C模块。I2C包含一个4级接收和发送FIFO，用于减少中断服务开销。
- **eCAN**：这是CAN外设的增强版本。eCAN支持32个邮箱， 消息的时间戳，并符合ISO 11898-1（CAN 2.0B）。
- **McBSP**：多通道缓冲串口（McBSP）连接到E1/T1线路，电话质量 用于调制解调器应用程序或高质量的立体声音频DAC设备的编解码器。DMA支持McBSP接收和传输寄存器，以显著减少 维护此外围设备的开销。每个McBSP模块都可以根据需要配置为一个SPI。

5.2 内存映射

	数据空间	程序空间	
0x00 0000	M0 向量内存（如果 VMAP = 0，则启用）		
0x00 0040	M0 SRAM (1Kx 16, 0-等待)		
0x00 0400	M1 SRAM (1Kx 16, 0-等待)		
0x00 0800	外设块 0	保留	
0x00 0D00			PIE Vector - RAM (256x 16) (Enabled if VMAP = 1, ENPIE = 1)
0x00 0E00			外设块 0
0x00 1400			CLA 寄存器
0x00 1480			CLA到CPU 消息内存
0x00 1500			CPU到CLA 消息内存
0x00 1580	保留		
0x00 2000	保留		
0x00 4000	USB 控制寄存器 ⁽⁴⁾		保留
0x00 5000	外设块3 (4Kx16, 受保护) DMA-可访问		
0x00 6000	外设块 1 (4K x 16 受保护)		
0x00 7000	外设块 2 (4K x 16 受保护)		
0x00 8000	L0 DPSRAM (2K x 16) (0-等待, 安全区+ ECSL, CLA数据RAM2)		
0x00 8800	L1 DPSRAM (1K x 16) (0-等待, 安全区+ ECSL, CLA数据RAM 0)		
0x00 8C00	L2 DPSRAM (1K x 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)		
0x00 9000	L3 DPSRAM (4K x 16) (0-等待, 安全区+ ECSL, CLA程序RAM)		
0x00 A000	L4 SRAM (8K x 16) (0-等待, 安全区+ ECSL)		
0x00 C000	L5 DPSRAM (8K x 16) (0-等待, DMA RAM 0)		
0x00 E000	L6 DPSRAM (8K x 16) (0-等待, DMA RAM 1)		
0x01 0000	L7 DPSRAM (8K x 16) (0-等待, DMA RAM 2)		
0x01 2000	L8 DPSRAM (8Kx 16) (0-等待, DMA RAM 3)		
0x01 4000	保留		
0x3D 7800	用户OTP (1K 16, 安全区+ ECSL)		
0x3D 7BFA	保留		
0x3D 7C80	校正数据		
0x3D 7CC0	Get_mode函数		
0x3D 7CD0	保留		
0x3D 7E80	PARTID		
0x3D 7E82	校正数据		
0x3D 7EB0	保留		
0x3D 8000	FLASH (128Kx16,8扇区, 安全区+ ECSL)		
0x3F 7FF8	128位密码		
0x3F 8000	FAST、SpinTAC和IQmath库 (16Kx 16,0-等待状态)		
0x3F F3B0	Boot ROM (16Kx 16,0-等待状态)		
0x3F FFC0	CPU向量表 (32个向量, 如果为VMAP=1, 则启用)		

图 5-1. 内存映射

表5-2中的Flash扇区的地址:

地址范围	程序和数据空间
0x3D 8000 to 0x3D BFFF	扇区 H (16K x 16)
0x3D C000 to 0x3D FFFF	扇区 G (16K x 16)
0x3E 0000 to 0x3E 3FFF	扇区 F (16K x 16)
0x3E 4000 to 0x3E 7FFF	扇区 E (16K x 16)
0x3E 8000 to 0x3E BFFF	扇区 D (16K x 16)
0x3E C000 to 0x3E FFFF	扇区 C (16K x 16)
0x3F 0000 to 0x3F 3FFF	扇区 B (16K x 16)
0x3F 4000 to 0x3F 7FF5	扇区 A (16K x 16)
0x3F 7FF6 to 0x3F 7FF7	启动到闪存的入口点（此处为程序分支指令）安全密码（128位）（不要编程到所有的零）
0x3F 7FF8 to 0x3F 7FFF	

外围帧1和外围帧2被分组在一起，以使这些块能够被写/读取外围块保护。受保护模式可确保对这些块的所有访问都按写入方式进行。由于管道的原因，在DSP的内存总线上，一个写入和读取将以相反的顺序出现在不同的内存总线上。这可能会在某些外围应用程序中导致问题，用户希望首先进行写入（如写入的）。DSP支持块保护模式，这种模式可以保护内存区域，以便操作在写入时发生（代价是添加额外的周期用于对齐操作）。此模式是可编程的，并且在默认情况下，它可以保护选定的区域。在表5-3中列出了内存映射区域中各种空间的等待状态。

表5-3.等待状态

区域 (AREA)	等待状态 (DSP)	注释
M0 和 M1 SRAMS	0 - 等待	固定的
外设帧 0	0 - 等待	
外设帧 1	0 - 等待（写入） 2 - 等待（读取）	周期可以通过外围设备生成的准备就绪来扩展。对外围帧1寄存器的背靠背写入操作将导致1周期中断（1周期延迟）。
外设帧 2	0 - 等待（写入） 2 - 写入（读取）	固定的 周期不可由外设扩展。
外设帧 3	0 - 等待（写入） 2 - 等待（读取）	假设DSP和CLA/DMA周期之间没有冲突。等待状态可以通过外围设备生成的准备就绪来进行扩展。
L0-L8 SRAM	0 - 等待数据和程序	假定没有 DSP 冲突
OTP	可编程 1 - 等待最小	通过Flash寄存器进行编程。 1 - 等待是等待状态所允许的最小值。
FLASH	可编程 0- 页式等待最小值 1 -随机等待最小值 随机等待≥页式等待	通过Flash寄存器进行编程
闪存密码	16- 等待固定	密码位置的等待状态是固定的。
引导 - ROM	0 - 等待	

5.3 外设帧 0, 1, 2, 3 (PFn)

这些设备包含四个外围寄存器空间。这些空格的分类如下：

PF0：这些外设被直接映射到DSP内存总线，该总线支持16位和32位的访问。参照表5-4。

PF1：这些外围设备被映射到32位外围设备总线。参照表5-5.

PF2：这些外围设备被映射到16位外围设备总线。参照表5-6.

PF3：这些外围设备被映射到32位外围设备总线。参照表5-7.

表5-4.外围帧0寄存器

名称	地址范围	大小(x16)	受保护的 EALLOW ⁽²⁾
器件仿真寄存器	0x00 0880 to 0x00 0984	261	支持
系统功率控制寄存器	0x00 0985 to 0x00 0987	3	支持
闪存寄存器 ⁽³⁾	0x00 0A80 to 0x00 0ADF	96	支持
代码安全模块寄存器	0x00 0AE0 to 0x00 0AEF	16	支持
ADC 寄存器 (0 等待只读)	0x00 0B00 to 0x00 0B0F	16	否
DSP - 定时器 0/1/2 寄存器	0x00 0C00 to 0x00 0C3F	64	否
PIE 寄存器	0x00 0CE0 to 0x00 0CFF	32	否
PIE 矢量表	0x00 0D00 to 0x00 0DFF	256	支持
DMA寄存器	0x00 1000 to 0x00 11FF	512	支持
CLA 寄存器	0x00 1400 to 0x00 147F	128	支持
CLA 到DSP 消息 RAM (DSP 写入被忽略)	0x00 1480 to 0x00 14FF	128	不适用
DSP 到CLA 消息 RAM (CLA 写入被忽略)	0x00 1500 to 0x00 157F	128	不适用

(1) 在帧 0 中的寄存器支持 16 位和 32 位访问。

(2) 如果寄存器受EALLOW保护，则在执行EALLOW指令之前不能执行写入。EDIS指令 禁用写入功能，以防止丢失的代码或指针损坏寄存器内容。

(3) Flash寄存器也受到代码安全模块 (CSM) 的保护。

表5-5. 外设帧1 寄存器

名称	地址范围	大小 (x 16)	受EALLOW 保护
eCAN-A 寄存器	0x00 6000 to 0x00 61FF	512	(1)
HRCAP1寄存器	0x00 6AC0 to 0x00 6ADF	32	(1)
HRCAP2寄存器	0x00 6AE0 to 0x00 6AFF	32	(1)
HRCAP3寄存器	0x00 6C80 to 0x00 6C9F	32	(1)
HRCAP4寄存器	0x00 6CA0 to 0x00 6CBF	32	(1)
GPIO寄存器	0x00 6F80 to 0x00 6FFF	128	(1)

1. 有些寄存器受到EALLOW的保护。

表5-6. 外设帧2 寄存器

名称	地址范围	大小 (x 16)	受EALLOW 保护
系统控制寄存器	0x00 7010 to 0x00 702F	32	支持
SPI-A 寄存器	0x00 7040 to 0x00 704F	16	否
SCI-A 寄存器	0x00 7050 to 0x00 705F	16	否
NMI 看门狗中断寄存器	0x00 7060 to 0x00 706F	16	支持
外部中断寄存器	0x00 7070 to 0x00 707F	16	支持
ADC 寄存器	0x00 7100 to 0x00 717F	128	(1)
SPI-B 寄存器	0x00 7740 to 0x00 774F	16	否
SCI-B寄存器	0x00 7750 to 0x00 775F	16	否
I2C-A 寄存器	0x00 7900 to 0x00 793F	64	(1)

(1) 有些寄存器受到EALLOW的保护。

表5-7. 外设帧3 寄存器

名称	地址范围	大小 (x 16)	受EALLOW 保护
USB0寄存器	0x00 4000 to 0x00 4FFF	4096	No
McBSP-A 寄存器	0x00 5000 to 0x00 503F	64	No
比较器 1 寄存器	0x00 6400 to 0x00 641F	32	(1)
比较器 2 寄存器	0x00 6420 to 0x00 643F	32	(1)
比较器 3 寄存器	0x00 6440 to 0x00 645F	32	(1)
ePWM1 + HRPWM1 寄存器	0x00 6800 to 0x00 683F	64	(1)
ePWM2 + HRPWM2 寄存器	0x00 6840 to 0x00 687F	64	(1)
ePWM3 + HRPWM3 寄存器	0x00 6880 to 0x00 68BF	64	(1)
ePWM4 + HRPWM4 寄存器	0x00 68C0 to 0x00 68FF	64	(1)
ePWM5 + HRPWM5 寄存器	0x00 6900 to 0x00 693F	64	(1)
ePWM6 + HRPWM6 寄存器	0x00 6940 to 0x00 697F	64	(1)
ePWM7 + HRPWM7 寄存器	0x00 6980 to 0x00 69BF	64	(1)
ePWM8 + HRPWM8寄存器	0x00 69C0 to 0x00 69FF	64	(1)
eCAP1寄存器	0x00 6A00 to 0x00 6A1F	32	No
eCAP2寄存器	0x00 6A20 to 0x00 6A3F	32	No
eCAP3寄存器	0x00 6A40 to 0x00 6A57	32	No
eQEP1寄存器	0x00 6B00 to 0x00 6B3F	64	(1)
eQEP2寄存器	0x00 6B40 to 0x00 6B7F	64	(1)

(1) 有些寄存器受到EALLOW的保护。

5.4 器件仿真寄存器

这些寄存器用于控制DSP的保护模式，并监控一些关键的设备信号。寄存器在表5-8中定义了。

表 5-8. 设备调试寄存器

名称	地址范围	大小 (×16)	说明	允许保护
DEVICECNF	0x0880–0x0881	2	器件配置寄存器	是
PARTID	0x3D7E80	1	器件ID寄存器 0x009E	否
CLASSID	0x0882	1	类ID寄存器 0x009F	否

5.5 VREG, BOR, POR

虽然核心电路和I/O电路工作在两种不同的电压下，这些设备有一个芯片上的VREG来产生从V_{DDIO}电源的V_{DD}电压。这消除了应用程序板上的第二个外部调节器的成本和空间。此外，内部通电复位（POR）和断电复位（BOR）电路在通电和运行模式期间监控V_{DD}和V_{DDIO}导轨。

5.5.1 芯片VREG

线性调节器从V_{DDIO}电源产生核心电压（V_{DD}）。因此，尽管每个V_{DD}引脚上都需要电容器来稳定产生的电压，但不需要为这些引脚提供电源来操作设备。相反，如果应用程序的是电源或冗余，可以禁用VREG。

5.5.1.1 使用片上的VREG

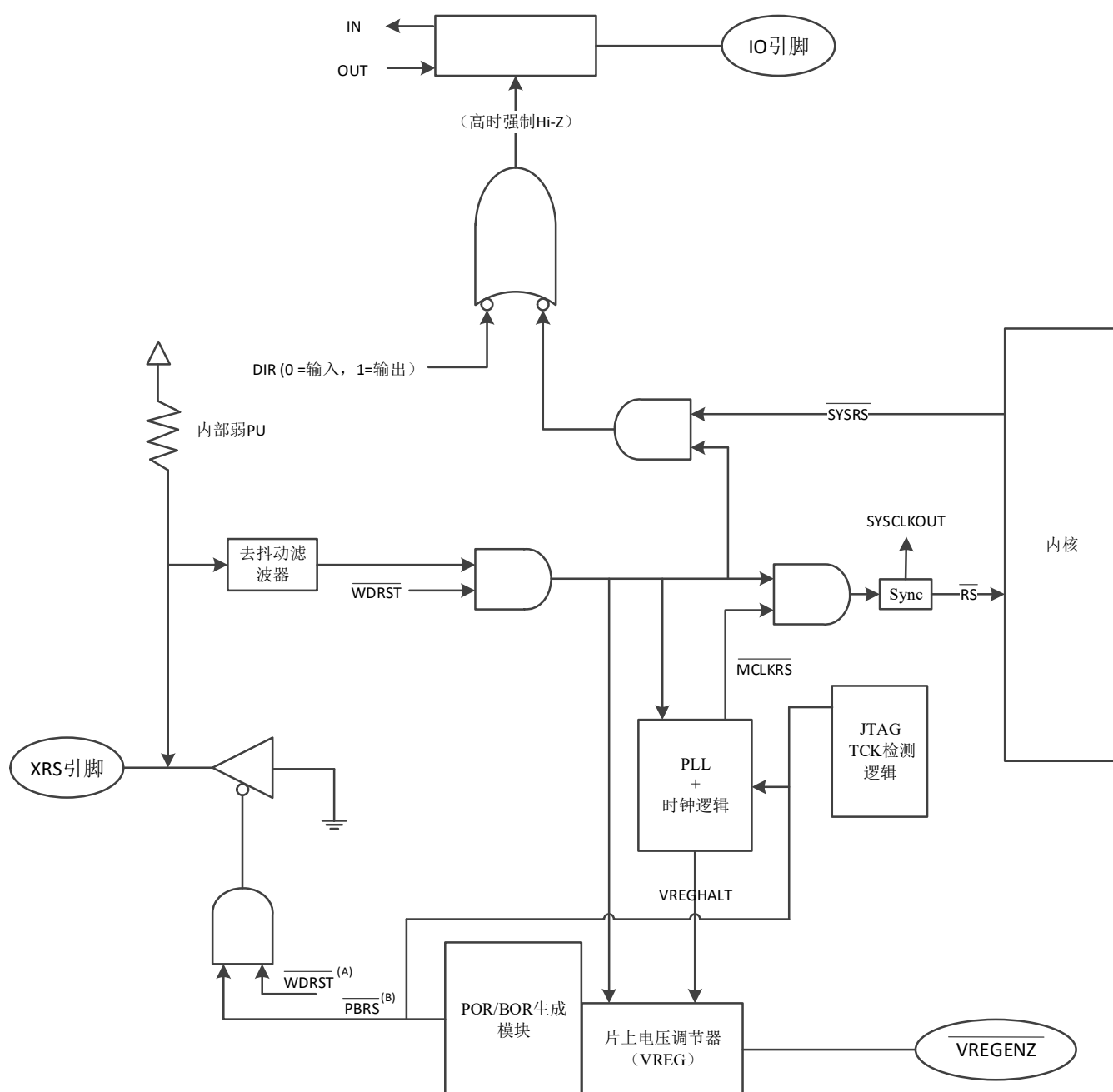
要使用片上VREG，弗雷根兹引脚应低固定，并应向V_{DDIO}和V_{DDA}引脚提供适当的推荐工作电压。在这种情况下，核心逻辑所需的V_{DD}电压将由VREG产生。每个V_{DD}引脚要求1.2μF（最小）电容才能适当调节VREG。这些电容器应尽可能靠近V_{DD}引脚。不支持使用内部VREG驱动外部负载。

5.5.1.2 禁用片上的VREG

为了节省电力，也可以禁用片上的VREG，并使用更有效的外部调节器向V_{DD}引脚提供核心逻辑电压。要启用此选项， $\overline{\text{VREGENZ}}$ 引脚必须连接高电平。

5.5.2 片上电源复位（POR）和掉电复位（BOR）电路

两个片上监控电路，通电复位（POR）和掉电复位（BOR）消除了从应用板上监控V_{DD}和V_{DDIO}电源轨道的负载。POR的目的是在整个通电过程中在整个设备中创建一个干净的复位。跳闸点是一个比BOR更松散、更低的跳闸点，BOR在设备操作期间观察V_{DD}或V_{DDIO}导轨的下降。POR功能一直出现在V_{DD}和V_{DDIO}的电源轨上。在初始设备通电后，BOR功能一直出现在V_{DDIO}上，当内部VREG启用时（ $\overline{\text{VREGENZ}}$ 引脚连接到低电平）。当其中一个电压低于各自的跳闸点时，这两个功能将XRS引脚固定在低。V_{DD} BOR和过电压跳闸点超出了推荐的工作电压。无法确保正确的设备操作。如果应用涉及的过电压或过电压条件影响系统，应增加外部电压监视器。图5-9显示了VREG、POR和BOR。在BORCFG寄存器中有一位可实现同时禁用V_{DD}和V_{DDIO} BOR 功能。



A. $\overline{WDRST}$ 是来自cpu监督的复位信号。

B. $\overline{PBRS}$ 是来自POR/BOR模块的复位信号

图5-2 VREG+POR+BOR+复位信号连接

5.6 系统控制

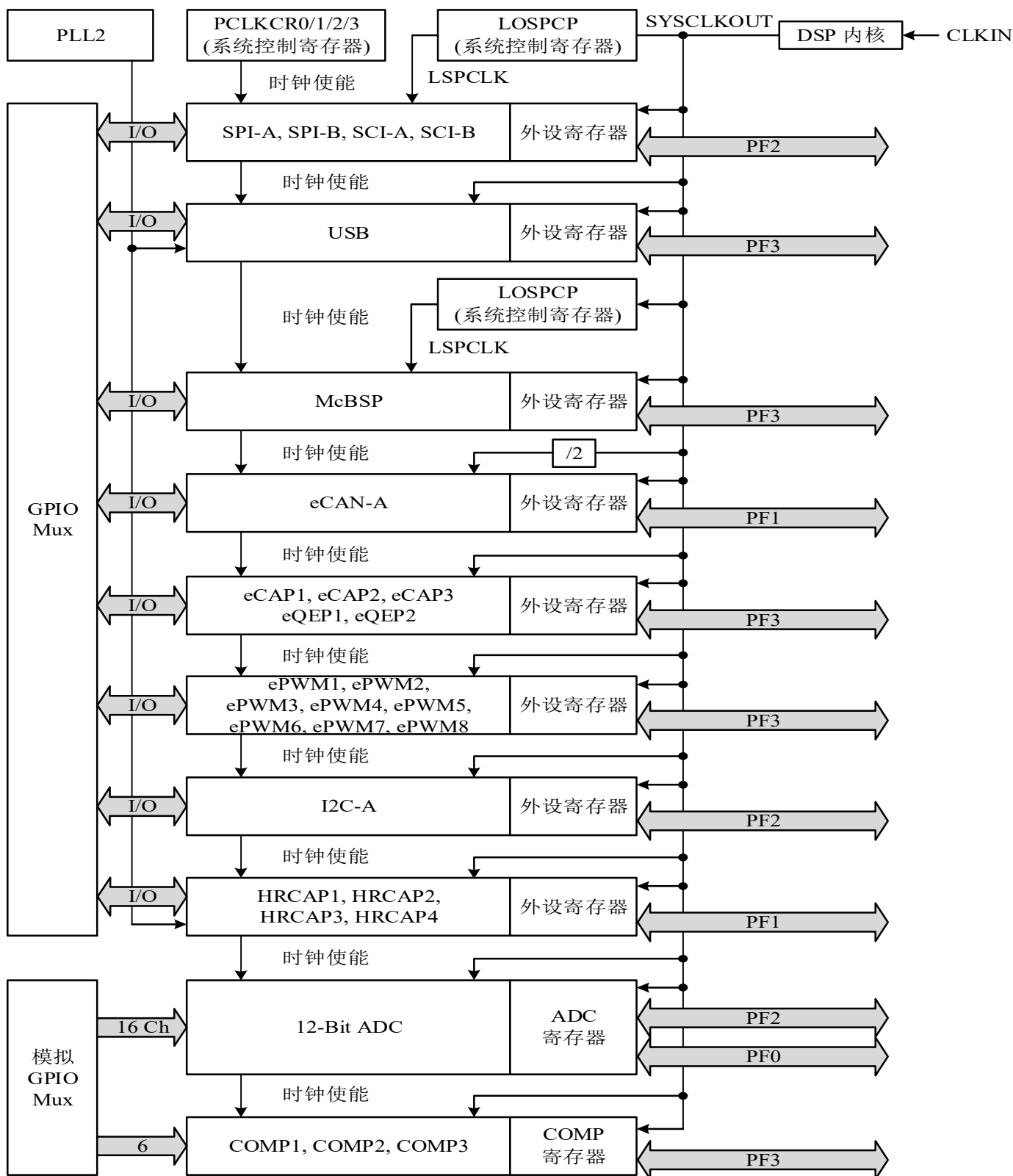
本节介绍了振荡器和时钟机制、看门狗的功能和低功耗模式。

表 5-9.PLL，时钟，看门狗，和低功耗模式寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
BORCFG	0x00 0985	1	BOR 配置寄存器
XCLK	0x00 7010	1	XCLKOUT 控制
PLLSTS	0x00 7011	1	PLL 状态寄存器
CLKCTL	0x00 7012	1	时钟控制寄存器
PLLLOCKPRD	0x00 7013	1	PLL 锁周期
INTOSC1TRIM	0x00 7014	1	内部振荡器 1 调整寄存器
INTOSC2TRIM	0x00 7016	1	内部振荡器 2 调整寄存器
PCLKCR2	0x00 7019	1	低速外设时钟预分频寄存器
LOSPCP	0x00 701B	1	外设时钟控制寄存器 0
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 1
PCLKCR1	0x00 701D	1	低功耗模式控制寄存器 0
LPMCR0	0x00 701E	1	外设时钟控制寄存器 3
PCLKCR3	0x00 7020	1	PLL 控制寄存器
PLLCR	0x00 7021	1	系统控制与状态寄存器
SCSR	0x00 7022	1	安全装置计数器寄存器
WDCNTR	0x00 7023	1	安全装置复位密钥寄存器
WDKEY	0x00 7025	1	监视器复位密钥寄存器
WDCR	0x00 7029	1	监视器控制寄存器
JTAGDEBUG	0x00 702A	1	JTAG端口调试寄存器
PLL2CTL	0x00 7030	1	PLL2配置寄存器
PLL2MULT	0x00 7032	1	PLL2乘法寄存器
PLL2STS	0x00 7034	1	PLL2锁定状态寄存器
SYSCLK2CNTR	0x00 7036	1	SYSCLK2时钟计数器寄存器
EPWMCFG	0x00 703A	1	ePWM DMA/CLA配置寄存器

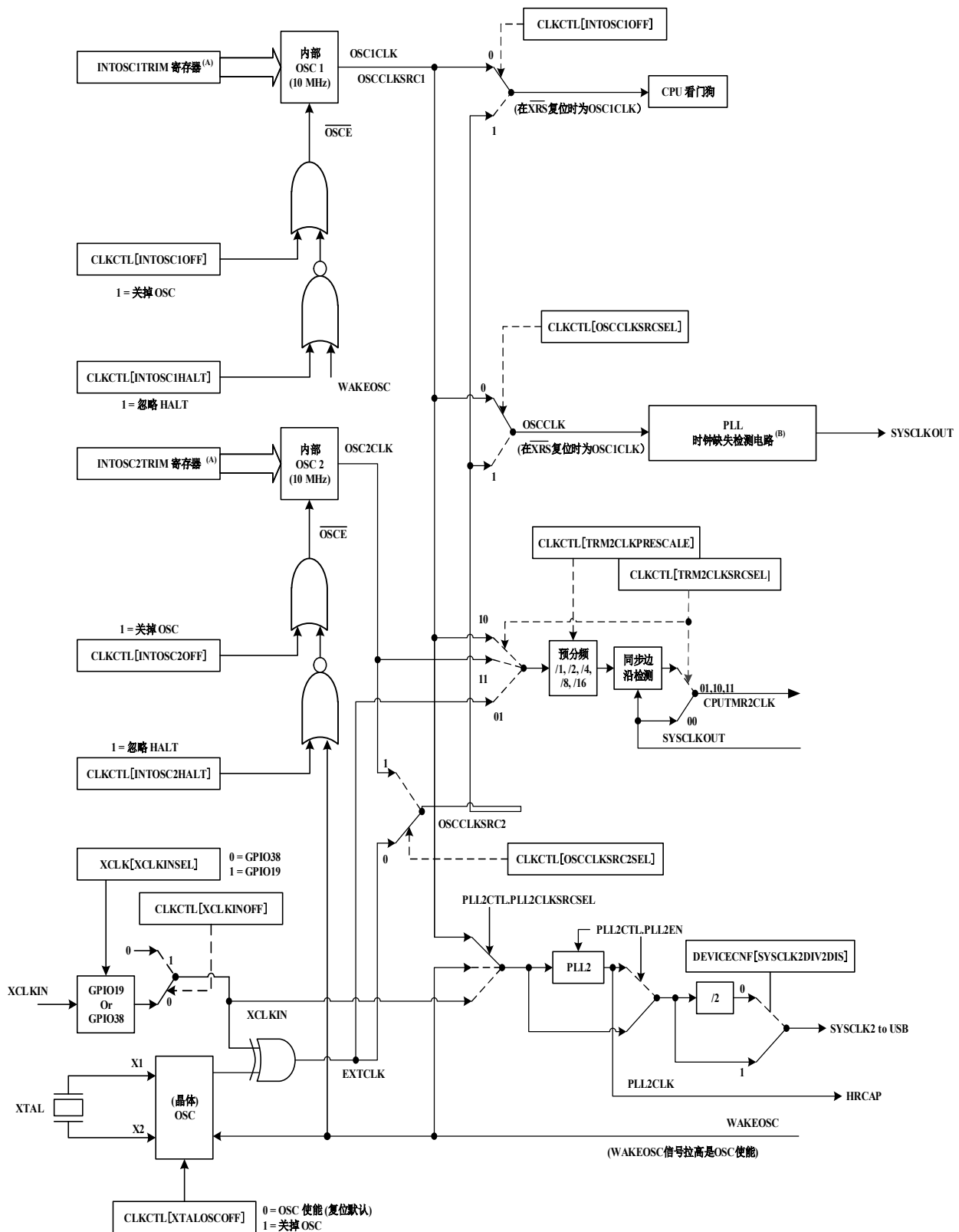
(1)此表中的所有寄存器都受到EALLOW的保护。

图5-10显示了所讨论的各种时钟域。图5-11显示了可为设备操作提供时钟的各种时钟源（包括内部和外部）。



A. CLKIN是进入DSP的时钟。CLKIN以系统输出的形式流出DSP（即，CLKIN与系统输出的频率相同）。

图 5-10.时钟和复位域



(1) 基于otp的校准功能加载的寄存器。B.关于缺失时钟检测的详细信息，请参见节5.6.5。

图 5-11.时钟树

5.6.1 内部零引脚振荡器

该器件包含两个独立的内部零引脚振荡器。默认情况下，两个振荡器在通电时都打开，内部振荡器1是默认的时钟源。为了节省电力，用户可以关闭未使用的振荡器的电源。这些振荡器的中心频率由它们各自的振荡器修剪寄存器决定，作为引导ROM执行的一部分，在校准例程中写入。有关这些振荡器的更多信息，请参见节5.9。

5.6.2 晶体振荡器选项

片上晶体振荡器X1和X2引脚是1.8V电平信号，永远不能有3.3V电平信号。如果要使用系统3.3-V外部振荡器作为时钟源，它应该只连接到XCLKIN引脚。X1引脚不用作单端时钟输入，它应该与X2和晶体一起使用。

外部石英晶体的典型规格列于表5-12。此外，ESR范围为 $30\sim 150\Omega$ 。

表 5-12.外部石英晶体的典型规格

频率 (MHz)	R_d (Ω)	$CL1$ (pF)	$CL2$ (pF)
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

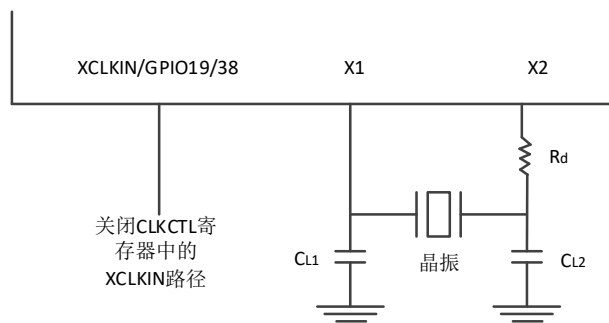


图 5-12.使用片上的晶体振荡器

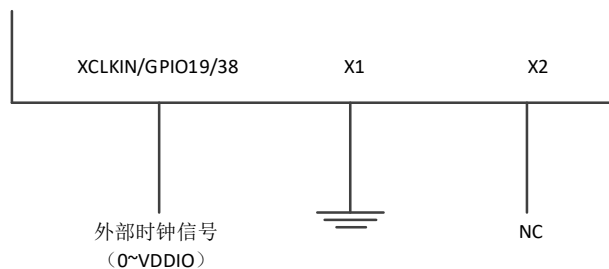


图 5-13.使用一个3.3-V的外部振荡器

5.6.3 基于PLL的时钟模块

这些设备有一个芯片上的、基于PLL的时钟模块。该模块为设备提供所有必要的时钟信号，以及对低功耗模式进入的控制。PLL有一个5位比率控制PLLCR[DIV]来选择不同的DSP时钟速率。在写入PLLCR寄存器之前，应该禁用监视门模块。在PLL模块稳定后，看门狗模块可以重新启用（如果需要），这需要1ms。输入时钟和PLLCR[DIV]位的选择应使PLL（VCOCLK）的输出频率至少为50 MHz。

表 5-13.PLL设置

PLLCR值(2) (3)	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL] = 0或1 ⁽¹⁾	PLLSTS[DIVSEL] = 2	PLLSTS[DIVSEL] = 3
00000 (PLL bypass)	OSCCLK/4 (Default) ⁽²⁾	OSCCLK/2	OSCCLK
00001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
00010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
00011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
00100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
00101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
00110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	(OSCCLK * 6)/1
00111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
01000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
01001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
01010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
01011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
01100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1
01101	(OSCCLK * 13)/4	(OSCCLK * 13)/2	(OSCCLK * 13)/1
01110	(OSCCLK * 14)/4	(OSCCLK * 14)/2	(OSCCLK * 14)/1
01111	(OSCCLK * 15)/4	(OSCCLK * 15)/2	(OSCCLK * 15)/1
10000	(OSCCLK * 16)/4	(OSCCLK * 16)/2	(OSCCLK * 16)/1
10001	(OSCCLK * 17)/4	(OSCCLK * 17)/2	(OSCCLK * 17)/1
10010	(OSCCLK * 18)/4	(OSCCLK * 18)/2	(OSCCLK * 18)/1

(1) 默认情况下，PLLSTS[DIVSEL]配置为/4。（引导ROM会将此操作更改为/1。）PLLSTS[DIVSEL]在写入PLLCR之前必须是0，并且只有在PLLSTS[请]=1之后才应该更改。

(2) PLL控制寄存器（PLLCR）和PLL状态寄存器（PLLSTS）仅通过 $\overline{XRS}$ 信号或看门狗复位到默认状态。由调试器发出的复位或丢失的时钟检测逻辑没有作用。

(3) 此寄存器受EALLOW保护。

表 5-14.CLKIN分频选项

PLLSTS [DIVSEL]	CLKIN 分频
0	/4
1	/4
2	/2
3	/1

基于PLL的时钟模块提供了四种操作模式：

- INTOSC1（内部零引脚振荡器1）：这是片上的内部振荡器1。这可以为看门狗、内核和DSP定时器2提供时钟
- INTOSC2（内部零引脚振荡器2）：这是片上的内部振荡器2。这可以为看门狗、内核和DSP定时器2提供时INTOSC1和INTOSC2都可以独立地选择为监视器块、核心和DSP-计时器2。
- 晶体/谐振器操作：芯片上（晶体）振荡器允许使用外部晶体/谐振器连接到该装置上，以提供时间基础。晶体/谐振器连接到X1/X2引脚有些设备可能没有X1/X2引脚。详见节3.2.1。
- 外部时钟源操作：如果不使用芯片上（晶体）振荡器，则此模式允许它被使用 绕过设备时钟由XCLKIN引脚上的外部时钟源输入产生。这个 XCLKIN与GPIO19或GPIO38针多路复用。XCLKIN输入可以选择为GPIO19或 GPIO38通过XCLK寄存器中的重叠位。CLKCTL位禁用此时钟输入（强制低）。

如果没有使用时钟源或各自的引脚被用作GPIOs，用户应该在引导时禁用。在更改时钟源之前，请确保目标时钟存在。如果时钟不存在，则在切换时钟之前必须禁用该时钟源（使用CLKCTL寄存器）。

表 5-15.可能的PLL配置模式

PLL 模式	注释	PLLSTS[DIVSEL]	CLKIN 和 SYSCLKOUT
PLL 关闭	由在PLLSTS寄存器中设置PLLOFF位的用户调用。PLL块在此模式下被禁用。这有助于降低系统噪声和低功率操作。在进入此模式之前，必须首先将PLLCR寄存器设置为0x0000（PLL旁路）。DSP时钟（CLKIN）直接从X1/X2、X1或XCLKIN上的输入时钟中导出。	0, 1	OSCCLK/4
		2	OSCCLK/2
		3	OSCCLK/1
PLL 旁路	PLL旁路是上电或外部复位（XRS）后的默认PLL配置。当PLLCR寄存器设置为0x0000，或在修改PLLCR寄存器后将PLL锁定为一个新的频率时，将选择此模式。在此模式下，PLL被绕过，但是PLL并没有被关闭。	0, 1	OSCCLK/4
		2	OSCCLK/2
		3	OSCCLK/1
PLL 启用	通过向PLLCR寄存器中写入一个非零值n来实现的。上面写入PLLCR时，设备将切换到PLL旁路模式，直到PLL锁定。	0, 1	OSCCLK * n/4
		2	OSCCLK * n/2
		3	OSCCLK * n/1

5.6.4 HRCAP PLL模块（PLL2）

除了主系统PLL之外，这些设备还包含第二个PLL（PLL2），它可用于HRCAP外设。PLL支持1到15的乘数，并且对其输出有一个固定的除以2。通过适当地修改PLL2CTL寄存器中的PLL2CLKSRCSEL位，可以从以下三个源锁定PLL2：

- INTOSC1（内部零引脚振荡器1）：这是片内振荡器1，提供一个10mhz 钟如果用作HRCAP的时钟源，则应经常调用振荡器补偿例程。由于精度的要求，INTOSC1不能用作USB的时钟源。
- 晶体/谐振器操作：（晶体）振荡器允许使用外部晶体或谐振器 连接到设备上，以提供时间基础。晶体或谐振器连接到X1/X2引脚。
- 外部时钟源操作：此模式允许参考时钟从连接到GPIO19或GPIO38的外部单端时钟源派生。XCLK寄存器中的重叠位应适当设置，以使所选GPIO能够驱动XCLKIN。

该器件可以从一个内部零引脚振荡器（INTOSC1/INTOSC2）、芯片上晶体振荡器或一个外部时钟输入进行时钟。无论时钟源如何，在启用PLL和PLL旁路模式下，如果PLL的输入时钟消失，PLL将在其输出处发出一个跛行模式时钟。这种跛行模式时钟继续以1-5MHz的典型频率计时DSP和外围设备。

如果软件不响应时钟故障条件，NMI看门狗在一个预先编程的时间间隔后触发一个复位。图5-14显示了相关的中断机制。

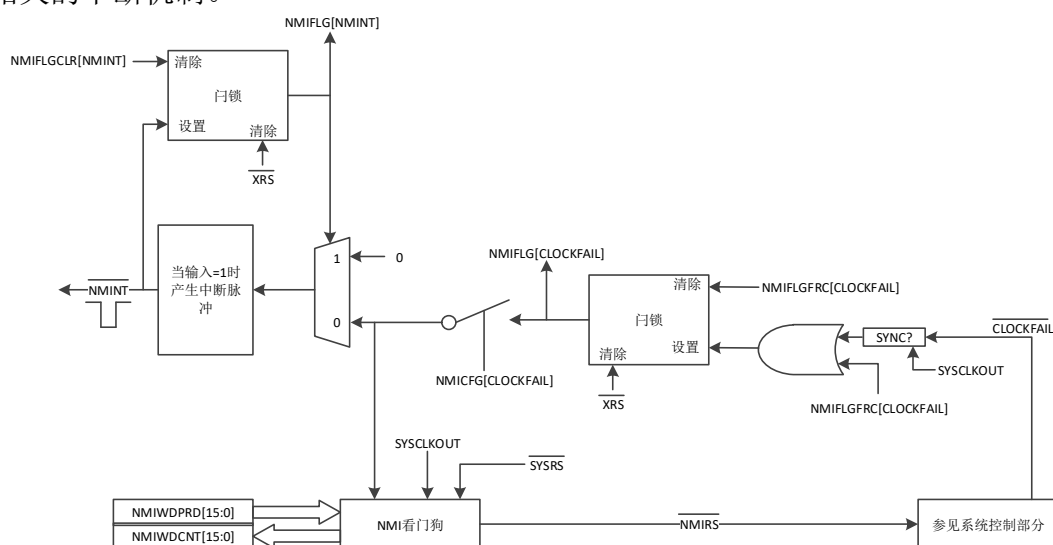


图5-14 NMI 看门狗

5.6.6 DSP看门狗模块

当8位看门器上计数器达到其最大值时，该模块产生一个输出脉冲，512个振荡器时钟宽（OSCCLK）。为了防止这种情况发生，用户必须禁用计数器，或者软件必须定期将一个0x55 + 0xAA序列写入看门狗键寄存器，以复位看门狗计数器。图5-15显示了看门狗模块内的各种功能块。

在正确的DSP工作频率是绝对关键的应用程序中，应该实现一种机制，如果输入时钟发生故障，MCU将产生复位。例如，如果电容器曾经被完全充电，则可以使用一个R-C电路来触发单片机的XRS引脚。输入/输出引脚可用来定期使电容器放电，以防止其充满电。这样的电路也将有助于检测闪存的故障。

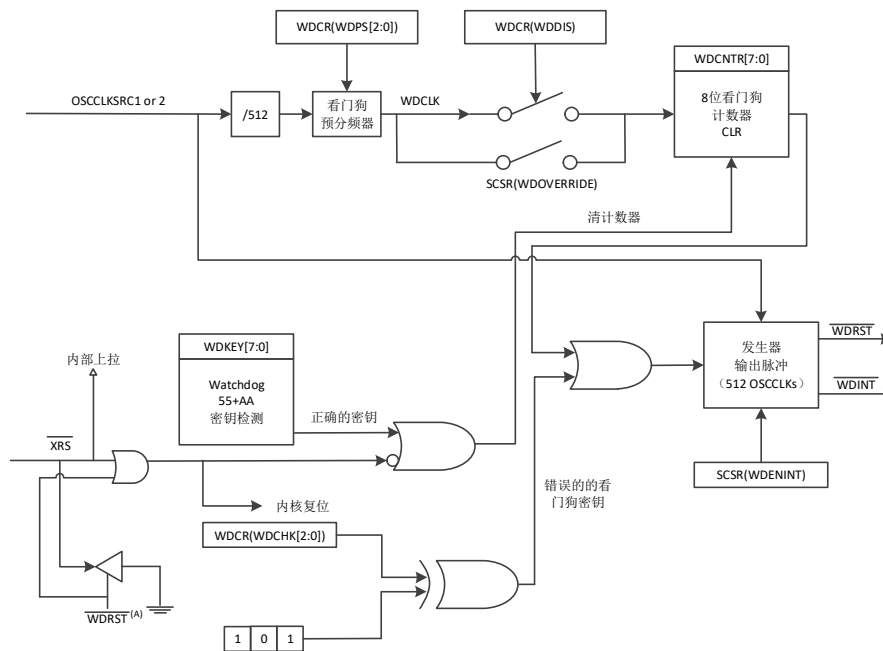


图5-15 CPU看门狗模块

WDINT信号使看门狗成为空闲/待机模式的唤醒。在待机模式下，设备上的所有外设都被关闭。唯一还可以正常工作的外围设备是DSP监视器。此模块将运行于OSCCLK。WDINT信号被输入到LPM块，以便它可以将设备从待机状态唤醒（如果启用）。详情请参见节5.7。在空闲模式下，WDINT信号可以通过位点接口对DSP产生一个中断，使DSP脱离空闲模式。在HALT模式下，DSP监视器可以用来通过设备复位来唤醒设备。

5.7 低功耗模式

表5-14总结了各种模式。

表 5-14. 低功耗模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出 ⁽¹⁾
空闲	00	打开	打开	打开	XRS, DSP安全装置中断, 任一被启用的中断
待机	01	打开 (DSP安全装置仍然运行)	关闭	关闭	XRS, DSP安全装置中断, GPIO端口A信号, 调试器 ⁽²⁾
停机 ⁽³⁾	1X	关闭 (片载振荡器和PLL关闭, 零引脚振荡器和DSP安全装置状态取决于用户代码。)	关闭	关闭	XRS, GPIO端口A信号, 调试器 ⁽²⁾ , DSP安全装置

(1) EXIT列列出了哪些信号或在什么条件下退出低功耗模式。在任何一个信号上的低信号都会退出低功耗状态。这个信号必须保持足够低的时间, 以便设备识别中断。否则, 低功耗模式将不退出, 设备将返回到指示的低功耗模式。

(2) 即使DSP时钟 (CLKIN) 被关闭, JTAG端口仍然可以工作。

(3) WDCLK必须处于激活状态, 设备才能进入HALT模式。

各种低功耗模式的工作方式如下:

- **空闲模式:** 此模式被处理器识别的任何启用中断退出。LPM模块只要LPMCR0 (LPM) 位设置为0,0。
- **待机方式:** 在此模式下就不执行任何任务。任何GPIO端口A信号 (GPIO[31: 0]) 都可以使设备从待机模式中唤醒。用户必须选择哪些信号将在GPIOLMPSEL寄存器中唤醒设备。所选的信号在唤醒设备之前也由OSCCLK进行限定。指定OSCCLK的数量在 LPMCR0寄存器。
- **HALT模式:** DSP看门狗、XRS和任何GPIO端口A信号 (GPIO[31: 0]) 都可以将设备从HALT模式中唤醒。用户在GPIOLMPSEL寄存器中选择信号。

5.8 中断

图5-16展示了各种中断源都是多路复用的。

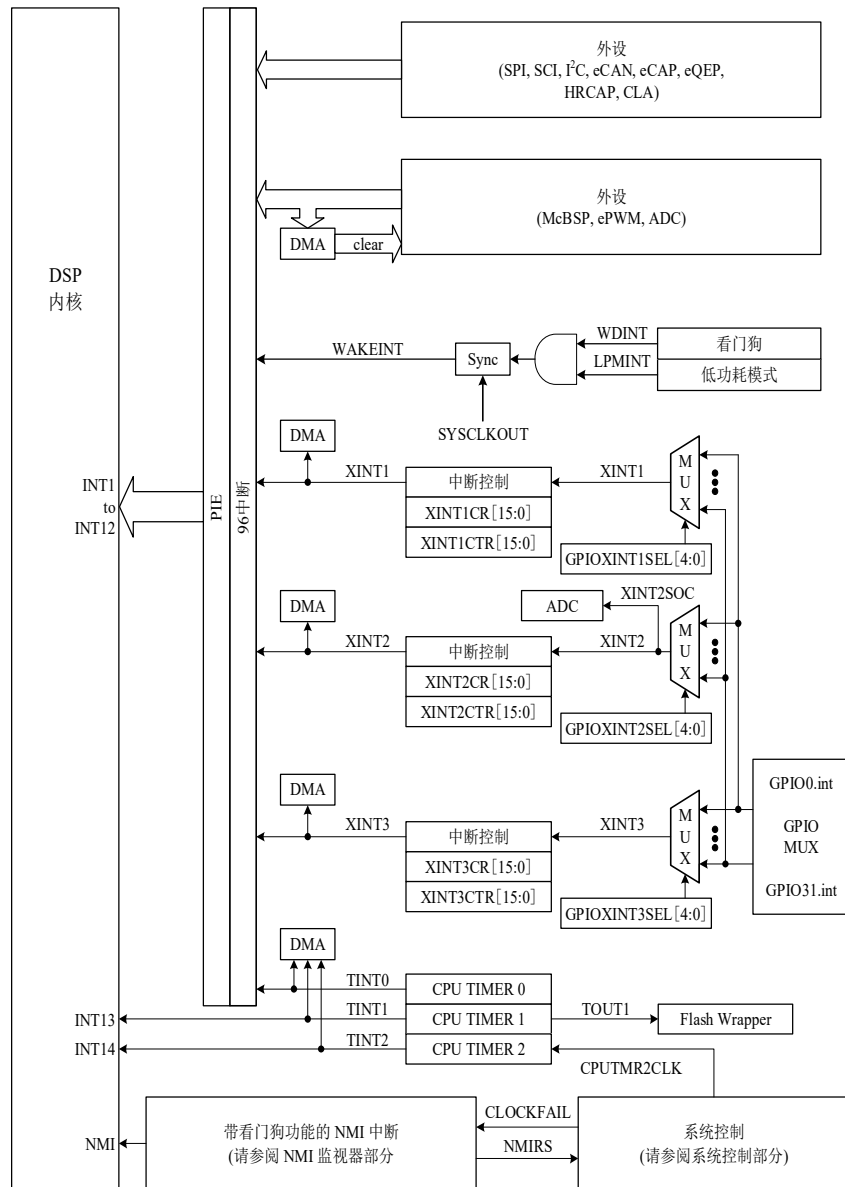


图 5-16. 外部源和PIE中断源

8个PIE块中断被分组为一个DSP中断。总共有12个DSP中断组，每组有8个中断，这等于96个可能的中断。表8-17显示了该器件使用的中断。该指令将程序控制传输到与指定的向量对应的中断服务例程（ISR）。TRAP #0指令试图将程序控制转移到复位向量所指向的地址。但是，PIE向量表不包括复位向量。因此，当启用PIE时，不应该使用TRAP #0指令。这样做将导致未定义的行为。当PIE被启用时，TRAP #1到TRAP #12的指令将把程序控制转移到与PIE组内的第一个向量对应的ISR。例如：TRAP #1指令从INT1.1获取向量，TRAP #2指令从INT2.1获取向量，等等。

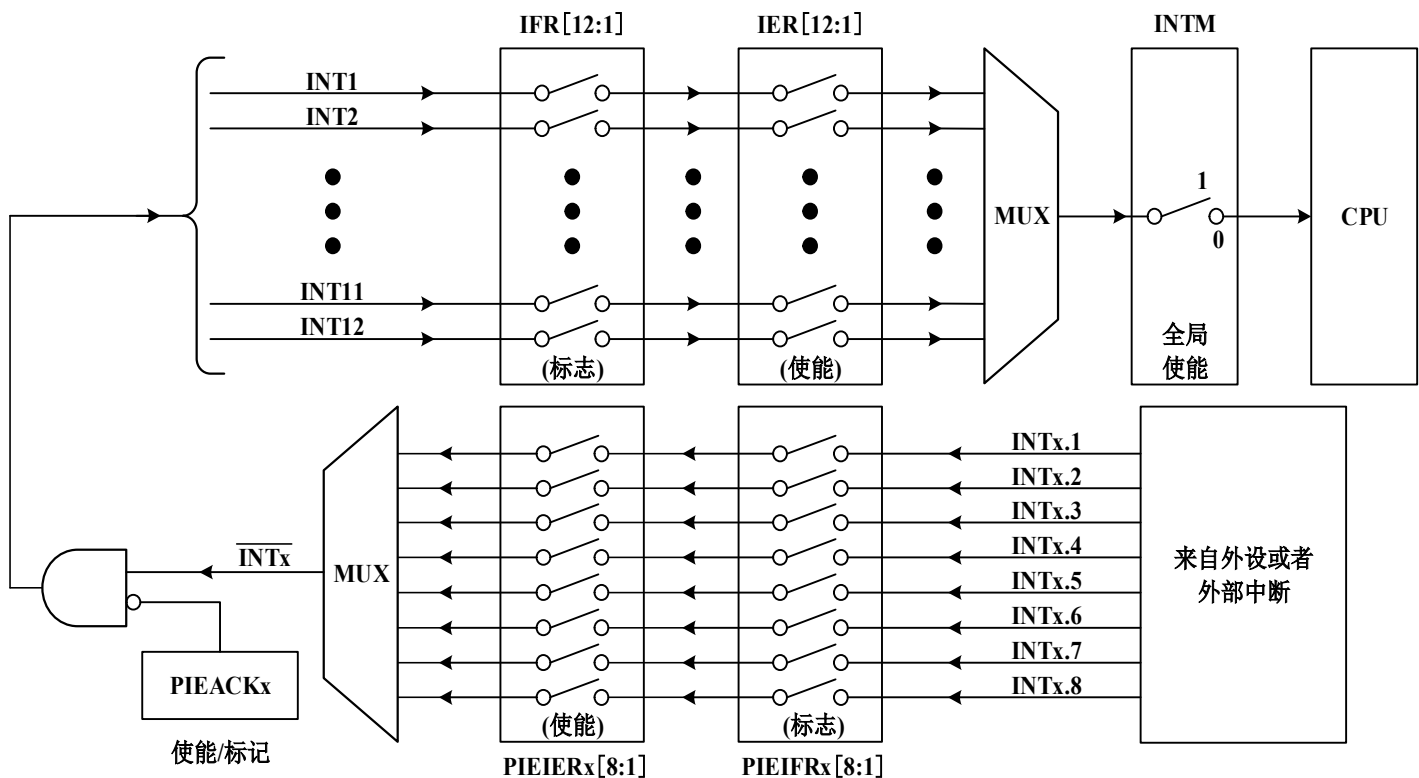


图 5-17. 使用PIE块进行多路复用中断

在96个可能的中断中，有一些中断没有被使用。这些中断将保留给未来的设备。如果这些中断在PIEIFRx级别启用了这些中断，则可以用作软件中断，只要组内的任何中断都没有被外设使用。否则，来自外围设备的中断可能会因为在修改PIEIFR时意外地清除它们的标志而丢失。综上所述，在两种安全的情况下，保留的中断可以用作软件中断：

1. 组内没有任何外围设备在断言中断。
2. 没有为该组分配外围设备中断（例如，PIE组7）。

表5-17. PIE 多路复用的外设中断矢量表⁽¹⁾

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WD) 0xD4E	TINT0 (定时器 0) 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 外部内部2 0xD48	XINT1 外部内部1 0xD46	被保留 - 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	被保留 - 0xD5E	EPWM7_TZINT (ePWM7) 0xD5C	EPWM6_TZINT (ePWM6) 0xD5A	EPWM5_TZINT (ePWM5) 0xD58	EPWM4_TZINT (ePWM4) 0xD56	EPWM3_TZINT (ePWM3) 0xD54	EPWM2_TZINT (ePWM2) 0xD52	EPWM1_TZINT (ePWM1) 0xD50
INT3.y	被保留 - 0xD6E	EPWM7_INT (ePWM7) 0xD6C	EPWM6_INT (ePWM6) 0xD6A	EPWM5_INT (ePWM5) 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	HRCAP2_INT (HRCAP2) 0xD7E	HRCAP1_INT (HRCAP1) 0xD7C	被保留 - 0xD7A	被保留 - 0xD78	被保留 - 0xD76	被保留 - 0xD74	被保留 - 0xD72	ECAP1_INT (eCAP1) 0xD70
INT5.y	被保留 - 0xD8E	被保留 - 0xD8C	被保留 - 0xD8A	被保留 - 0xD88	被保留 - 0xD86	被保留 - 0xD84	被保留 - 0xD82	EQEP1_INT (eQEP1) 0xD80
INT6.y	被保留 - 0xD9E	被保留 - 0xD9C	被保留 - 0xD9A	被保留 - 0xD98	SPITXINTB (SPI-B) 0xD96	SPIRXINTB (SPI-B) 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	被保留 - 0xDAE	被保留 - 0xDAC	被保留 - 0xDAA	被保留 - 0xDA8	被保留 - 0xDA6	被保留 - 0xDA4	被保留 - 0xDA2	被保留 - 0xDA0
INT8.y	被保留 - 0xDBE	被保留 - 0xDBC	被保留 - 0xDBA	被保留 - 0xDB8	被保留 - 0xDB6	被保留 - 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	被保留 - 0xDCE	被保留 - 0xDCC	ECAN1_INTA (CAN-A) 0xDCA	ECAN0_INTA (CAN-A) 0xDC8	LIN1_INTA (LIN-A) 0xDC6	LIN0_INTA (LIN-A) 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 (ADC) 0xDDC	ADCINT6 (ADC) 0xDDA	ADCINT5 (ADC) 0xDD8	ADCINT4 (ADC) 0xDD6	ADCINT3 (ADC) 0xDD4	ADCINT2 (ADC) 0xDD2	ADCINT1 (ADC) 0xDD0
INT11.y	CLA1_INT8 (CLA) 0xDEE	CLA1_INT7 (CLA) 0xDEC	CLA1_INT6 (CLA) 0xDEA	CLA1_INT5 (CLA) 0xDE8	CLA1_INT4 (CLA) 0xDE6	CLA1_INT3 (CLA) 0xDE4	CLA1_INT2 (CLA) 0xDE2	CLA1_INT1 (CLA) 0xDE0
INT12.y	LUF (CLA) 0xDFE	LVF (CLA) 0xDFC	被保留 - 0xDFA	被保留 - 0xDF8	被保留 - 0xDF6	被保留 - 0xDF4	被保留 - 0xDF2	XINT3 外部 内部 3 0xDF0

表5-18. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE, 控制寄存器
PIEACK	0x0CE1	1	PIE, 确认寄存器
PIEIER1	0x0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE, INT12 组标志寄存器
保留	0x0CFA- 0x0CFF	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

5.8.1 外部中断

表5-19. 外部中断寄存器

名称	地址	大小 (x 16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
XINT3CTR	0x00 707A	1	XINT3 计数器寄存器

每个外部中断都可以使用正、负或正负边启用或禁用或限定。

5.8.1.1 外部中断电气数据/时序

5.8.1.1.1 外部中断时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(INT)}$ ⁽²⁾ 脉冲持续时间, INT输入低/高	同步	$1t_{c(SCO)}$		周期
	使用限定符	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 有关输入限定符参数的说明, 请参见节5.9.15.1.2.1。

(2) 此时序适用于任何为ADC SOC功能配置的GPIO引脚。

5.8.1.1.2 外部中断开关特性

超出推荐的操作条件（除非另有说明）⁽¹⁾

参数	最小值	最大值	单位
$t_d(INT)$ 延迟时间, INT低/高到中断向量获取	$t_{w(IQSW)} + 12t_{c(SCO)}$		周期

(1) 有关输入限定符参数的说明, 请参见节5.9.15.1.2.1。

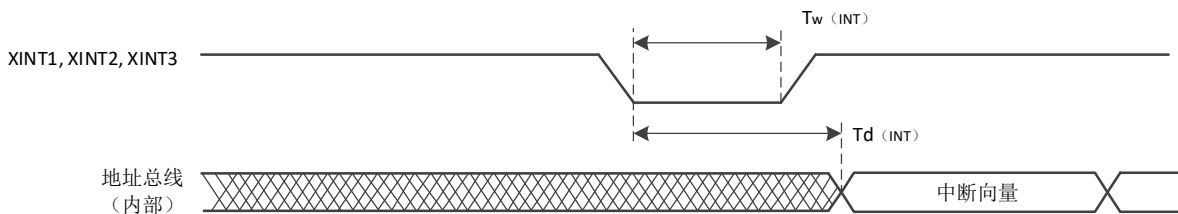


图 5-18.外部中断时间

5.9 外围设备

5.9.1 CLA概述

控制律加速器通过添加并行处理来扩展CPU的功能。CLA处理的时间关键控制环路可实现ADC采样输出延迟。因此，CLA支持更快速的系统响应和可高频率的控制环路。将CLA用于时间关键任务可将CPU解放出来去同时执行其它系统和通信功能。以下是CLA主要特性列表。

- 时钟速率与主 CPU 一致 (SYSCLKOUT)
- 一个独立的架构使得 CLA 能够独立于主 CPU 之外进行算法执行
 - 完整的总线架构：
 - ◆ 程序地址总线和程序数据总线
 - ◆ 数据地址总线、数据读取总线和数据写入总线
 - 独立的8级管道
 - 12位程序计数器 (MPC)
 - 四个32位结果寄存器 (MR0到MR3)
 - 两个16位辅助寄存器 (MAR0、MAR1)
 - 状态寄存器 (MSTF)
- 指令集包括：
 - IEEE单精度 (32位) 浮点数学运算
 - 浮点数学与并行负载或存储
 - 浮点乘以并行加减
 - 1/X和1/sqrt (X)估算值
 - 数据类型转换
 - 条件分支指令和调用
 - 数据载入/存储操作
- CLA 程序代码能够包含多达 8 个任务或者中断处理例程。
 - 每个任务的起始地址均由MVECT寄存器指定。
 - 任务大小没有限制，只要任务适合CLA程序内存空间。
 - 一次完成一个任务以完成。无任务嵌套。
 - 在任务完成后，在PIE中标记一个特定于任务的中断。
 - 当一个任务完成时，下一个最高优先级的未决任务将自动启动。
- 任务触发机制：
 - 借助于IACK 指令的 CPU
 - 任务1到任务7：对应的ADC、ePWM、eQEP或eCAP模块中断。例如：
 - ◆ 任务1：ADCINT1或EPWM1_INT
 - ◆ 任务2：ADCINT2或EPWM2_INT
 - ◆ 任务4：ADCINT4或EPWM4_INT或EQEPx_INT或ECAPx_INT
 - ◆ 任务7：ADCINT7或EPWM7_INT或EQEPx_INT或ECAPx_INT
 - 任务8：ADCINT8或由DSP计时器0或EQEPx_INT或ECAPx_INT。
- 内存和共享外设：
 - 两个专用的消息 RAM，用于CLA和主DSP之间的通信
 - DSP可以将CLA程序和数据存储器映射到主DSP空间或CLA空间。
 - CLA可以直接访问ADC结果寄存器、比较器寄存器以及eCAP、eQEP和ePWM+HRPWM寄存器。

图5-19显示了CLA的方框图。表5-20列出了CLA控制寄存器

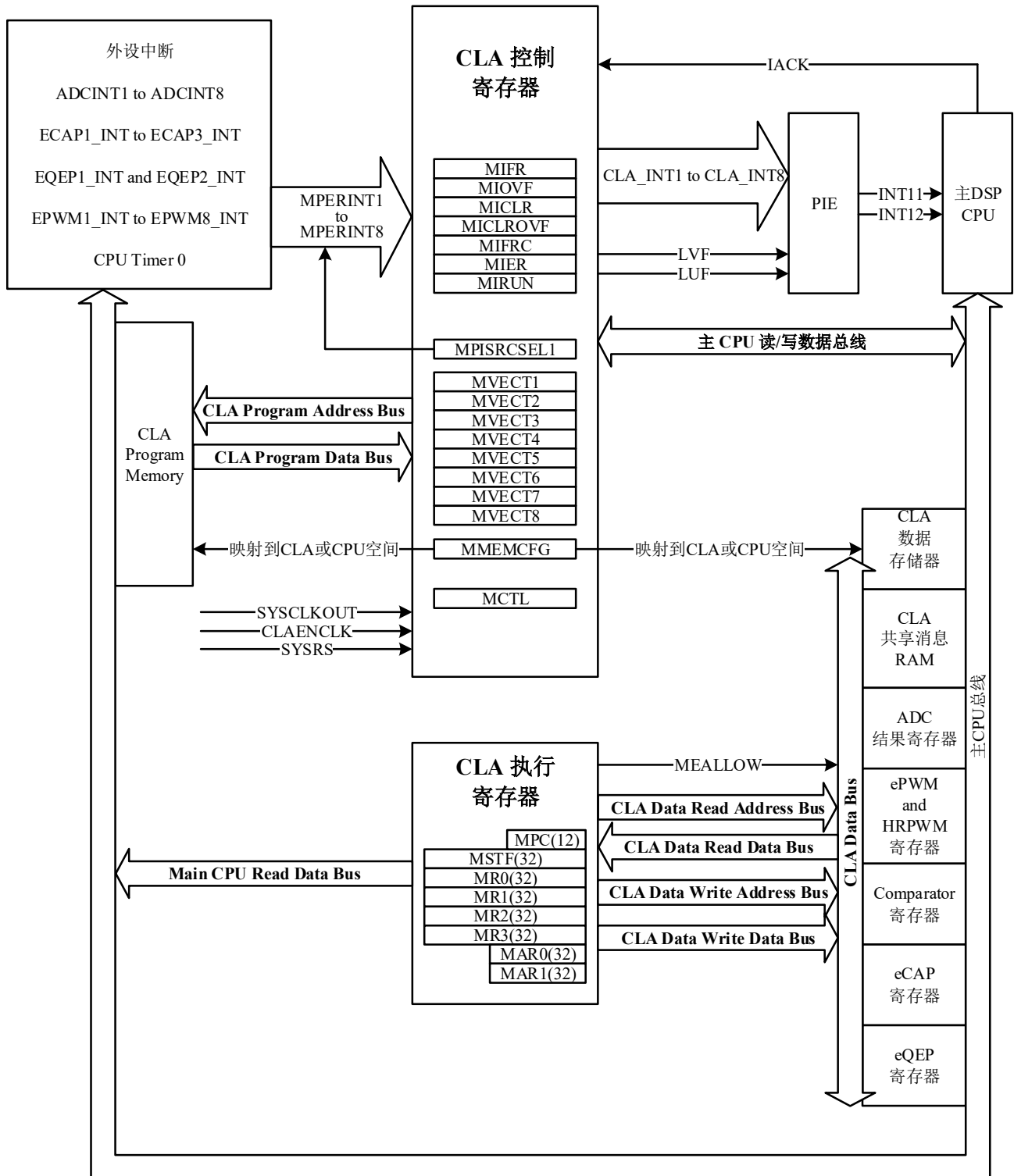


图5-19.CLA方框图

表 5-20. CLA 控制寄存器

寄存器名称	CLA1地址	大小 (x 16)	受EALLOW保护	说明 ⁽¹⁾
MVECT1	0x1400	1	支持	CLA 中断/任务 1 起始地址
MVECT2	0x1401	1	支持	CLA 中断/任务 2 起始地址
MVECT3	0x1402	1	支持	CLA 中断/任务 3 起始地址
MVECT4	0x1403	1	支持	CLA 中断/任务 4 起始地址
MVECT5	0x1404	1	支持	CLA 中断/任务 5 起始地址
MVECT6	0x1405	1	支持	CLA 中断/任务 6 起始地址
MVECT7	0x1406	1	支持	CLA 中断/任务 7 起始地址
MVECT8	0x1407	1	支持	CLA 中断/任务 8 起始地址
MCTL	0x1410	1	支持	CLA 控制寄存器
MMEMCFG	0x1411	1	支持	CLA 内存配置寄存器
MPISRCSEL1	0x1414	2	支持	外设中断源选择寄存器 1
MIFR	0x1420	1	支持	中断标志寄存器
MIOVF	0x1421	1	支持	中断溢出寄存器
MIFRC	0x1422	1	支持	中断强制寄存器
MICLR	0x1423	1	支持	中断清除寄存器
MICLROVF	0x1424	1	支持	中断溢出清除寄存器
MIER	0x1425	1	支持	中断使能寄存器
MIRUN	0x1426	1	支持	中断 RUN（运行）寄存器
MIPCTL	0x1427	1	支持	中断优先级控制寄存器
MPC ⁽²⁾	0x1428	1	-	CLA 程序计数器
MAR0 ⁽²⁾	0x142A	1	-	CLA 辅助寄存器 0
MAR1 ⁽²⁾	0x142B	1	-	CLA 辅助寄存器 1
MSTF ⁽²⁾	0x142E	2	-	CLA STF 寄存器
MR0 ⁽²⁾	0x1430	2	-	CLA R0H 寄存器
MR1 ⁽²⁾	0x1434	2	-	CLA R1H 寄存器
MR2 ⁽²⁾	0x1438	2	-	CLA R2H 寄存器
MR3 ⁽²⁾	0x143C	2	-	CLA R3H 寄存器

(1) 这个表中的所有寄存器是受CSM保护的。

(2) 主 DSP 对于这些寄存器只有用于调试目的的只读权限。主 DSP 不能执行到这个寄存器的 DSP 或者调试器写入。

表 5-21. CLA 消息 RAM

地址范围	大小 (x 16)	说明
0x1480-0x14FF	128	CLA 到DSP 消息 RAM
0x1500-0x157F	128	DSP 到 CLA 消息 RAM

5.9.2 模拟模块

一个被执行的12位ADC内核具有与基于FDM320R069的12位ADC不同的时序。ADC包装程序被修改以包含新的时序以及其它改进以提升转换开始的时序控制性能。

图5-20显示了模拟模块与DSP系统的其余部分的相互作用。

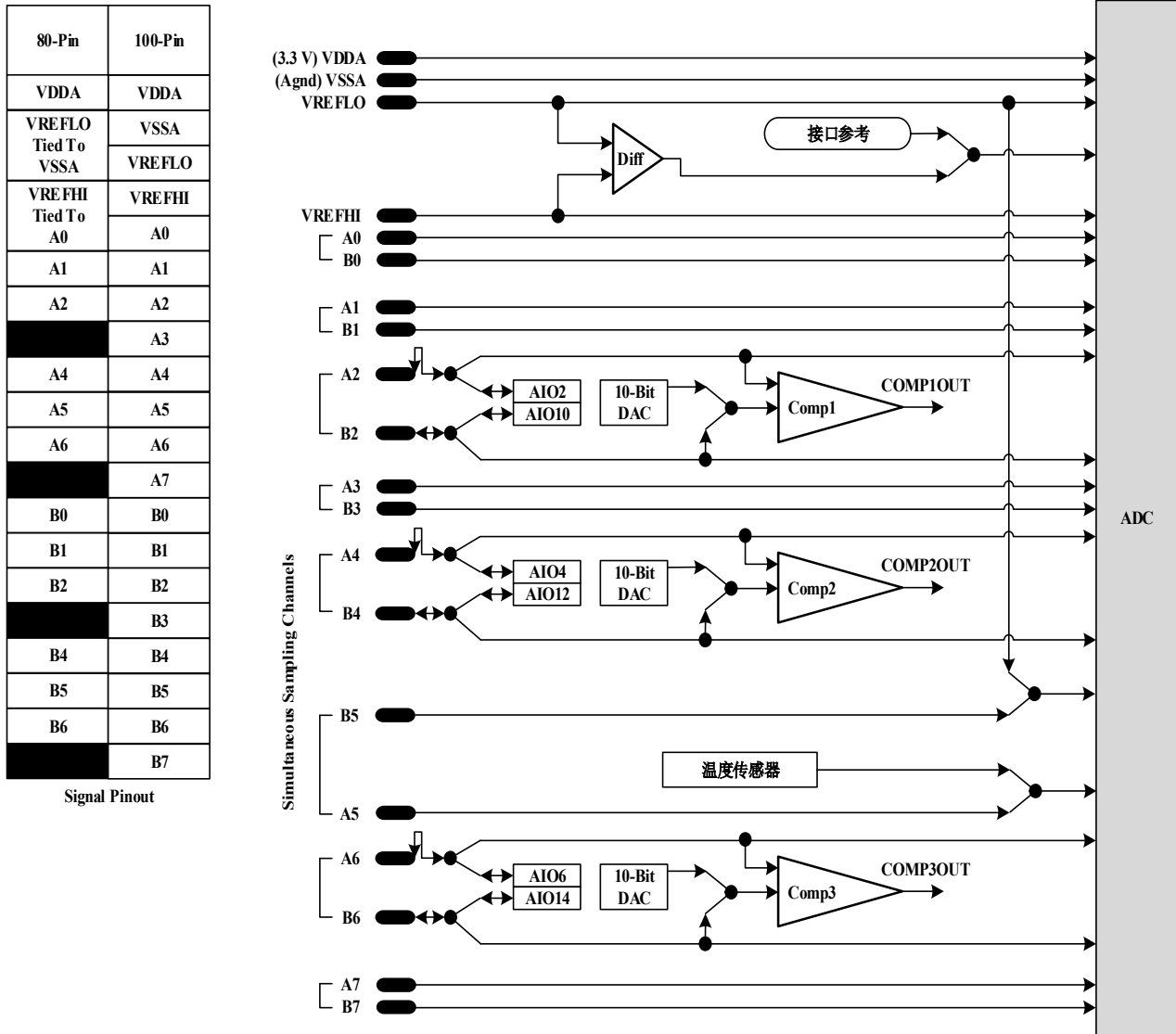


图5-20. 模拟引脚配置

5.9.2.1 模数转换器（ADC）

5.9.2.1.1 功能

ADC的核心包含一个12位转换器馈电的两个采样和保持电路。采样和保持电路可以同时采样或按顺序采样。这些通道依次由总共多达16个模拟输入通道输入。转换器可以配置为运行一个内部带隙参考以创建基于真实电压的转换，或者使用一对外部电压参考（ V_{REFHI}/V_{REFLO} ）来创建基于比率的转换。

与以前的ADC类型相反，这个ADC不是基于排序器的。用户可以轻松地从一个触发器创建一系列转换。然而，操作的基本原理以单个转换的配置为中心，称为SOC，或开始转换。

ADC模块的功能包括：

- 12位ADC，内置双采样和保持功能（S/H）
- 同时采样或顺序采样模式
- 全范围模拟输入：0 V到3.3 V固定，或 V_{REFHI}/V_{REFLO} 比值。输入模拟电压的数字值由以下导出：
 - 内部参考($V_{REFLO} = V_{SSA}$ 。当使用内部或外部参考模式时， V_{REFHI} 不能超过 V_{DDA} 。)
 - ◆ 数字值=0时，输入 ≤ 0 V
 - ◆ 数字值= $4096 \times \frac{\text{输入模拟电压} - V_{REFLO}}{3.3}$ 时， $0 \text{ V} < \text{输入} < 3.3 \text{ V}$
 - ◆ 数字值= 4095，输入 $\geq 3.3 \text{ V}$
 - 外部引用(V_{REFHI}/V_{REFLO} 已连接到外部引用。当使用内部或外部参考模式时， V_{REFHI} 不能超过 V_{DDA} 。)
 - ◆ 数字值=0时，输入 ≤ 0 V
 - ◆ 数字值= $4096 \times \frac{\text{输入模拟电压} - V_{REFLO}}{V_{REFHI} - V_{REFLO}}$ 时， $0 \text{ V} < \text{输入} < V_{REFHI}$
 - ◆ 数字值= 4095，输入 $\geq 3.3 \text{ V}$
- 最多有16个通道，多路复用的输入
- 16个SOC，可配置为触发器、样本窗口和通道
- 16个结果寄存器（可单独寻址），用于存储转换值
- 多个触发器源
 - 软件软件立即启动
 - ePWM 1 -8
 - GPIO XINT2
 - DSP计时器0、DSP计时器1、DSP计时器2
 - ADCINT1, ADCINT2 .
- 9个灵活的PIE中断，可以配置任何转换后的中断请求。

表 5-22.ADC配置和控制寄存器

寄存器名称	地址	大小 (x16)	允许保护	说明
ADCCTL1	0x7100	1	是	控制寄存器1
ADCCTL2	0x7101	1	是	控制寄存器2
ADCINTFLG	0x7104	1	否	中断标志寄存器
ADCINTFLGCLR	0x7105	1	否	中断标志清除寄存器
ADCINTOVF	0x7106	1	否	中断溢出寄存器
ADCINTOVFCLR	0x7107	1	否	中断溢出清除寄存器
INTSEL1N2	0x7108	1	是	中断1和2的选择寄存器
INTSEL3N4	0x7109	1	是	中断3和4的选择寄存器
INTSEL5N6	0x710A	1	是	中断5和6的选择寄存器
INTSEL7N8	0x710B	1	是	中断7和8的选择寄存器
INTSEL9N10	0x710C	1	是	中断9选择寄存器 (保留中断10选择)
SOCPRCTL	0x7110	1	是	SOC优先级控制寄存器
ADCSAMPLEMODE	0x7112	1	是	采样模式寄存器
ADCINTSOCSEL1	0x7114	1	是	中断SOC选择1寄存器 (对于8个通道)
ADCINTSOCSEL2	0x7115	1	是	中断SOC选择2寄存器 (对于8个通道)
ADCSOCFLG1	0x7118	1	否	SOC标志1寄存器(用于16个通道)
ADCSOCFRC1	0x711A	1	否	SOC强制1寄存器 (用于16个通道)
ADCSOCOVF1	0x711C	1	否	SOC溢出1寄存器 (对于16个通道)
ADCSOCOVFCLR1	0x711E	1	否	SOC溢出清除1寄存器 (用于16个通道)
ADCSOC0CTL至 ADCSOC15CTL	0x7120– 0x712F	1	是	SOC0控制寄存器到SOC15控制寄存器
ADCREFTTRIM	0x7140	1	是	参考修剪寄存器
ADCOFFTRIM	0x7141	1	是	偏移调整寄存器
COMPHYSTCTL	0x714C	1	是	比较器滞后控制寄存器
ADCREV	0x714F	1	否	修订版本寄存器

表 5-23.ADC结果寄存器 (已映射到PF0)

寄存器名称	地址	大小(x16)	允许保护	说明
ADCRESULT0至 ADCRESULT15	0xB00至0xB0F	1	否	ADC结果寄存器0到ADC结果寄存器15

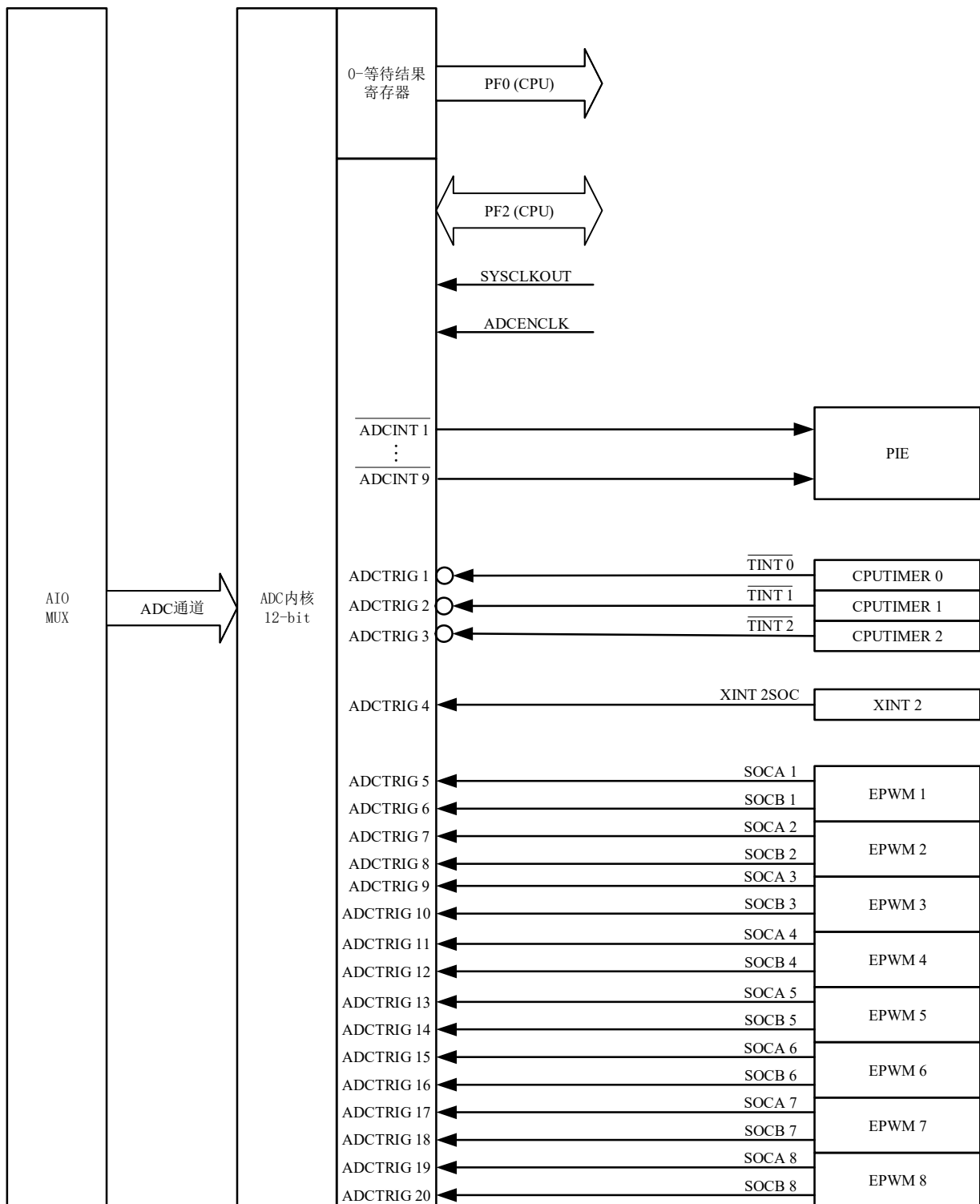


图 5-21. ADC连接

如果ADC不使用，则会使用ADC连接建议保持模拟电源引脚的连接，即使不使用ADC。如果应用程序中没有使用ADC，以下是如何连接的总结：
 V_{DDA} -----连接到 V_{DDIO} 。 V_{SSA} -----连接到 V_{SS} 。 V_{REFLO} -----连接到 V_{SS} 。 $ADCINAn$, $ADCINBn$, V_{REFHI} -连接到 V_{SSA} 当在应用程序中使用ADC模块时，未使用的ADC输入引脚应连接到模拟接地（ V_{SSA} ）。

5.9.2.1.2 ADC开始转换电气数据/时序

5.9.2.1.2.1 外部ADC转换启动开关特性

超出推荐的操作条件（除非另有说明）

参数	最小值	最大值	单位
$t_{w(ADC\text{SOCL})}$ Pulse duration, $\overline{ADC\text{SOCxO}}$ low	$32t_{c(HCO)}$		周期



图 5-22. ADCSOCxO或ADCSOCBO时间

5.9.2.1.3 片上模数转换器（ADC）电气数据/时序

5.9.2.1.3.1 ADC电气特性

参数		最小值	典型值	最大值	单位
直流规格					
分辨率		12			位
ADC时钟	90-MHz device	0.001		45	MHz
示例窗口		7		64	ADC 时钟
精度					
INL（积分非线性） ⁽¹⁾		-4		4	LSB
DNL（微分非线性），无缺失代码		-1		1.5	LSB
偏移误差 ⁽²⁾	执行单个自校准 ⁽³⁾	-20		20	LSB
	执行定期自校准 ⁽⁴⁾	-4		4	
内部基准的总增益误差		-60		60	LSB
外部参考值的总体增益误差		-40		40	LSB
通道间的偏移量变化		-4		4	LSB
通道间增益变化		-4		4	LSB
具有内部参考的ADC温度系数			-50		ppm/°C
具有外部参考的ADC温度系数			-20		ppm/°C
V _{REFLO}			-100		μA
V _{REFHI}			100		μA
模拟输入					
具有内部参考的模拟输入电压		0		3.3	V
具有外部参考的模拟输入电压		V _{REFLO}		V _{REFHI}	V
V _{REFLO} 输入电压 ⁽⁵⁾		V _{SSA}		0.66	V
V _{REFHI} 输入电压 ⁽⁶⁾		2.64		V _{DDA}	V
	with V _{REFLO} = V _{SSA}	1.98		V _{DDA}	
输入电容			5		pF
输入漏电流			±2		μA

(1) 当ADC输入电压高于V_{DDA}时，INL就会下降。

(2) 1 LSB的加权值为全尺度范围（FSR）/4096。FSR为3.3 V，带有内部参考，V_{REFHI} - V_{REFLO}为外部参考。

(3) 周期性的自重新校准将消除系统水平和温度依赖的ADC零偏移误差。

(4) V_{REFLO}总是连接到80引脚PN和PFP设备上的V_{SSA}。

(5) 当使用内部或外部参考模式时，V_{REFHI}不得超过V_{DDA}。

由于V_{REFHI}在80引脚PN和PFP设备上与ADCINA0相连，因此ADCINA0上的输入信号不能超过V_{DDA}。

5.9.2.1.3.2 ADC电源模式

ADC工作模式	条件	IDDA	单位
模式A-操作模式	ADC时钟已启用 带隙开启 (=1) 参考 (附加= 1) ADC通电 (ADCPWDN = 1)	16	mA
模式B-快速唤醒模式	ADC时钟已启用 带隙开启 (=1) 参考 (附加= 1) ADC通电 (ADCPWDN = 0)	4	mA
模式C-仅限比较器的模式	ADC时钟已启用 带隙开启 (=1) 参考 (附加= 0) ADC通电 (ADCPWDN = 0)	1.5	mA
模式D-关闭模式	ADC时钟已启用 带隙开启 (=0) 参考 (附加= 0) ADC通电 (ADCPWDN = 0)	0.075	mA

5.9.2.1.3.3 内部温度传感器

5.9.2.1.3.3.1 温度传感器系数

参数 ⁽¹⁾	最小值	典型值	最大值	单位
T _{SLOPE} 温度传感器的ADC LSB变化的温度运动摄氏度		0.18 ^{(3) (2)}		°C/LSB
T _{OFFSET} 温度传感器温度为0C时的ADC输出		1750		LSB

(1) 温度传感器的斜率和偏移量以ADC LSBs的内部参考值给出。这些值必须在外部分参考模式下相应地调整到外部参考电压。

(2) 温度传感器的输出 (LSB) 与温度运动方向一致。如果温度升高, 相对于初始值的ADC值就会升高; 温度的降低会导致相对于初始值的ADC值的降低。

(3) 本规范中考虑了ADC温度系数

5.9.2.1.3.4 ADC上电控制位时序

5.9.2.1.3.4.1 ADC上电延迟

参数 ⁽¹⁾	最小值	最大值	单位
t _{d(PWD)} 通电后ADC保持稳定的延迟时间		1	ms

(1) 时序保持与ADC模块的兼容性。DSP ADC支持在第一次转换前同时驱动t_d (PWD)。

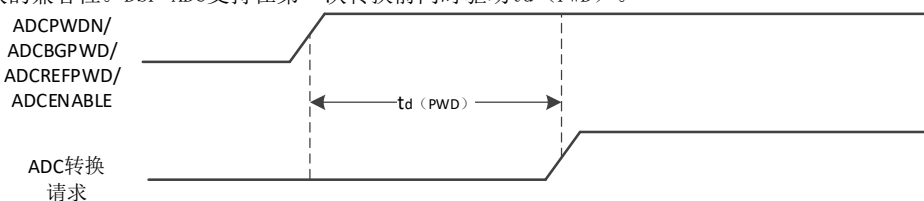
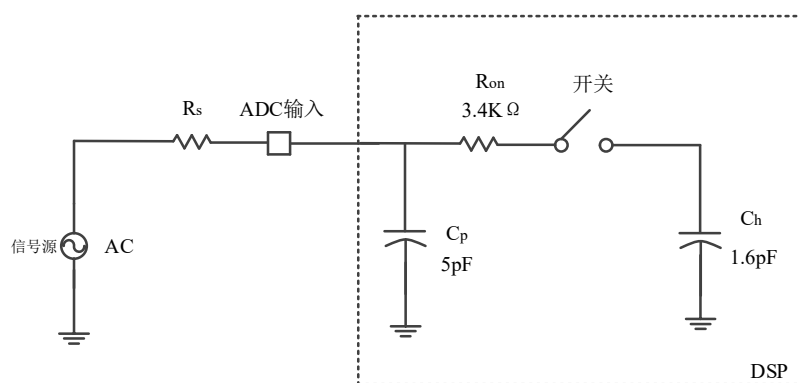


图 5-22.ADC转换时间



输入电路组件的典型值:

开关电阻 (R_{on}): 3.4 k Ω

采样电容 (C_h): 1.6pF

寄生电容 (C_p): 5 pF

源电阻 (R_s): 50 Ω

图 5-23. ADC 输入阻抗模型

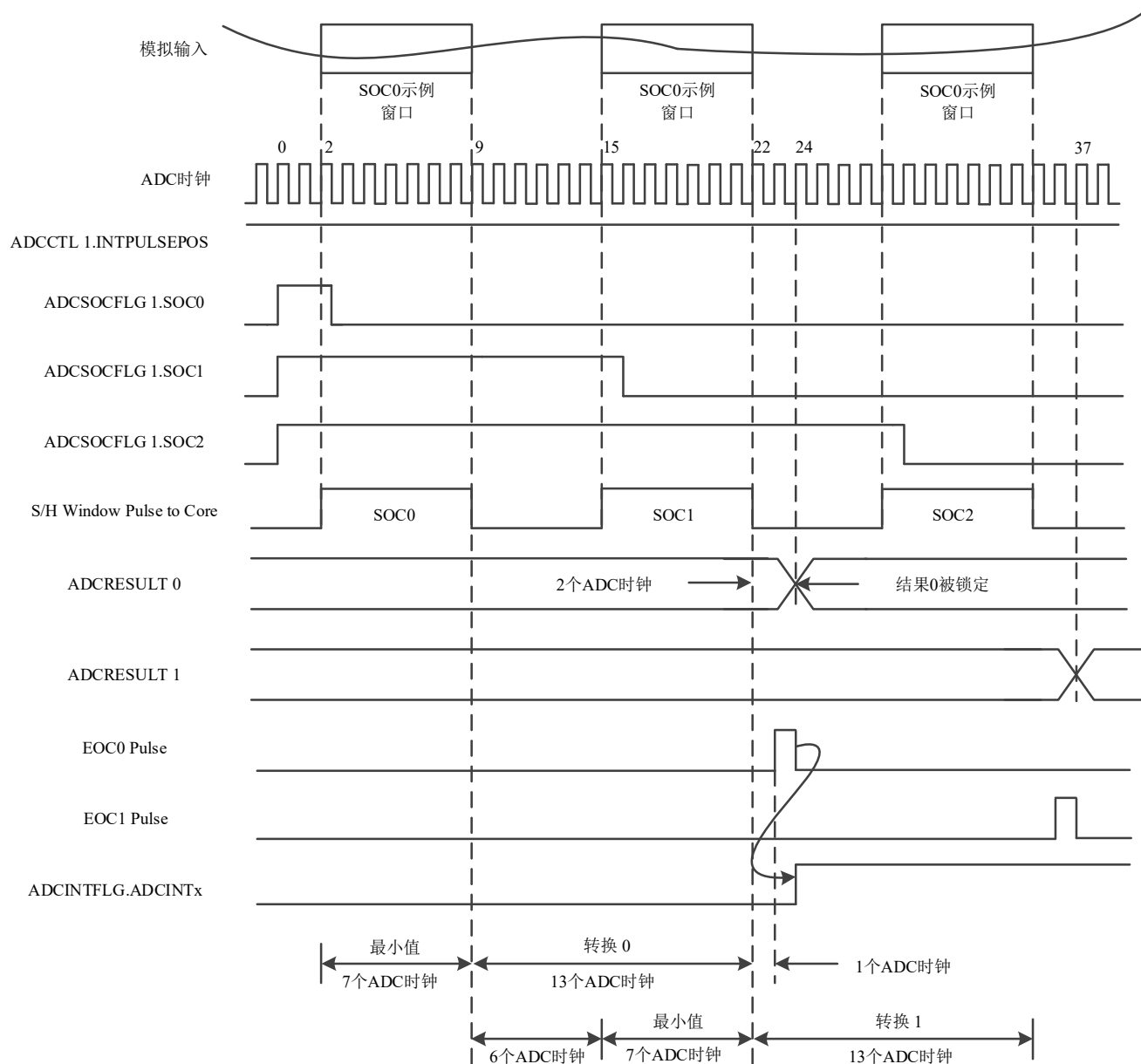


图 5-24.顺序模式/延时中断脉冲的时序示例

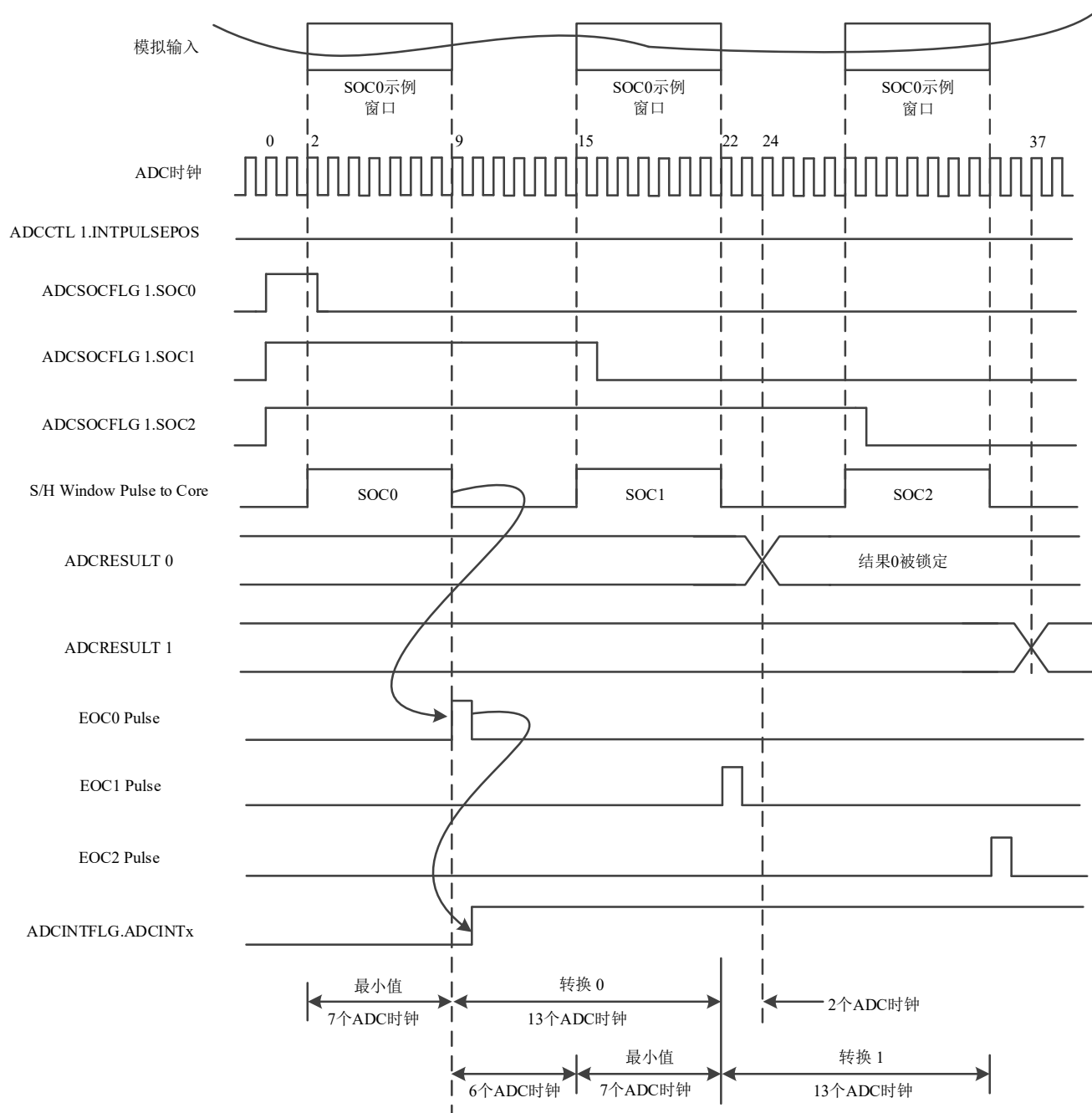


图 5-25.顺序模式/后期中断脉冲的时序示例

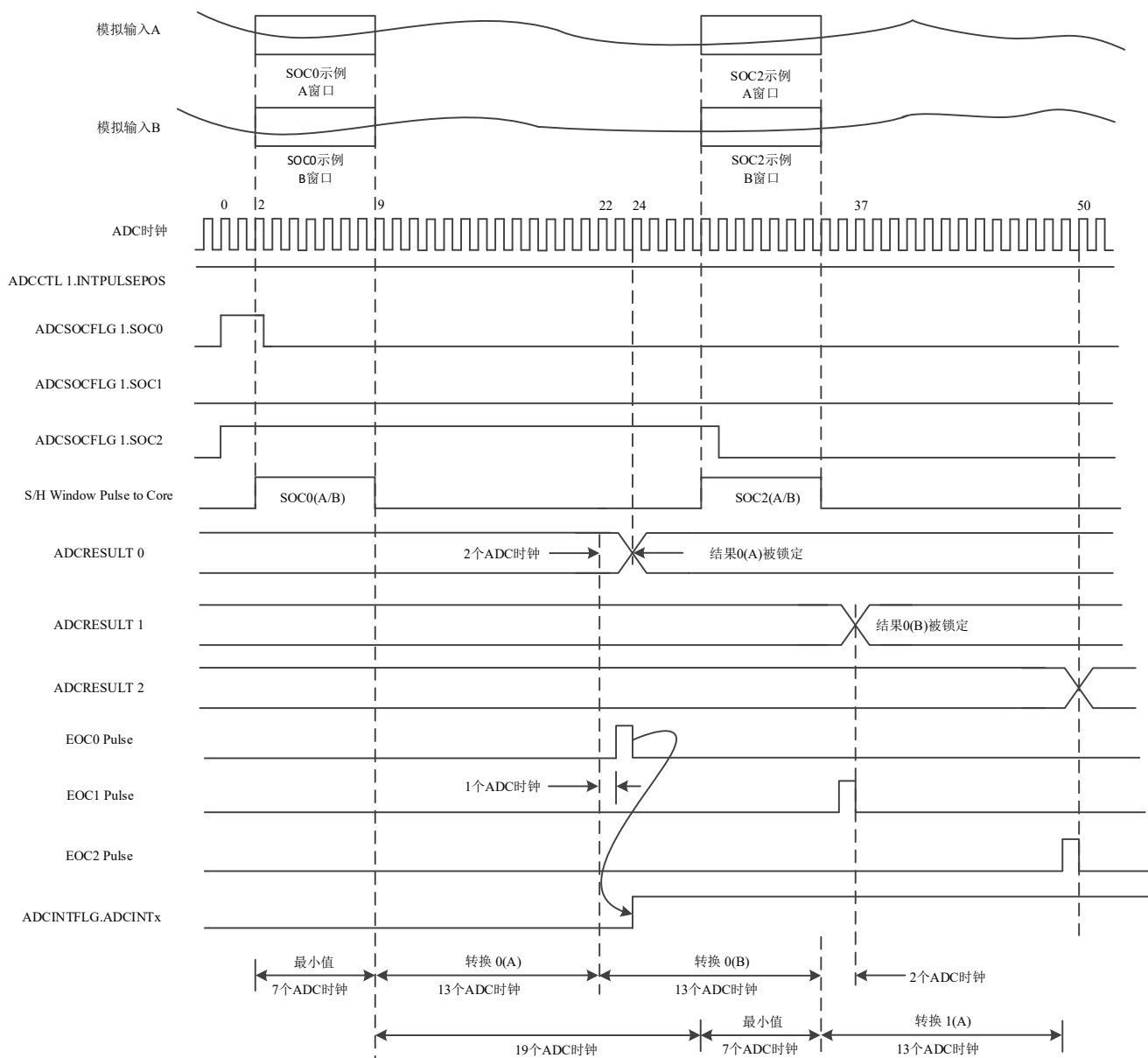


图 5-26.同步模式/后期中断脉冲的时序示例

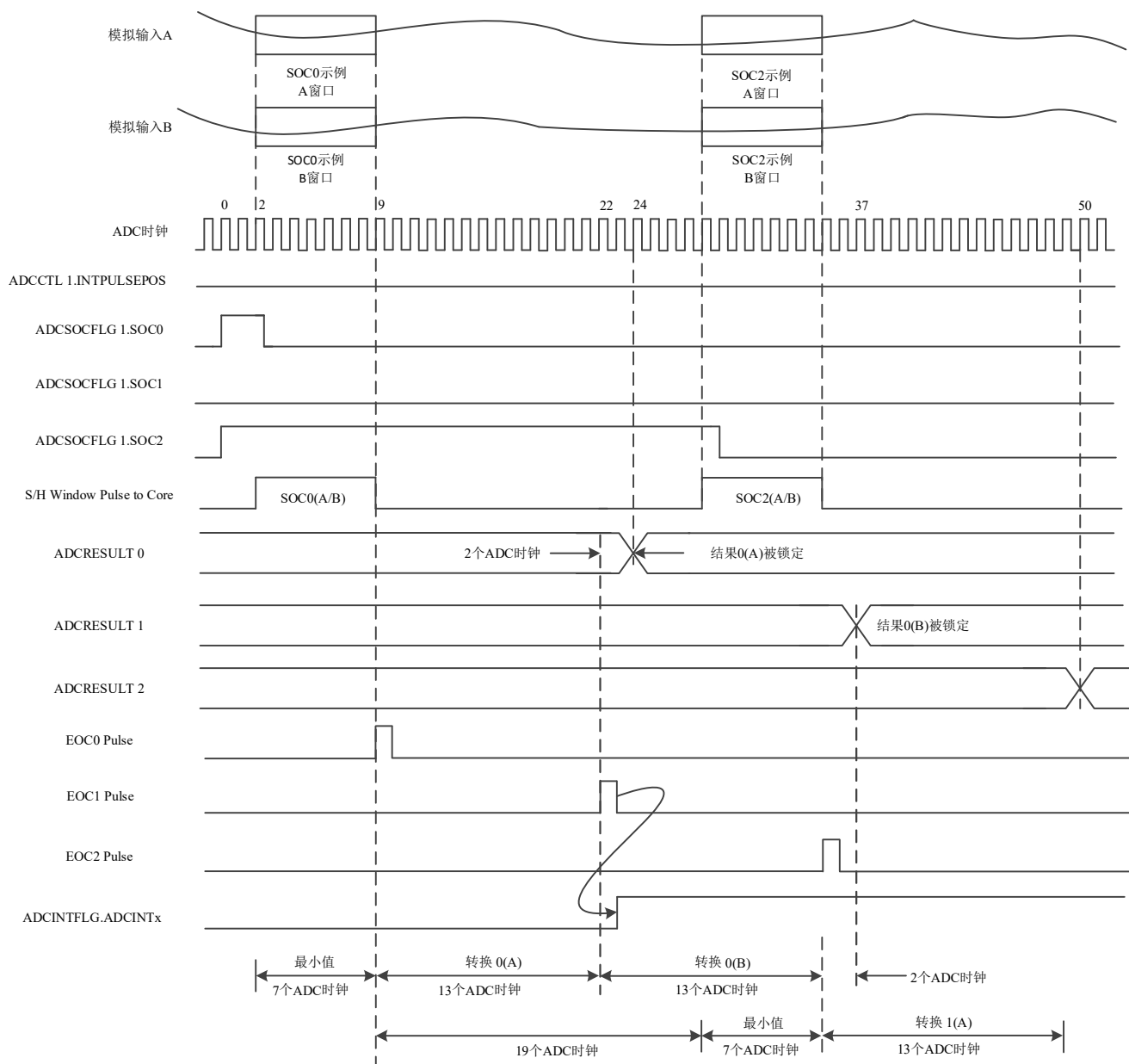


图 5-27. 同步模式/提前中断脉冲的时序示例

5.9.2.2 ADC MUX

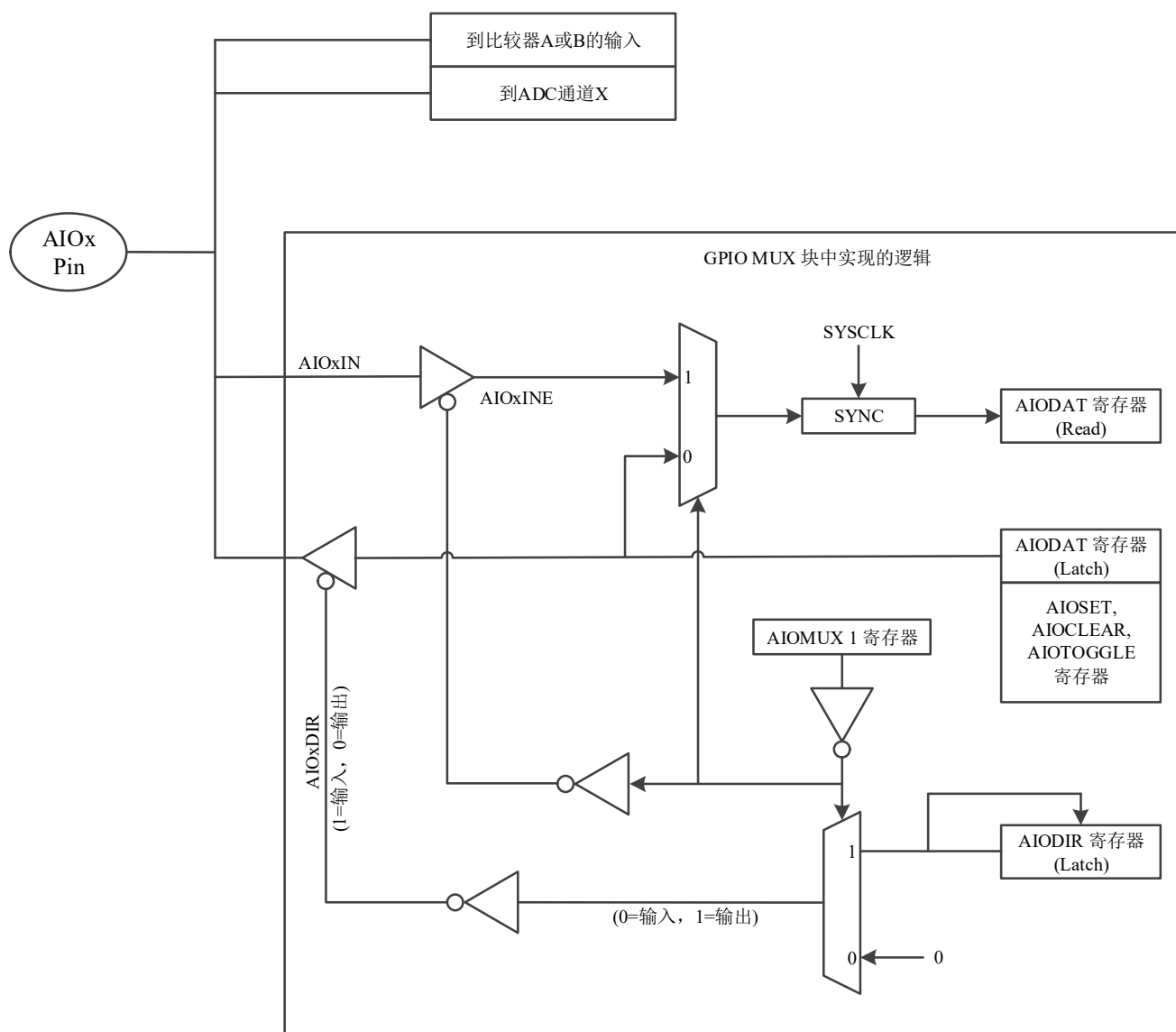


图 5-28.AIOx 引脚多路复用

ADC通道和比较器功能始终可用。只有当AIOMUX1寄存器中的相应位为0时，数字I/O功能才可用。在此模式下，读取AIODAT寄存器就会反映出实际的引脚状态。当AIOMUX1寄存器中的相应位为1时，该数字I/O功能被禁用。在此模式下，读取AIODAT寄存器反映了AIODAT寄存器的输出锁存器，并禁用了输入的数字I/O缓冲器，以防止模拟信号产生噪声。在复位时，数字功能将被禁用。如果引脚用作模拟输入，用户应禁用该引脚禁用AIO功能。

5.9.2.3 比较器

图5-30显示了比较器模块与系统其他部分的交互作用。

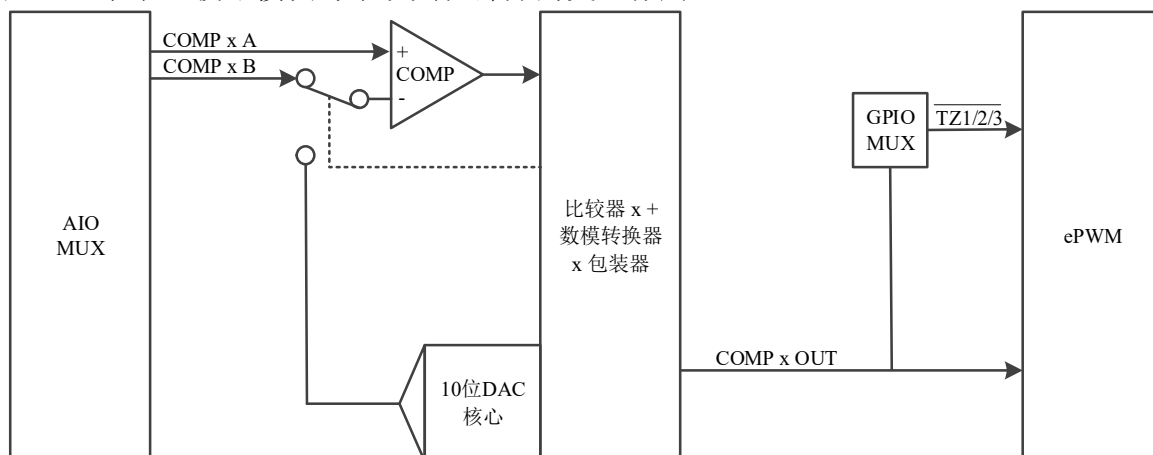


图 5-29. 比较器图

表 5-24. 比较器控制寄存器

寄存器名称	COMP1地址	COMP2地址	COMP3地址	尺寸 (x16)	允许保护	说明
COMPCTL	0x6400	0x6420	0x6440	1	是	比较器控制寄存器
COMPSTS	0x6402	0x6422	0x6442	1	否	比较器状态寄存器
DACCTL	0x6404	0x6424	0x6444	1	是	DAC控制寄存器
DACVAL	0x6406	0x6426	0x6446	1	否	DAC值寄存器
RAMPMAXREF_ACTIVE	0x6408	0x6428	0x6448	1	否	斜坡发生器最大参考（活动）寄存器
RAMPMAXREF_SHDW	0x640A	0x642A	0x644A	1	否	斜坡发生器最大参考（阴影）寄存器
RAMPDECVAL_ACTIVE	0x640C	0x642C	0x644C	1	否	斜坡发生器减量值（活动）寄存器
RAMPDECVAL_SHDW	0x640E	0x642E	0x644E	1	否	斜坡发生器减量值（阴影）寄存器
RAMPSTS	0x6410	0x6430	0x6450	1	否	斜坡发生器状态寄存器

5.9.2.3.1 芯片上比较器/DAC电气数据/时序

5.9.2.3.1.1 比较器/DAC的电气特性

特征	最小值	典型值	最大值	单位
比较器				
比较器输入范围		$V_{SSA} - V_{DDA}$		V
对PWM行程区的响应时间（异步）		30		ns
输入偏移		± 5		mV
输入滞后 ⁽¹⁾		35		mV
DAC				
DAC输出范围		$V_{SSA} - V_{DDA}$		V
DAC 分辨率		10		bits
DAC下降时间				
DAC增益		-1.5%		
DAC偏移		10		mV
单调性		是		
INL		± 3		LSB

(1) 在比较器输入上的滞后是通过施密特触发器配置来实现的。这导致在比较器的输出和比较器的非反相输入之间产生一个有效的100-k Ω 的反馈电阻。

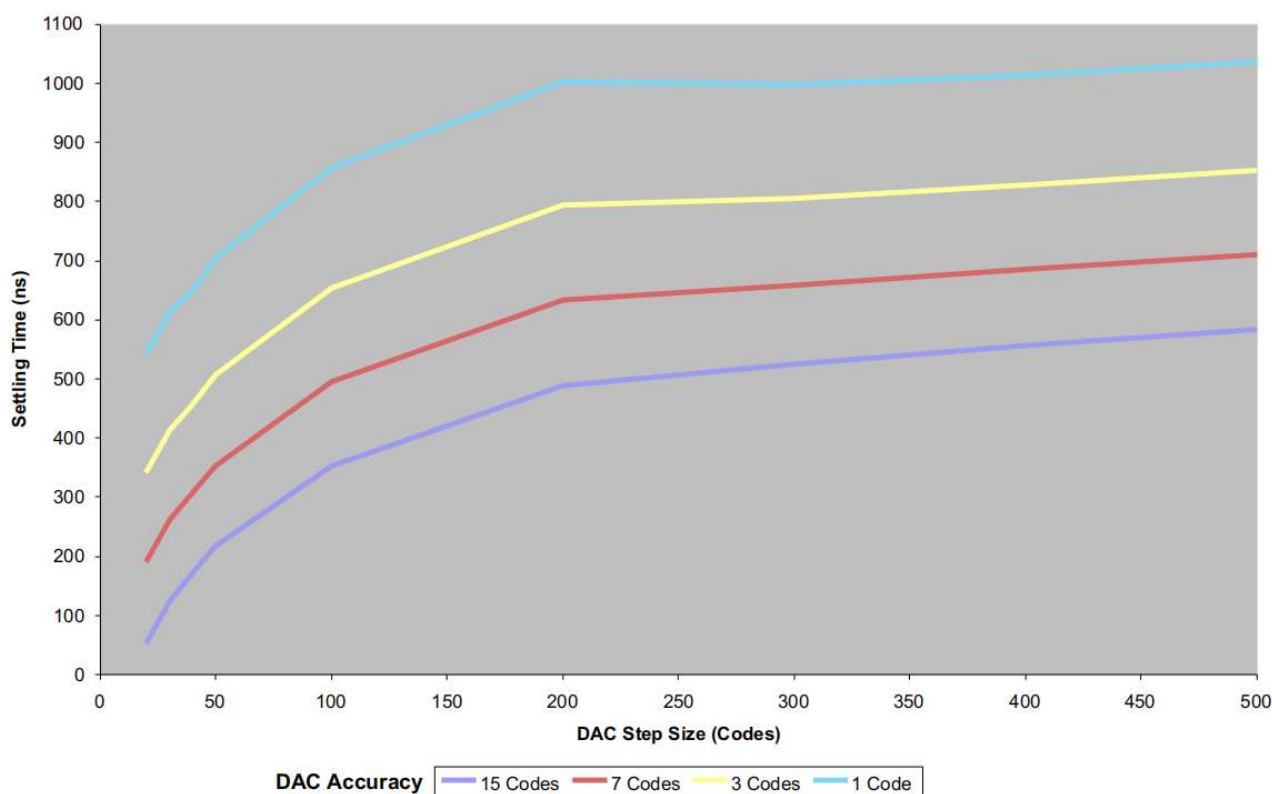


图 5-30. DAC结算时间

5.9.3 详细描述

- 积分非线性：积分非线性是指每个单独的代码从零到全尺度的线的偏差。用作零的点发生在第一次代码转换之前的半LSB。全尺度点被定义为在最后一个代码转换之后的半级LSB。从每个特定代码的中心到这两点之间的真实直线的偏差。
- 微分非线性：一个理想的ADC显示的代码转换正好有1 LSB的距离。DNL是与这个理想值的偏差。微分非线性误差小于 ± 1 LSB，确保没有缺失的代码。
- 零偏移：当模拟输入为零伏时，应发生主要承载电压转换。零误差定义为实际过渡点从该点的偏差。
- 增益错误：第一个代码转换应该发生在负全尺度以上半LSB的模拟值。最后一次转换应发生在低于标称全尺度1.5 LSB的模拟值处。增益误差是第一个和最后一个代码转换之间的实际差与第一个和最后一个代码转换之间的理想差的偏差。
- 信噪比+失真（SINAD）：SINAD是测量的输入信号的均方根值与低于奈奎斯特频率的所有其他谱分量的均方根之和，包括谐波，但不包括直流。SINAD的值用分贝表示。
- 有效位数（ENOB）：对于一个正弦波，SINAD可以用位数来表示。使用以下公式，可以得到一个表示为 $N = \frac{(\text{SINAD} - 1.76)}{6.02}$ 的性能度量值，即有效的位数。因此，在给定的输入频率下，对于正弦波输入的设备的有效位数可以直接从其测量的SINAD计算出来。
- 总谐波失真（THD）：THD是前9个谐波分量的均方根和与测量的输入信号的均方根值的比值，以百分比或分贝表示
- 伪自由动态范围（SFDR）SFDR是输入信号的均方根振幅与峰值伪散信号之间的dB之差。

5.9.4 串行外围接口（SPI）模块

该设备包括4针串行外围接口（SPI）模块。最多有两个SPI模块可用。SPI是一个高速、同步的串行I/O端口，它允许可编程长度（1到16位）的串行位流以可编程的位传输速率进出设备。通常，SPI用于单片机与外部外围设备或其他处理器之间的通信。

典型的应用程序包括通过移位寄存器、显示驱动器和adc等设备进行外部I/O或外围扩展。SPI的主/从操作支持多设备通信。

SPI模块的功能包括：

- 四个外部引脚：
 - SPISOMI: SPI从输出/主输入引脚
 - SPISIMO: SPI从输入/主输出引脚
 - SPISTE: SPI从发送启用引脚
 - SPICLK: SPI串行时钟引脚
- 两种操作模式：主模式和从模式
波特率：125种不同的可编程速率

$$\text{波特率} = \frac{\text{LSPCLK}}{(\text{SPIBRR}+1)} \quad \text{当SPIBRR} = 3 \text{到} 127$$

$$\text{波特率} = \frac{\text{LSPCLK}}{4} \quad \text{当SPIBRR} = 0,1,2$$
- 数据字长度：1到16个数据位
- 四种时钟方案（由时钟极性和时钟相位位控制）包括：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI在SPICLK信号的下降沿发送数据，并在SPICLK信号的上升沿接收数据。
 - 带相位延迟的下降沿：SPICLK 高电平有效。SPI在SPICLK信号下降沿的前半个周期发送数据，并在SPICLK信号的下降沿接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平不活跃。SPI在SPICLK信号的上升沿发送数据，并在SPICLK信号的下降沿接收数据。
 - 带相位延迟的上升沿：SPICLK 低电平不活跃。SPI在SPICLK信号上升沿的前半个周期发送数据，并在SPICLK信号的上升沿接收数据。
- 同时接收和发送操作（发送功能可以在软件中禁用）
- 发送器和接收器操作通过中断驱动或轮询算法来完成。
- 九个SPI模块控制寄存器：在起始地址7040h的控制寄存器框架中。

增强功能：

- 4级发射/接收FIFO
- 延迟传输控制
- 双向3线SPI模式支持
- 音频数据通过SPISTE反置接收支持 SPI端口操作

表5-25和表5-26中列出的寄存器进行配置和控制。

表 8-25.SPI-A寄存器

名称	地址	大小 (x 16)	受EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x7040	1	否	SPI-A 配置控制寄存器
SPICTL	0x7041	1	否	SPI-A 运行控制寄存器
SPISTS	0x7042	1	否	SPI-A 状态寄存器
SPIBRR	0x7044	1	否	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	否	SPI-A 接收仿真缓冲器寄存器
SPIRXBUF	0x7047	1	否	SPI-A 串行输入缓冲器寄存器
SPITXBUF	0x7048	1	否	SPI-A 串行输出缓冲器寄存器
SPIDAT	0x7049	1	否	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	否	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	否	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	否	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	否	SPI-A 优先级控制寄存器

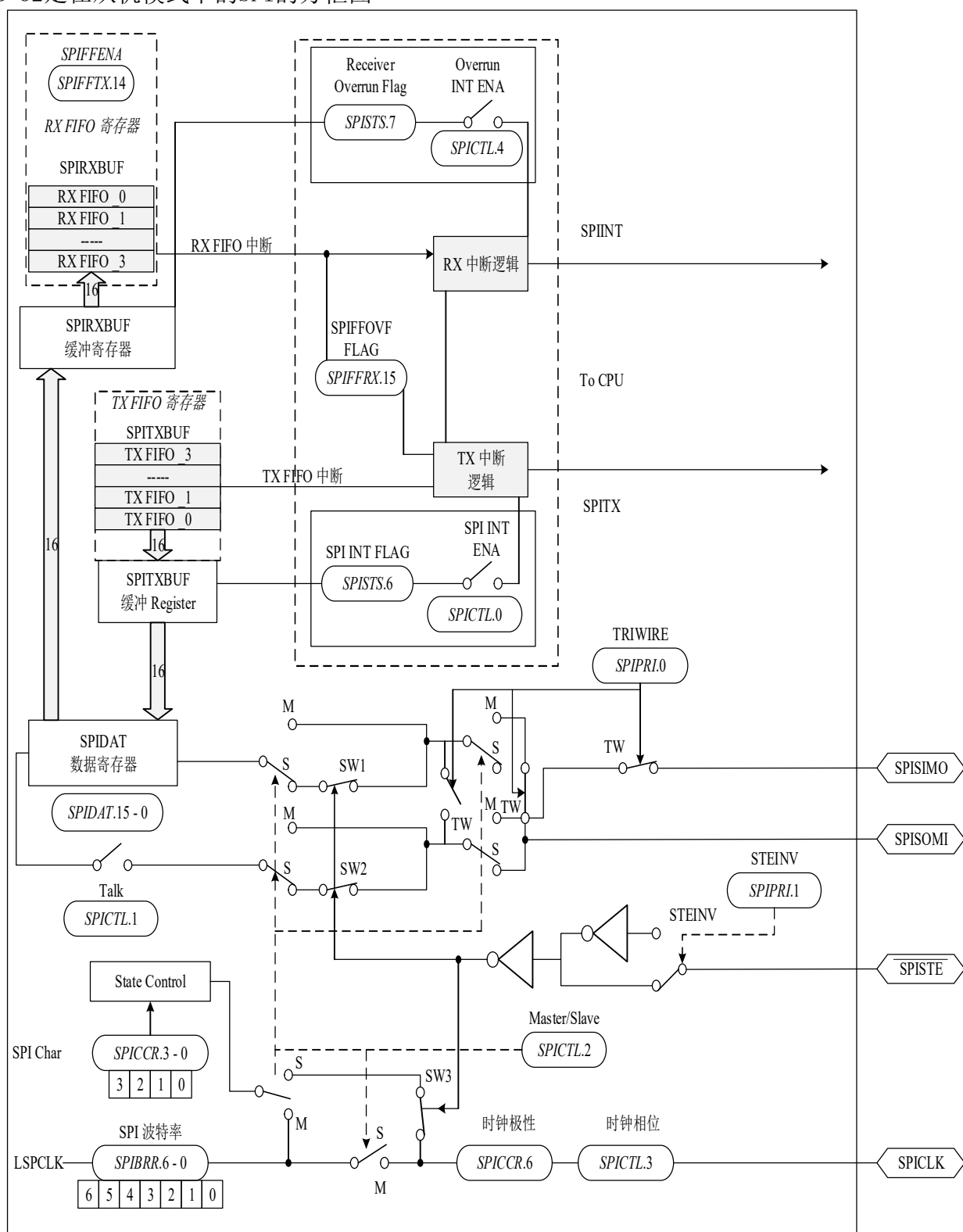
(1) 此表中的寄存器被映射到外设帧2。这个空间只允许16位的访问。32位的访问会产生未定义的结果。

表 5-26.SPI-B寄存器

名称	地址	大小 (x 16)	受EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x7740	1	否	SPI-B 配置控制寄存器
SPICTL	0x7741	1	否	SPI-B 运行控制寄存器
SPISTS	0x7742	1	否	SPI-B 状态寄存器
SPIBRR	0x7744	1	否	SPI-B 波特率寄存器
SPIRXEMU	0x7746	1	否	SPI-B 接收仿真缓冲器寄存器
SPIRXBUF	0x7747	1	否	SPI-B 串行输入缓冲器寄存器
SPITXBUF	0x7748	1	否	SPI-B 串行输出缓冲器寄存器
SPIDAT	0x7749	1	否	SPI-B 串行数据寄存器
SPIFFTX	0x774A	1	否	SPI-B FIFO 发送寄存器
SPIFFRX	0x774B	1	否	SPI-B FIFO 接收寄存器
SPIFFCT	0x774C	1	否	SPI-B FIFO 控制寄存器
SPIPRI	0x774F	1	否	SPI-B 优先级控制寄存器

(1) 此表中的寄存器被映射到外设框架2。这个空间只允许16位的访问。32位的访问会产生未定义的结果。

图5-32是在从机模式下的SPI的方框图



A. SPISTE被主机器件驱动为用于从机器件的低电平。

5.9.4.1 SPI主机模式电气数据/时序

节5.9.4.1.1列出了主机模式时序（时钟相位=0），节5.9.4.1.2列出了主机模式时序（时钟相位=1）。图5-33和图5-34显示了时序波形。

5.9.4.1.1 SPI主模式外部时序（时钟阶段=0）

编号.	参数 ^{(1) (2) (3) (4) (5)}	BRR EVEN		BRR ODD		单位
1	$t_{c(SPC)M}$	循环时间, SPICLK	$4t_{c(LSPCLK)}$ $128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$ $127t_{c(LSPCLK)}$		ns
2	$t_{w(SPC1)M}$	脉冲持续时间, SPICLK第一脉冲	$0.5t_{c(SPC)M} - 10$ $0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$ $0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$		ns
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK秒脉冲	$0.5t_{c(SPC)M} - 10$ $0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$ $0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$		ns
4	$t_{d(SIMO)M}$	延迟时间		10	10	ns
5	$t_{v(SIMO)M}$	有效时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$	设置时间, 在 SPICLK之前显示	26	26		ns
9	$t_h(SOMI)M$	保持时间	0	0		ns
23	$t_{d(SPC)M}$	延迟时间, SPISTE 激活到SPICLK	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	延迟时间, SPICLK 到SPISTE不活动	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

(1) 主从位 (SPICLK)。2) 是设置和时钟相位位 (SPICLK)。3) 已被清除。

(2) $t_{c(SPC)} = \text{SPI时钟周期时间} = \text{LSPCLK}/4 \text{ 或 } \text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) $t_{c(LSPCLK)} = \text{LSPCLK循环时间}$

(4) 必须调整内部时钟预调节器, 使SPI时钟速度限制在以下SPI时钟速率: 主模式传输25MHzMAX, 主模式接收12.5MHzMAX 从模式传输12.5-最大值, 从模式接收12.5-MHz 最大值。

(5) 所引用的SPICLK信号的主动边缘由时钟极性位控制 (SPICCR)。6)。

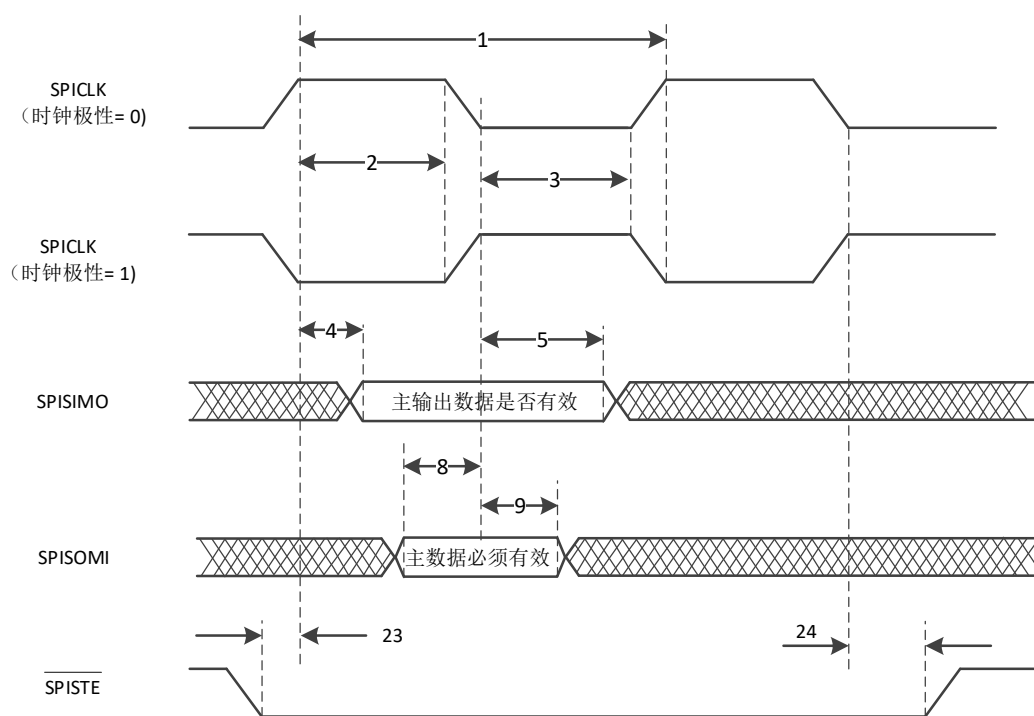


图 5-33SPI主模式外部定时 (时钟阶段= 0)

5.9.4.1.2 SPI主模式外部时序（时钟阶段=1）

编号	参数 ^{(1) (2) (3) (4) (5)}	BRR EVEN		BRR ODD		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$ 循环时间, SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK第一脉冲	$0.5t_{c(SPC)M} - 10$ $0.5t_{c(SPC)M} + 10$		$0.5t_{c(SPC)M} -$ $0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} -$ $0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK秒脉冲	$0.5t_{c(SPC)M} - 10$ $0.5t_{c(SPC)M} + 10$		$0.5t_{c(SPC)M} +$ $0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} +$ $0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$ 延迟时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} +$ $0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$ 有效时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} -$ $0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$ 设置时间, 在 SPICLK之前显示	26		26		ns
11	$t_h(SOMI)M$ 保持时间	0		0		ns
23	$t_{d(SPC)M}$ 延迟时间, $\overline{SPISTE}$ 激活到SPICLK	$2t_{c(SPC)M} -$ $3t_{c(SYSCCLK)} - 10$		$2t_{c(SPC)M} -$ $3t_{c(SYSCCLK)} - 10$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK到 $\overline{SPISTE}$ 不活动	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} -$ $0.5t_{c(LSPCLK)} - 10$		ns

(1) 主从位 (SPICLK)。2) 是设置和时钟相位位 (SPICLK)。3) 已设置。

(2) $t_{c(SPC)} = \text{SPI时钟周期时间} = \text{LSPCLK}/4 \text{ 或 } \text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) 必须调整内部时钟预测器, 使SPI时钟速度限制在以下SPI时钟速率: 主模式传输25 MHz 最大值, 主模式接收12.5 MHz 最大值 从模式传输12.5 MHz 最大值, 从模式接收12.5 MHz 最大值。

(4) $t_{c(LSPCLK)} = \text{LSPCLK循环时间}$

(5) 所引用的SPICLK信号的主动边缘由时钟极性位控制 (SPICCR。6)。

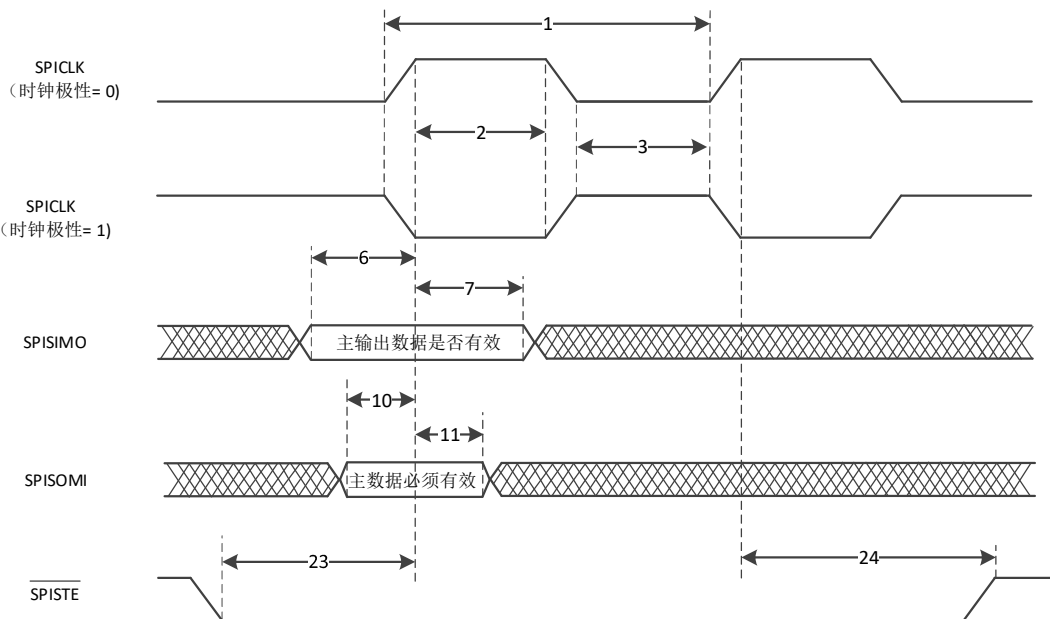


图 5-34 SPI主模式外部正时（时钟阶段=1）

5.9.4.2 SPI从机模式电气数据/时序

节5.9.4.2.1列出了从机模式时序（时钟相位=0），节5.9.4.2.2列出了从模式时序（时钟相位=1）。

图5-35和图5-36显示了时序波形。

5.9.4.2.1 SPI从机模式外部时序（时钟阶段=0）

编号	参数 ^{(1) (2) (4) (3) (5)}	最小值	最大值	单位
12	$t_{c(SPC)}S$ 循环时间, SPICLK	$4t_{c(SYCLK)}$		ns
13	$t_{w(SPC1)}S$ 脉冲持续时间, SPICLK第一脉冲	$2t_{c(SYCLK)} - 1$		ns
14	$t_{w(SPC2)}S$ 脉冲持续时间, SPICLK第二脉冲	$2t_{c(SYCLK)} - 1$		ns
15	$t_{d(SOMI)}S$ 延迟时间, SPICLK到有效		21	ns
16	$t_{v(SOMI)}S$ 有效时间, SPISOMI数据在SPICLK后有效	0		ns
19	$t_{su(SIMO)}S$ 建立时间	$1.5t_{c(SYCLK)}$		ns
20	$t_{h(SIMO)}S$ 保持时间	$1.5t_{c(SYCLK)}$		ns
25	$t_{su(STE)}S$ 建立时间, SPISTE在SPICLK之前被激活	$1.5t_{c(SYCLK)}$		ns
26	$t_{h(STE)}S$ 保持时间, SPICLK后SPISTE不活动	$1.5t_{c(SYCLK)}$		ns

(1) 主从位 (SPICTL). 2) 被清除, 时钟相位位 (SPICTL). 3) 已被清除。

(2) $t_{c(SPC)} = \text{SPI时钟周期时间} = \text{LSPCLK}/4 \text{ 或 } \text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) $t_{c(LCK)} = \text{LSPCLK循环时间}$

(4) 必须调整内部时钟预调节器, 使SPI时钟速度限制在以下SPI时钟速率: 主模式传输25MHzMAX, 主模式接收12.5MHzMAX 从模式传输12.5MHzMAX, 从模式接收12.5MHzMAX。 (5)

(5) 所引用的SPICLK信号的主动边缘由时钟极性位控制 (SPICCR. 6)。

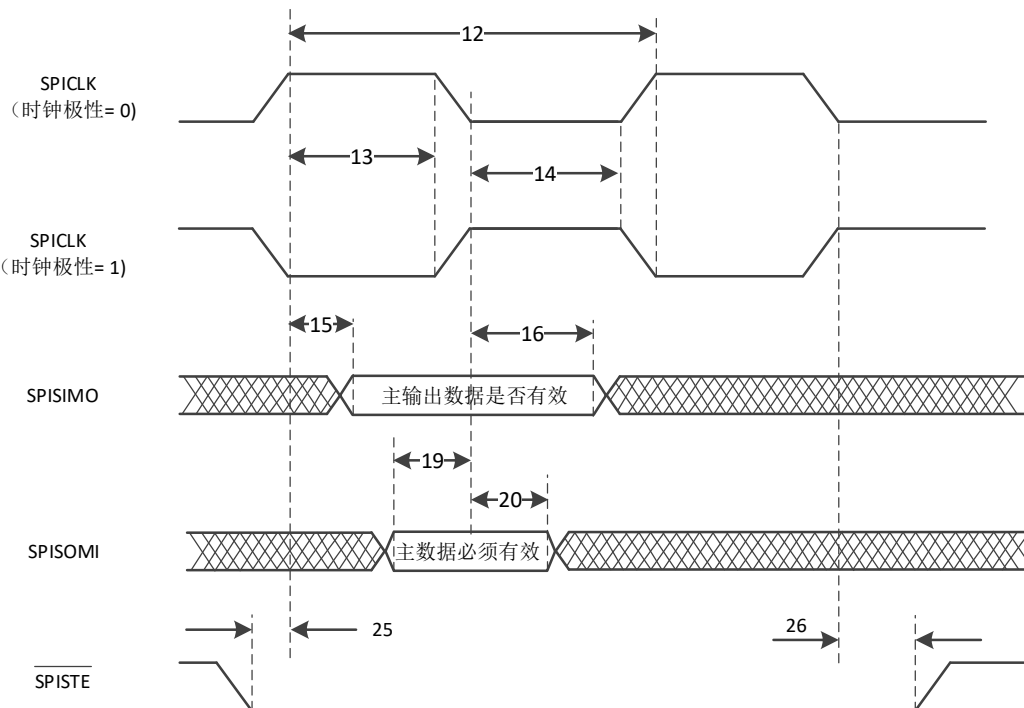


图 5-35 SPI从属模式外部正时（时钟阶段= 0）

5.9.4.2.2 SPI从机模式外部时序（时钟阶段= 1）

编号	参数 ^{(1) (2) (3) (4)}	最小值	最大值	单位
12	$t_{c(SPC)S}$ 循环时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ 脉冲持续时间, SPICLK第一脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ 脉冲持续时间, SPICLK第二脉冲	$2t_{c(SYSCLK)} - 1$		ns
17	$t_{d(SOMI)S}$ 延迟时间, SPICLK到有效		21	ns
18	$t_{v(SOMI)S}$ 有效时间, SPISOMI数据在SPICLK后有效	0		ns
21	$t_{su(SIMO)S}$ 建立时间	$1.5t_{c(SYSCLK)}$		ns
22	$t_{h(SIMO)S}$ 保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ 建立时间, SPISTE在SPICLK之前被激活	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$ 保持时间, SPICLK后SPISTE不活动	$1.5t_{c(SYSCLK)}$		ns

(1) 主从位 (SPICTL)。2) 被清除, 时钟相位位 (SPICTL)。3) 已被清除。

(2) $t_{c(SPC)} = \text{SPI时钟周期时间} = \text{LSPCLK}/4 \text{ 或 } \text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) 必须调整内部时钟预调节器, 使SPI时钟速度限制在以下SPI时钟速率: 主模式传输25MHzMAX, 主模式接收12.5MHzMAX 从模式传输12.5MHzMAX, 从模式接收12.5MHzMAX。

(4) 所引用的SPICLK信号的主动边缘由时钟极性位控制 (SPICCR。6)。

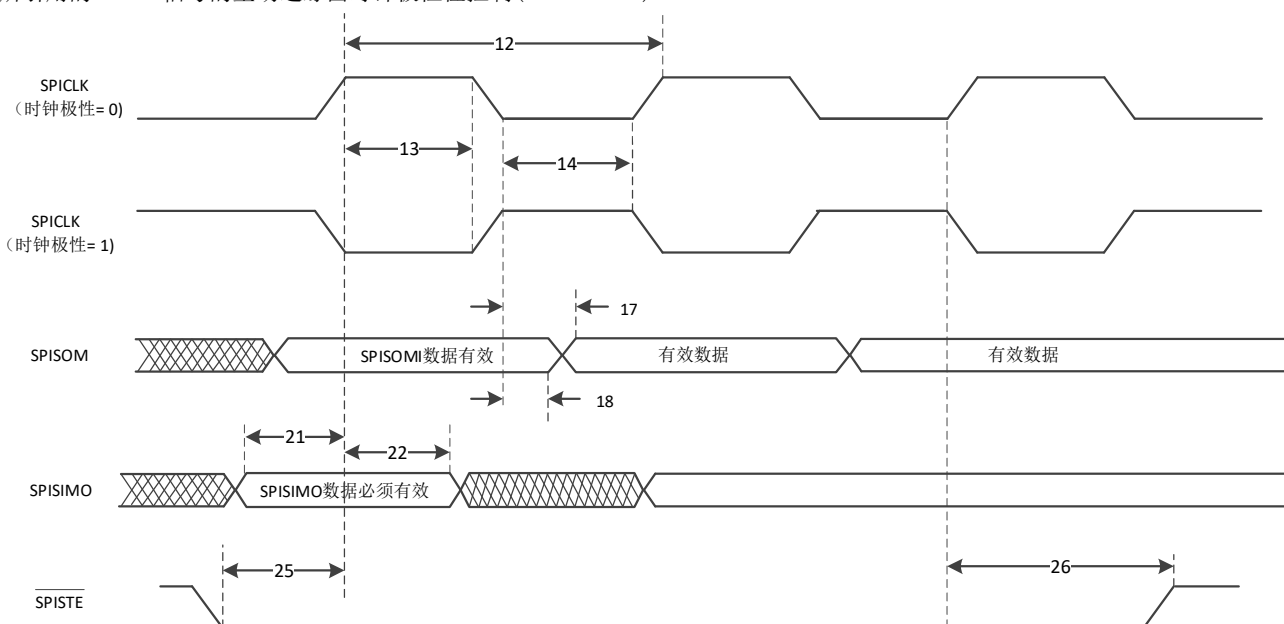


图 5-36 SPI从属模式外部正时（时钟阶段= 1）

5.9.5 串行通信接口（SCI）模块

这些设备包括两个串行通信接口（SCI）模块（SCI-A、SCI-B）。SCI模块支持DSP和其他使用标准的非返回到零（NRZ）格式的异步外设之间的数字通信。SCI接收机和发射机是双缓冲的，每个都有自己单独的启用和中断位。两者都可以在全双工模式下独立操作或同时操作。为了确保数据的完整性，SCI检查接收到的数据是否存在中断检测、奇偶校验、溢出和帧错误。通过一个16位波特选择寄存器，比特率可编程到超过65000种不同的速度。

每个SCI模块的特点包括：

- 两个外部引脚：
 - SCITXD：SCI发射输出引脚
 - SCIRXD：SCI接收输入引脚
- 波特率可编程至64K不同速率：

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR}+1)*8}$$

When BRR≠0

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16}$$

When BRR=0

- 数据-字格式
 - 一个开始位
 - 数据-字长度可被设定为1至8位
 - 可选偶/奇/无奇偶校验位
 - 一个或者两个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两个唤醒多处理器模式：空闲线路和地址位
- 半双工或者全双工运行
- 双缓冲接收和发送功能
- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
 - 发射器：TXRDY 标志（发射器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY（TX 空）标志（发射器移位寄存器已空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件），和 RX ERROR 错误标志（监控四个中断条件）
- 用于发射器和接收器中断的独立使能位（除了 BRKDT）
- NRZ（非归零码）格式

增强型特性：

- 自动波特率检测硬件逻辑
- 4级发射/接收FIFO

SCI端口操作由表5-27和表5-28中列出的寄存器进行配置和控制。

表 5-27. SCI-A 寄存器⁽¹⁾

名称	地址	大小 (x 16)	受EALLOW 保护	说明
SCICCRB	0x7050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	否	SCI-A 控制寄存器
SCIHBAUDA	0x7052	1	否	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x7053	1	否	SCI-A 波特率寄存器, 低位
SCICTL2A	0x7054	1	否	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x705A	1	否	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x705B	1	否	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x705C	1	否	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	否	SCI-A 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。 这空间只允许 16 位访问。 32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 5-28.SCI-B寄存器

名称 ⁽¹⁾	地址	大小 (x16)	说明
SCICCRB	0x7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x7751	1	SCI-B 控制寄存器
SCIHBAUDB	0x7752	1	SCI-B 波特率寄存器, 高位
SCILBAUDB	0x7753	1	SCI-B 波特率寄存器, 低位
SCICTL2B	0x7754	1	SCI-B 控制寄存器 2
SCIRXSTB	0x7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUBB	0x7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUBB	0x7759	1	SCI-B 发送数据缓冲寄存器
SCIFFTXB ⁽²⁾	0x775A	1	SCI-B FIFO 发送寄存器
SCIFFRXB ⁽²⁾	0x775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB ⁽²⁾	0x775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x775F	1	SCI-B 优先级控制寄存器

(1) 此表中的寄存器被映射到外围帧2空间。这个空间只允许16位的访问。32位的访问会产生未定义的结果。

(2) 这些寄存器是FIFO模式的新寄存器。

图 5-37显示了 SCI 模块方框图。

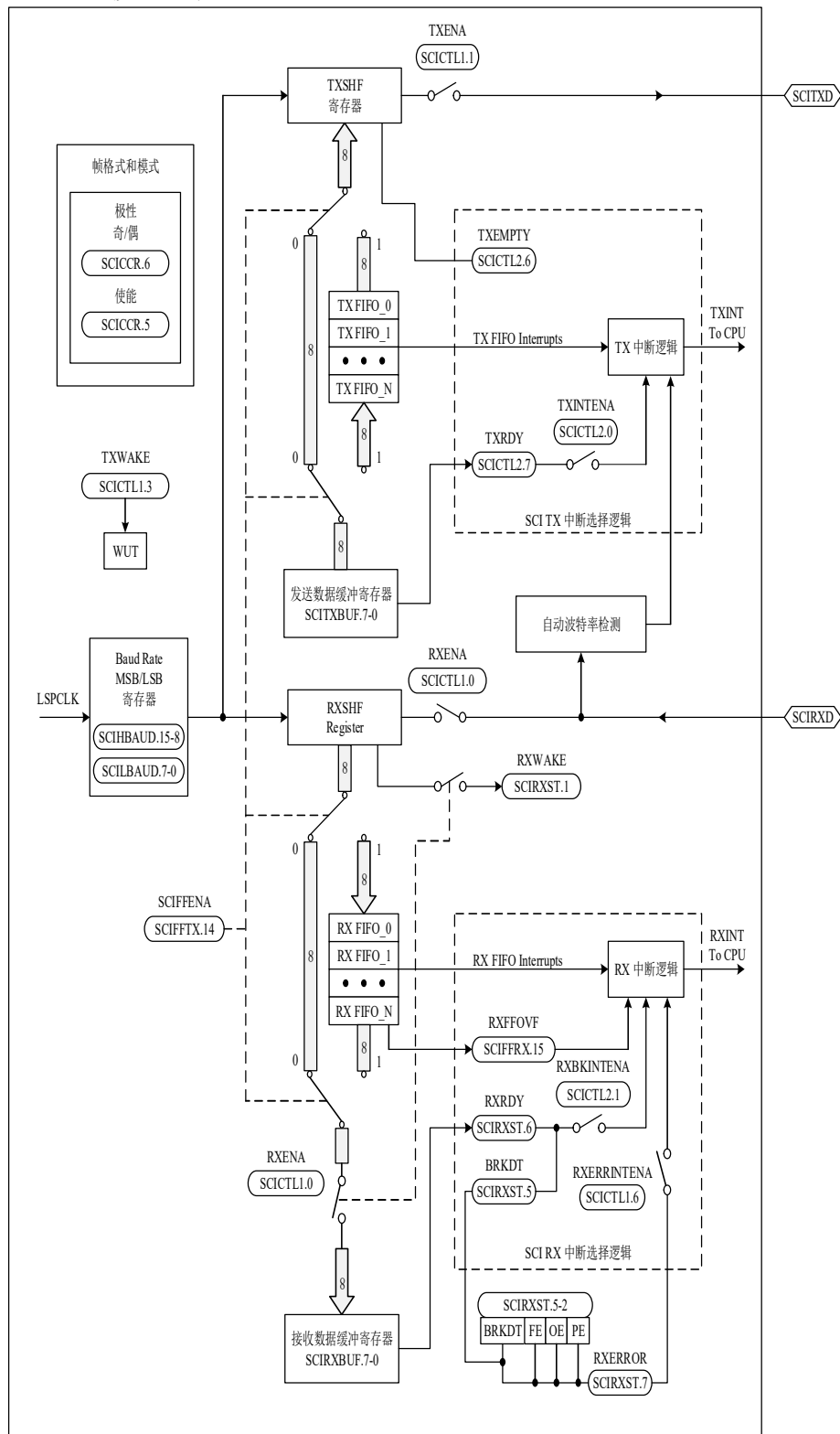


图 5-37.串行通信接口 (SCI) 模块方框图

5.9.6 多通道缓冲串行端口（McBSP）模块

McBSP模块具有以下功能：

- 全双工通信
- 允许连续数据流的双缓冲数据寄存器
- 接收和传输的独立帧和时钟 .外部移位时钟产生或内部可编程频率移位时钟
- 广泛的数据大小选择，包括8、12、16、20、24或32位
- 8位数据传输首先使用LSB或MSB
- 可编程极性的帧同步和数据时钟
- 高度可编程的内部时钟和帧生成
- 直接连接到行业标准CODECs、模拟接口芯片（AIC）和其他串行连接的模数（A/D）和数模（D/A）设备
- 适用于与SPI兼容的设备
- 在McBSP上可以支持以下应用程序接口：
 - T1/E1帧
 - IOM-2兼容的设备
 - 符合AC97标准的设备（提供必要的多相帧同步能力。）
 - IIS兼容的设备
 - SPI
- McBSP时钟速率，
$$\text{CLKG} = \frac{\text{CLKSRG}}{(1 + (\text{CLKGDV}))}$$

其中，CLKSRG源代码可以是LSPCLK、CLKX或CLKR。串口性能受到I/O缓冲区切换速度的限制。内部预压器必须进行调整，使外围速度低于I/O缓冲速度限制。

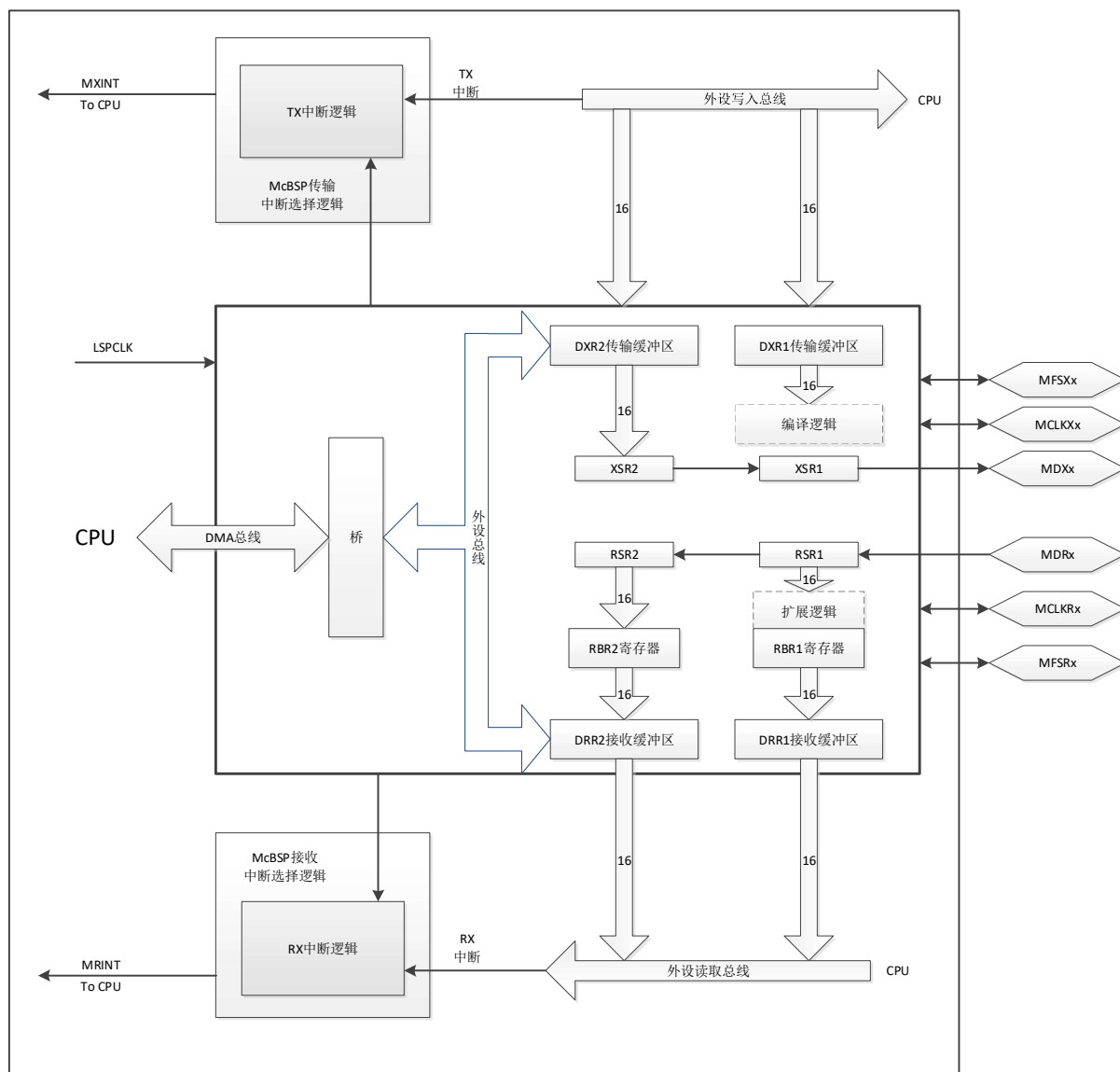


图 5-38.MCBSP模块方框图

表5-29提供了McBSP寄存器的摘要。

表 5-29.McBSP寄存器摘要

名称	McBSP-A地址	类型	复位值	说明
数据寄存器、接收、传输				
DRR2	0x5000	R	0x0000	McBSP数据接收寄存器2
DRR1	0x5001	R	0x0000	McBSP数据接收寄存器1
DXR2	0x5002	W	0x0000	McBSP数据传输寄存器2
DXR1	0x5003	W	0x0000	McBSP数据传输寄存器1
McBSP控制寄存器				
SPCR2	0x5004	R/W	0x0000	McBSP串口控制寄存器2
SPCR1	0x5005	R/W	0x0000	McBSP串口控制寄存器1
RCR2	0x5006	R/W	0x0000	McBSP接收控制寄存器2
RCR1	0x5007	R/W	0x0000	McBSP接收控制寄存器1
XCR2	0x5008	R/W	0x0000	McBSP传输控制寄存器2
XCR1	0x5009	R/W	0x0000	McBSP传输控制寄存器1
SRGR2	0x500A	R/W	0x0000	McBSP采样率生成器寄存器2
SRGR1	0x500B	R/W	0x0000	McBSP采样率生成器寄存器1
多通道控制寄存器				
MCR2	0x500C	R/W	0x0000	McBSP多通道寄存器2
MCR1	0x500D	R/W	0x0000	McBSP多通道寄存器1
RCERA	0x500E	R/W	0x0000	McBSP接收通道启用寄存器分区A
RCERB	0x500F	R/W	0x0000	McBSP接收通道启用寄存器分区B
XCERA	0x5010	R/W	0x0000	McBSP传输信道启用寄存器分区A
XCERB	0x5011	R/W	0x0000	McBSP传输信道启用寄存器分区B
PCR	0x5012	R/W	0x0000	McBSP引脚控制寄存器
RCERC	0x5013	R/W	0x0000	McBSP接收通道启用寄存器分区C
RCERD	0x5014	R/W	0x0000	McBSP接收通道启用寄存器分区D
XCERC	0x5015	R/W	0x0000	McBSP传输信道启用寄存器分区C
XCERD	0x5016	R/W	0x0000	McBSP传输信道启用寄存器分区D
RCERE	0x5017	R/W	0x0000	McBSP接收通道启用寄存器分区E
RCERF	0x5018	R/W	0x0000	McBSP接收通道启用寄存器分区F
XCERE	0x5019	R/W	0x0000	McBSP传输通道启用寄存器分区E
XCERF	0x501A	R/W	0x0000	McBSP传输通道启用寄存器分区F
RCERG	0x501B	R/W	0x0000	McBSP接收通道启用寄存器分区G
RCERH	0x501C	R/W	0x0000	McBSP接收通道启用寄存器分区H
XCERG	0x501D	R/W	0x0000	McBSP传输信道启用寄存器分区G
XCERH	0x501E	R/W	0x0000	McBSP传输信道启用寄存器分区H
MFFINT	0x5023	R/W	0x0000	McBSP中断启用寄存器

5.9.6.1 McBSP电气数据/时序

5.9.6.1.1 McBSP传输和接收时序

5.9.6.1.1.1 McBSP时序要求

编号. ⁽¹⁾⁽²⁾			最小值	最大值	单位
	McBSP模块时钟 (CLKG、CLKX、CLKR) 范围		1		kHz
				20 ⁽³⁾⁽⁴⁾	MHz
	McBSP模块周期时间 (CLKG、CLKX、CLKR) 范围		50 ⁽⁴⁾		ns
				1	ms
M11	$t_{c(CKRX)}$	循环时间, CLKR/X	CLKR/X ext	2P	ns
M12	$t_{w(CKRX)}$	脉冲持续时间, CLKR/X高或CLKR/X低	CLKR/X ext	P -7	ns
M13	$t_{r(CKRX)}$	上升时间, CLKR/X	CLKR/X ext	7	ns
M14	$t_{f(CKRX)}$	Fall time, CLKR/X	CLKR/X ext	7	ns
M15	$t_{su(FRH-CKRL)}$	建立时间, 外部FSR高, CLKR低	CLKR int	18	ns
			CLKR ext	2	
M16	$t_{h(CKRL-FRH)}$	保持时间, 在CLKR低后, 外部FSR高	CLKR int	0	ns
			CLKR ext	6	
M17	$t_{su(DRV-CKRL)}$	建立时间, DR在CLKR低之前有效	CLKR int	18	ns
			CLKR ext	2	
M18	$t_{h(CKRL-DRV)}$	保持时间, DR在CLKR低后有效	CLKR int	0	ns
			CLKR ext	6	
M19	$t_{su(FXH-CKXL)}$	建立时间, 外部FSX高, CLKX低	CLKX int	18	ns
			CLKX ext	2	
M20	$t_{h(CKXL-FXH)}$	保持时间, 在CLKX低后, 外部FSX高	CLKX int	0	ns
			CLKX ext	6	

(1) 极性位CLKRP = CLKXP = FSRP = FSXP = 0。如果任何信号的极性倒, 那么该信号的时序参考也倒。

(2) $2P = 1/CLKG$ 在ns中。CLKG是样本速率生成器mux的输出。 $CLKG = CLKSRG/(1 + CLKGDV)$ 。CLKSRG可以是LSPCLK、CLKX、CLKR作为源。 $CLKSRG \leq (SYSCLKOUT/2)$ 。McBSP的性能受到I/O缓冲区切换速度的限制。

(3) 必须调整内部时钟预压器, 使McBSP时钟 (CLKG、CLKX、CLKR) 速度不大于I/O缓冲速度限制 (20 MHz)。

(4) 对于内部CLKR, 最大McBSP模块时钟频率降低到10 MHz。

5.9.6.1.1.2 McBSP开关特性

超出推荐的操作条件（除非另有说明）

编号	参数 ^{(1) (2)}		最小值	最大值	单位
M1	$t_{c(CKRX)}$	循环时间, CLKR/X	CLKR/X int	2P	ns
M2	$t_{w(CKRXH)}$	脉冲持续时间, CLKR/X高	CLKR/X int	$D - 5^{(3)}$	ns
M3	$t_{w(CKRXL)}$	脉冲持续时间, CLKR/X低	CLKR/X int	$C - 5^{(3)}$	ns
M4	$t_{d(CKRH-FRV)}$	延迟时间, CLKR高到内部FSR有效	CLKR int	0	ns
			CLKR ext	4	
M5	$t_{d(CKXH-FXV)}$	延迟时间, CLKX高到内部FSX有效	CLKX int	0	ns
			CLKX ext	4	
M6	$t_{dis(CKXH-DXHZ)}$	禁用时间, CLKX高到DX高阻抗后的最后一个数据位	CLKX int	8	ns
			CLKX ext	14	
M7	$t_{d(CKXH-DXV)}$	延迟时间, CLKX高到DX有效。这适用于除传输的第一个位之外的所有位。	CLKX int	9	ns
			CLKX ext	28	
		延迟时间, CLKX高到DX有效仅适用于在数据延迟1或2（精确的=01b或10b）模式上传输的第一位	CLKX int	8	
			CLKX ext	14	
		DXENA = 1	CLKX int	P + 8	
			CLKX ext	P + 14	
M8	$t_{en(CKXH-DX)}$	启用时间, CLKX高到DX驱动仅适用于在数据延迟1或2（精确的=01b或10b）模式上传输的第一位	CLKX int	0	ns
			CLKX ext	6	
		DXENA = 1	CLKX int	P	
			CLKX ext	P + 6	
M9	$t_{d(FXH-DXV)}$	延迟时间, FSX高到DX有效 仅适用于在数据延迟0（精确的=00b）模式上传输的第一个位。	FSX int	8	ns
			FSX ext	14	
		DXENA = 1	FSX int	P + 8	
			FSX ext	P + 14	
M10	$t_{en(FXH-DX)}$	启用时间, FSX高到DX驱动 仅适用于在数据延迟0（精确的=00b）模式上传输的第一个位	FSX int	0	ns
			FSX ext	6	
		DXENA = 1	FSX int	P	
			FSX ext	P + 6	

(1) 极性位CLKRP = CLKXP = FSRP = FSXP = 0。如果任何一个信号的极性是反向的, 那么时间参考 信号也是倒置的。

(2) $2P = 1/CLKG$ 在ns中。

(3) $C = CLKRX$ 低脉冲宽度= P $D = CLKRX$ 高脉冲宽度= P

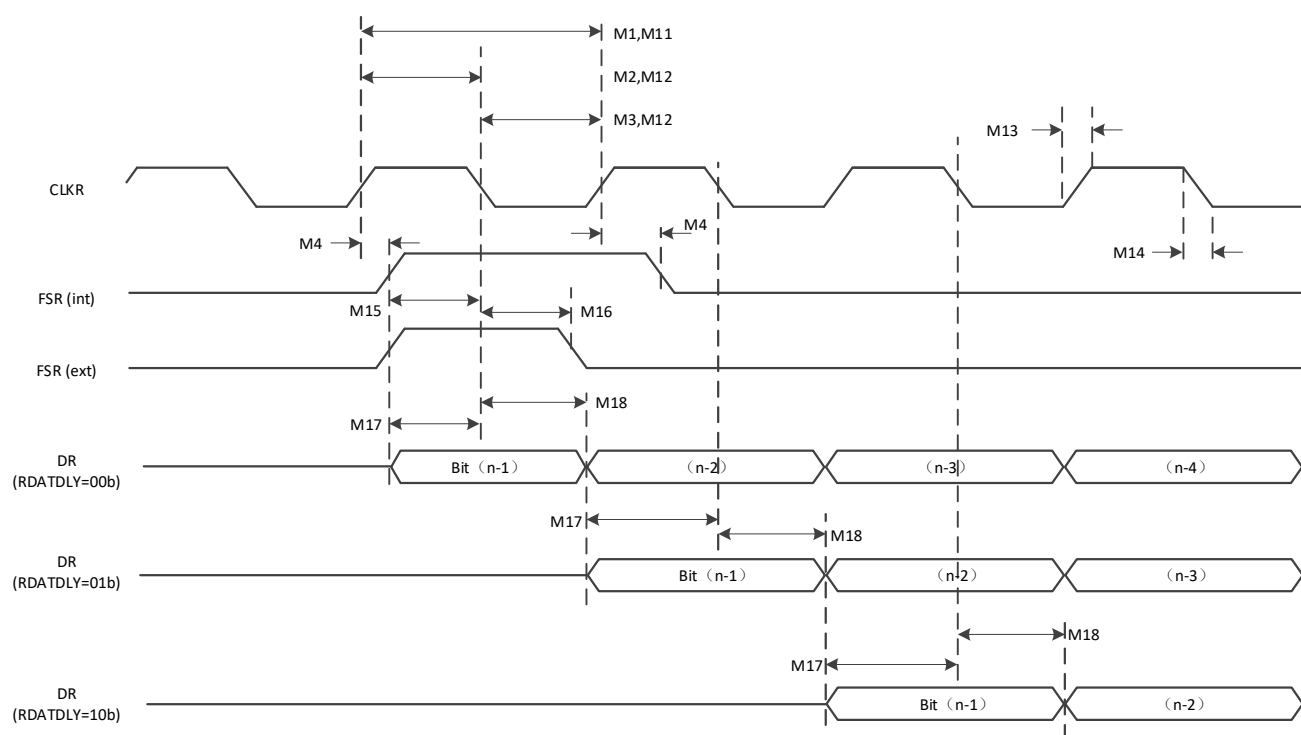


图 5-39.MCBSP接收时间

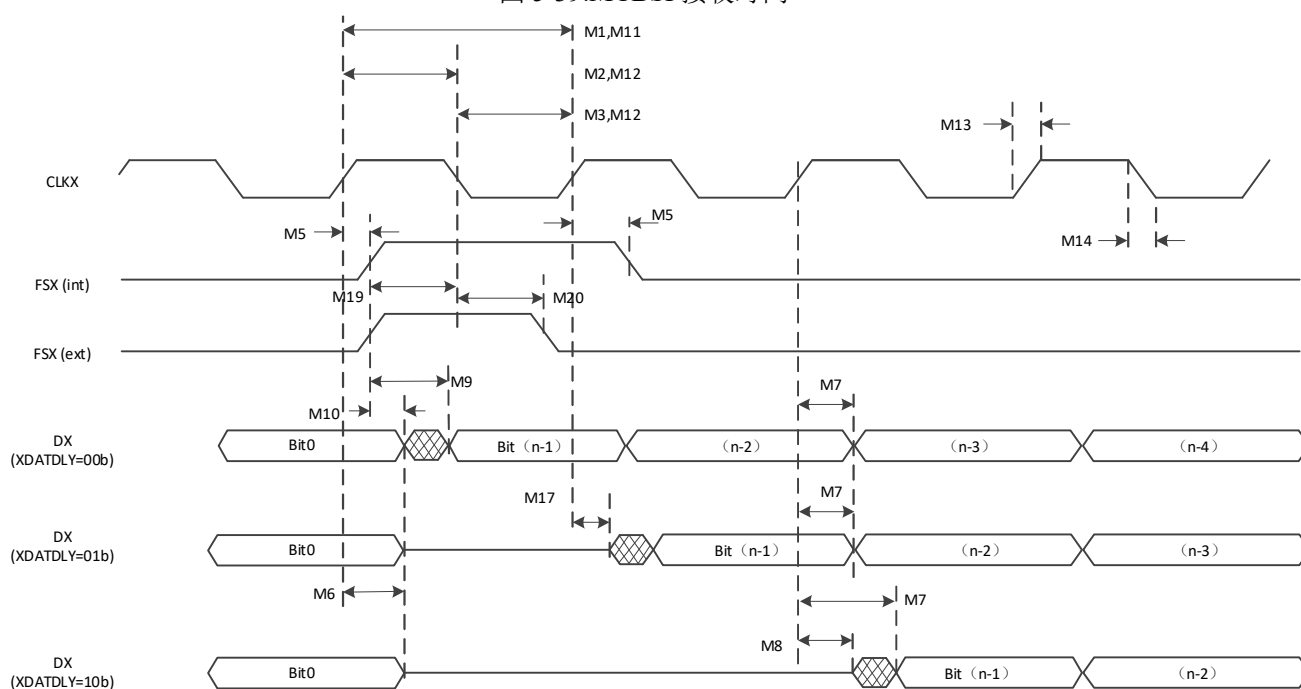


图 5-40.MCBSP发送时间

5.9.6.1.2 McBSP作为SPI主机或从机时序

5.9.6.1.2.1 McBSP作为SPI主机或从机时序要求 (CLKSTP = 10b, CLKXP = 0)

编号 ⁽¹⁾			主机		从机		单位
			最小值	最大值	最小值	最大值	
M30	$t_{su}(DRV-CKXL)$	建立时间, DR在CLKX低之前有效	30		8P-10		ns
M31	$t_h(CKXL-DRV)$	保持时间, DR在CLKX低后有效	1		8P-10		ns
M32	$t_{su}(BFXL-CKXH)$	建立时间, FSX低, CLKX高			8P+10		ns
M33	$t_c(CKX)$	循环时间, CLKX	2P ⁽²⁾		16P		ns

(1) 对于所有的SPI从机模式, CLKX必须至少是8个CLKG周期。此外, 通过设置CLKSM=CLKGDV=1, CLKG应该为LSPCLK/2。

(2) $2P = 1/CLKG$

5.9.6.1.2.2 McBSP作为SPI主机或从机切换特性 (CLKSTP = 10b, CLKXP = 0)

超出推荐的操作条件 (除非另有说明)

编号	参数	主机		从机		单位
		最小值	最大值	最小值	最大值	
M24	$t_h(CKXL-FXL)$ 保持时间, CLKX低后FSX低	2P(1)				ns
M25	$t_d(FXL-CKXH)$ 延迟时间, FSX低到CLKX高	P				ns
M26	$t_d(CKXH-DXV)$ 延迟时间, CLKX高到DX有效	-2	0	3P + 6	5P + 20	ns
M28	$t_{dis}(FXH-DXHZ)$ 禁用时间, DX高阻抗后的最后一个数据位从FSX高	6		6P + 6		ns
M29	$t_d(FXL-DXV)$ 延迟时间, FSX低到DX有效	6		4P + 6		ns

(1) $2P = 1/CLKG$

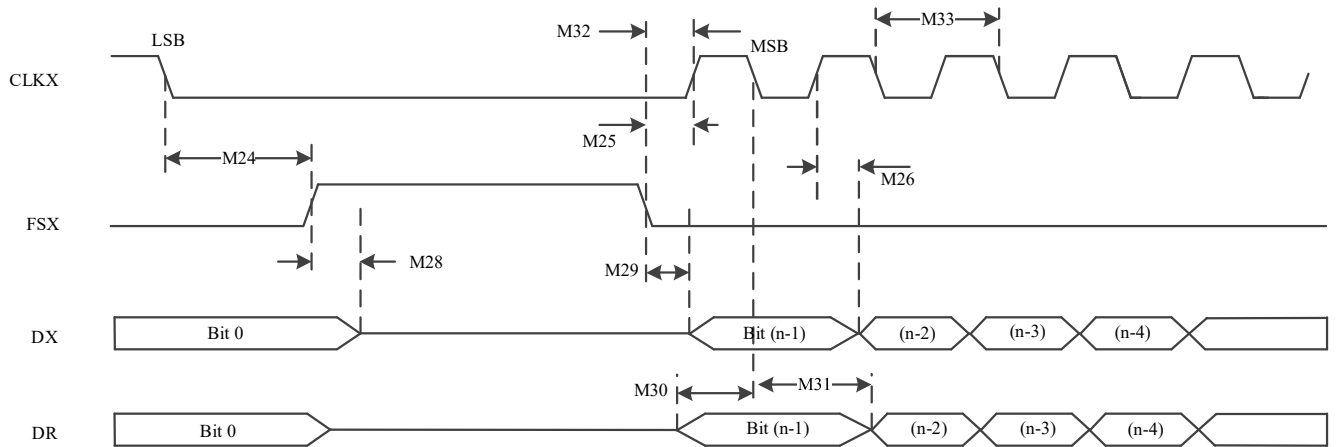


图 5-41. McBSP定时作为SPI主程序或从程序: CLKSTP = 10b, CLKXP = 0

5.9.6.1.2.3 McBSP作为SPI主机或从时序要求 (CLKSTP = 11b, CLKXP = 0)

编号 ⁽¹⁾			主机		从机		单位
			最小值	最大值	最小值	最大值	
M39	$t_{su}(DRV-CKXH)$	建立时间, DR在CLKX高之前有效	30		8P-10		ns
M40	$t_h(CKXH-DRV)$	保持时间, DR在CLKX高后有效	1		8P-10		ns
M41	$t_{su}(FXL-CKXH)$	建立时间, FSX低, CLKX高			16P+10		ns
M42	$t_c(CKX)$	循环时间, CLKX	2P(2)		16P		ns

(1) 对于所有的SPI从机模式, CLKX必须至少是8个CLKG周期。此外, 通过设置CLKSM=CLKGDV=1, CLKG应该为LSPCLK/2。

(2) $2P = 1/CLKG$ 。

5.9.6.1.2.4 McBSP作为SPI主机或从机切换特性 (CLKSTP = 11b, CLKXP = 0)

超出推荐的操作条件（除非另有说明）

编号	参数	主机		从机		单位
		最小值	最大值	最小值	最大值	
M34	$t_{\text{h}}(\text{CKXL-FXL})$ 保持时间, CLKX低后FSX低	P				ns
M35	$t_{\text{d}}(\text{FXL-CKXH})$ 延迟时间, FSX低到CLKX高	2P ⁽¹⁾				ns
M36	$t_{\text{d}}(\text{CKXL-DXV})$ 延迟时间, CLKX低到DX有效	-2	0	3P+6	5P+20	ns
M37	$t_{\text{dis}}(\text{CKXL-DXHZ})$ 禁用时间, DX高阻抗后的最后一个数据位从CLKX低	P+6		7P+6		ns
M38	$t_{\text{d}}(\text{FXL-DXV})$ 延迟时间, FSX低到DX有效	6		4P+6		ns

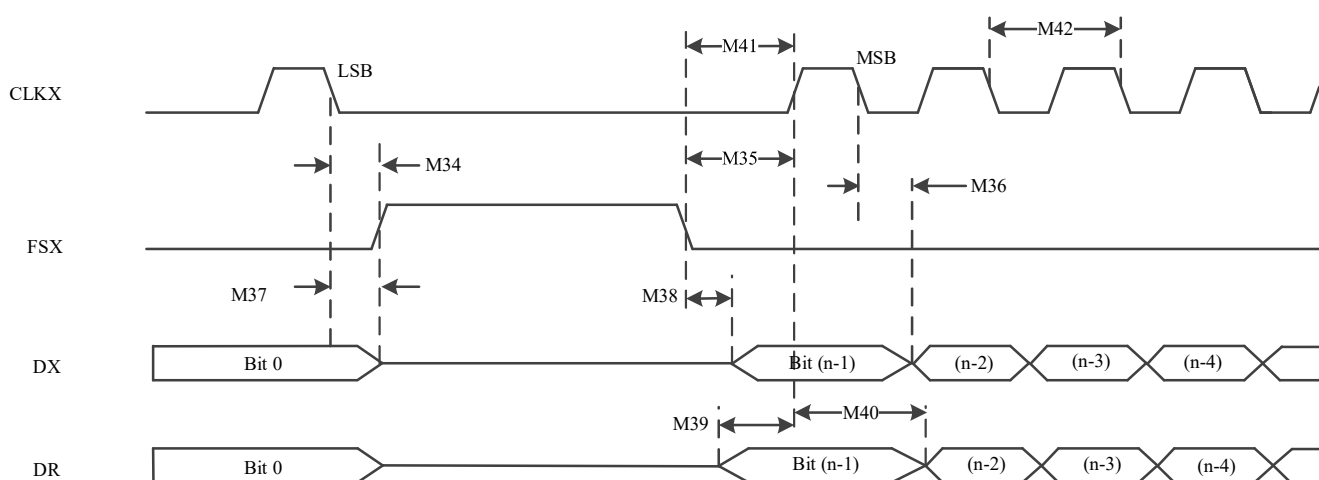


图5-42McBSP定时作为SPI主程序或从程序: CLKSTP = 11b, CLKXP = 0

5.9.6.1.2.5 McBSP作为SPI主机或从时序要求 (CLKSTP = 10b, CLKXP = 1)

编号 ⁽¹⁾			主机		从机		单位
			最小值	最大值	最小值	最大值	
M49	$t_{su}(DRV-CKXH)$	建立时间, DR在CLKX高之前有效	30		8P-10		ns
M50	$t_h(CKXH-DRV)$	保持时间, DR在CLKX高后有效	1		8P-10		ns
M51	$t_{su}(FXL-CKXL)$	建立时间, FSX低, CLKX低			8P+10		ns
M52	$t_c(CKX)$	循环时间, CLKX	2P ⁽²⁾		16P		ns

(1) 对于所有的SPI从机模式, CLKX必须至少是8个CLKG周期。此外, 通过设置CLKSM=CLKGDV=1, CLKG应该为LSPCLK/2。

(2) $2P = 1/CLKG$

5.9.6.1.2.6 McBSP作为SPI主机或从机切换特性 (CLKSTP = 10b, CLKXP = 1)

超出推荐的操作条件 (除非另有说明)

编号	参数	主机		从机		单位
		最小值	最大值	最小值	最大值	
M43	$t_h(CKXH-FXL)$ 保持时间, CLKX高后FSX低	2P(1)				ns
M44	$t_d(FXL-CKXL)$ 延迟时间, FSX低至CLKX低	P				ns
M45	$t_d(CKXL-DXV)$ 延迟时间, CLKX低到DX有效	-2	0	3P+6	5P+20	ns
M47	$t_{dis}(FXH-DXHZ)$ 禁用时间, DX高阻抗后的最后一个数据位从FSX高	6		6P+6		ns
M48	$t_d(FXL-DXV)$ 延迟时间, FSX低到DX有效	6		4P+6		ns

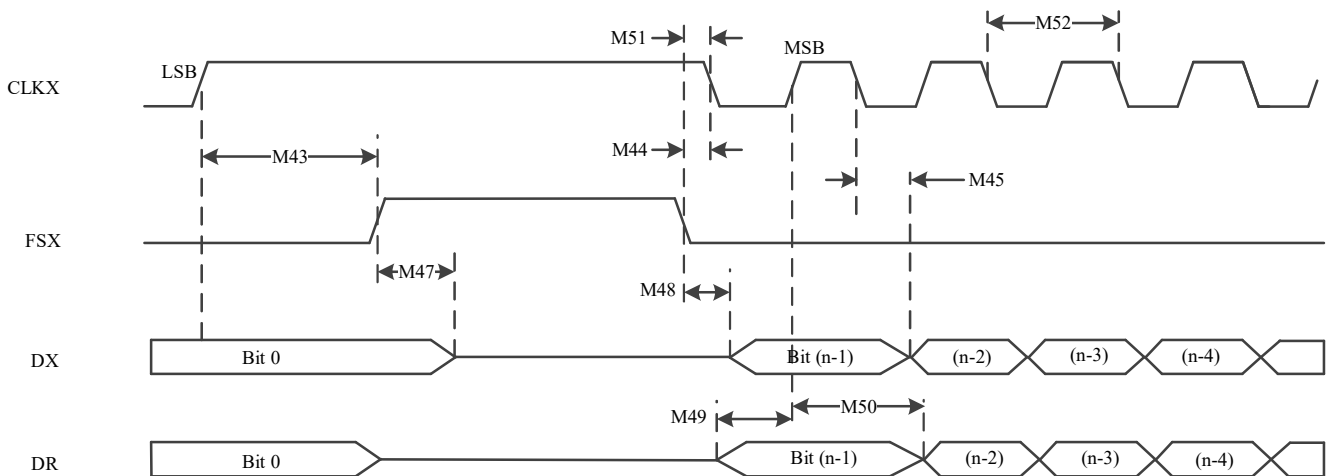


图5-43 McBSP定时作为SPI主程序或从程序: CLKSTP = 10b, CLKXP = 1

5.9.6.1.2.7 McBSP作为SPI主机或从时序要求 (CLKSTP = 11b, CLKXP = 1)

编号 ⁽¹⁾			主机		从机		单位
			最小值	最大值	最小值	最大值	
M58	$t_{su}(DRV-CKXL)$	建立时间, DR在CLKX低之前有效	30		8P-10		ns
M59	$t_h(CKXL-DRV)$	保持时间, DR在CLKX低后有效	1		8P-10		ns
M60	$t_{su}(FXL-CKXL)$	建立时间, FSX低, CLKX低			16P+10		ns
M61	$t_c(CKX)$	循环时间, CLKX	2P(2)		16P		ns

(1) 对于所有的SPI从机模式, CLKX必须至少是8个CLKG周期。此外, 通过设置CLKSM=CLKGDV=1, CLKG应该为LSPCLK/2。

(2) $2P = 1/CLKG$

5.9.6.1.2.8 McBSP作为SPI主机或从机切换特性 (CLKSTP = 11b, CLKXP = 1)

超出推荐的操作条件 (除非另有说明) ⁽¹⁾

编号	参数	主机		从机		单位
		最小值	最大值	最小值	最大值	
M53	$t_h(CKXH-FXL)$ 保持时间, CLKX高后FSX低	P				ns
M54	$t_d(FXL-CKXL)$ 延迟时间, FSX低至CLKX低	2P(1)				ns
M55	$t_d(CKXH-DXV)$ 延迟时间, CLKX高到DX有效	-2	0	3P+6	5P+20	ns
M56	$t_{dis}(CKXH-DXHZ)$ 禁用时间, DX高阻抗后的最后一个数据位从CLKX高	P+6		7P+6		ns
M57	$t_d(FXL-DXV)$ 延迟时间, FSX低到DX有效	6		4P+6		ns

(1) $2P = 1/CLKG$

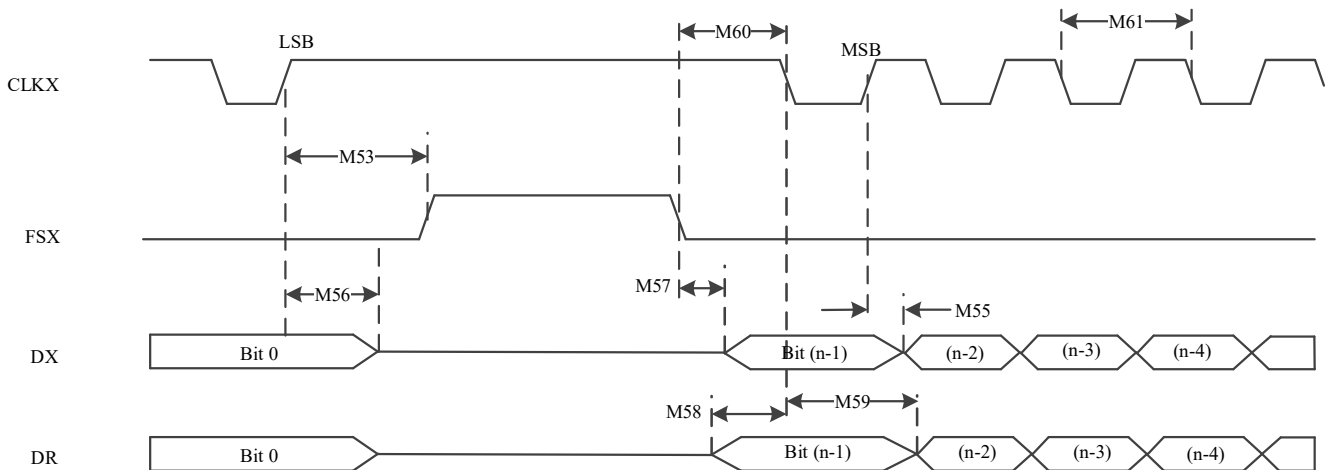


图5-44 McBSP定时作为SPI主程序或从程序: CLKSTP = 11b, CLKXP = 1

8.9.7 增强型控制器局域网（eCAN）模块

CAN模块（eCAN-A）具有以下功能：

- 与 CAN 协议，版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32个邮箱，每一个邮箱有下列属性：
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由 0 至 8 字节数据组成
 - 在接收和发送消息上使用一个 32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的 32 位本地网络时间计数器（与邮箱 6 协同通信）
- 自测模式
 - 运行在接收其自身消息的回路模式。提供一个“假”确认，从而无需另外节点提供确认位。

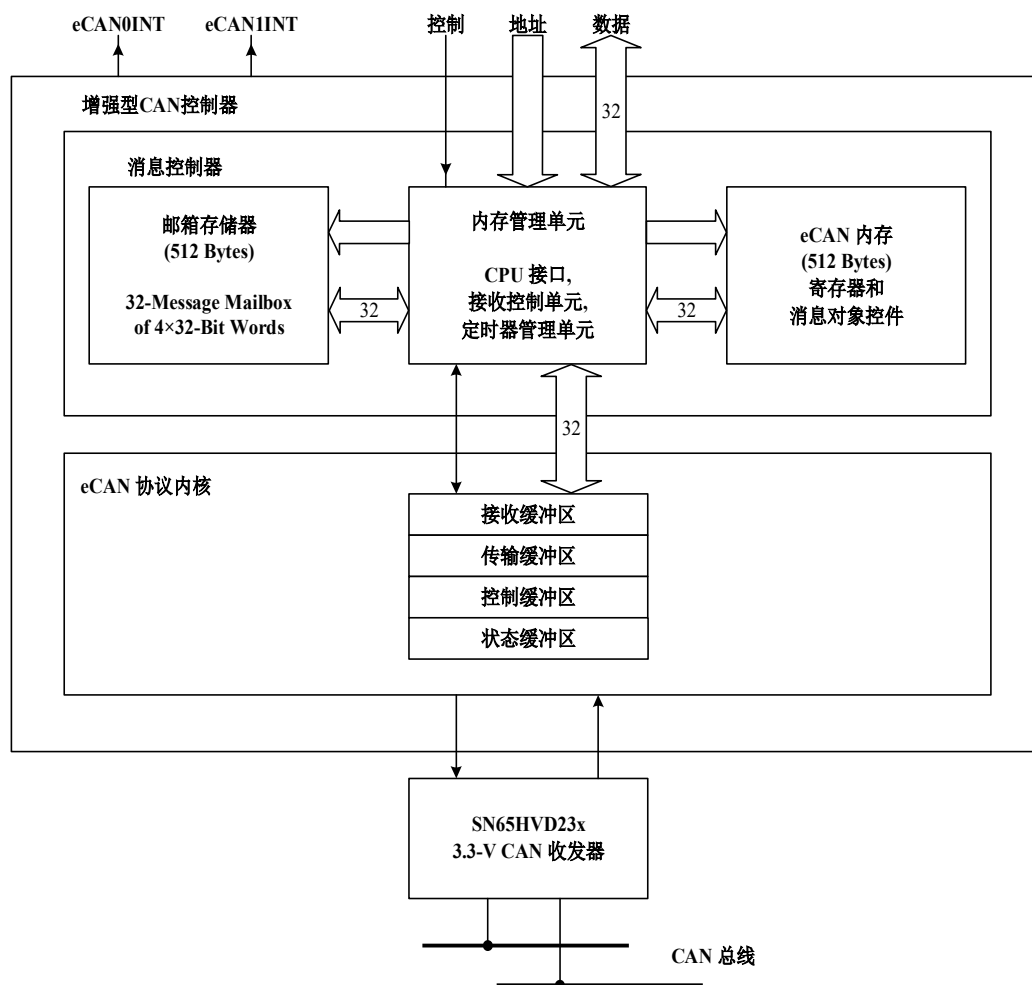


图 5-45 eCAN 方框图和接口电路

表 5-30 3.3-V eCAN收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T _A
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机和休眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C
ISO1050	3-5.5V	无	无	无	内置隔离 低传播延迟热关断 故障安全运行主超时	-55°C 至 105°C

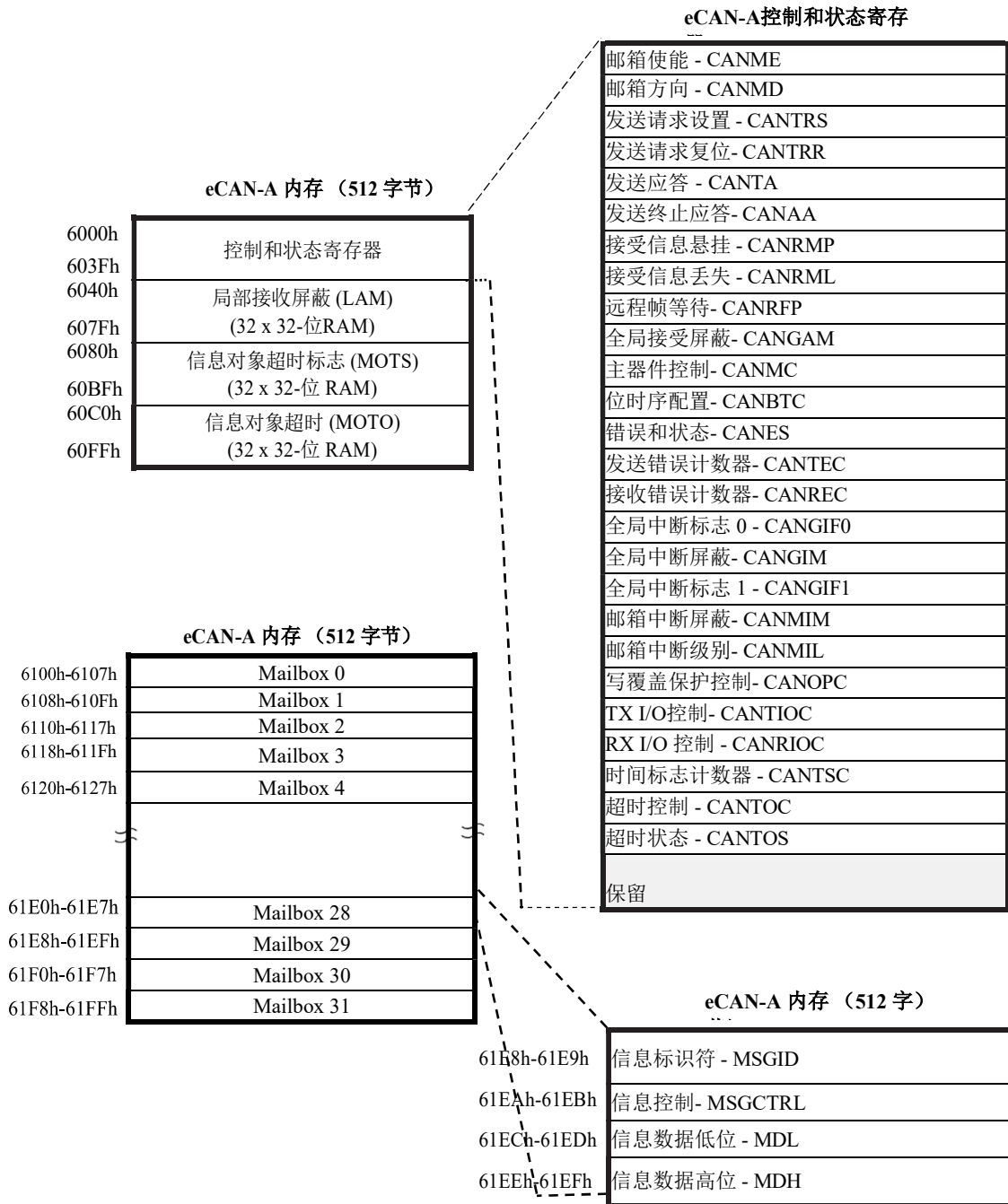


图5-46. eCAN-A内存映射

在表8-31中列出的CAN寄存器被DSP用来配置和控制CAN控制器和消息对象。eCAN控制寄存器仅支持32位的读/写操作。邮箱RAM可以访问为16位或32位。所有的32位访问都对齐到一个偶数边界。

表 8-31.CAN寄存器

寄存器名称	eCAN-A地址	大小 (x 32)	说明
CANME	0x6000	1	邮箱启用
CANMD	0x6002	1	邮箱方向
CANTRS	0x6004	1	发送请求设定
CANTRR	0x6006	1	发送请求复位
CANTA	0x6008	1	传输确认
CANAA	0x600A	1	中止确认
CANRMP	0x600C	1	接收消息等待
CANRML	0x600E	1	接收消息丢失
CANRFP	0x6010	1	远程帧等待
CANGAM	0x6012	1	全局接收屏蔽
CANMC	0x6014	1	主器件控制
CANBTC	0x6016	1	位时序配置
CANES	0x6018	1	错误和状态
CANTEC	0x601A	1	发送错误计数器
CANREC	0x601C	1	接收错误计数器
CANGIF0	0x601E	1	全局中断标志 0
CANGIM	0x6020	1	全局中断屏蔽
CANGIF1	0x6022	1	全局中断标志 1
CANMIM	0x6024	1	邮箱中断屏蔽
CANMIL	0x6026	1	邮箱中断级别
CANOPC	0x6028	1	写覆盖保护控制
CANTIOC	0x602A	1	TX I/O 控制
CANRIOC	0x602C	1	RX I/O 控制
CANTSC	0x602E	1	时间戳计数器（在SCC 模式中被保留）
CANTOC	0x6030	1	超时控制（在SCC 模式中被保留）
CANTOS	0x6032	1	超时状态（在SCC 模式中被保留）

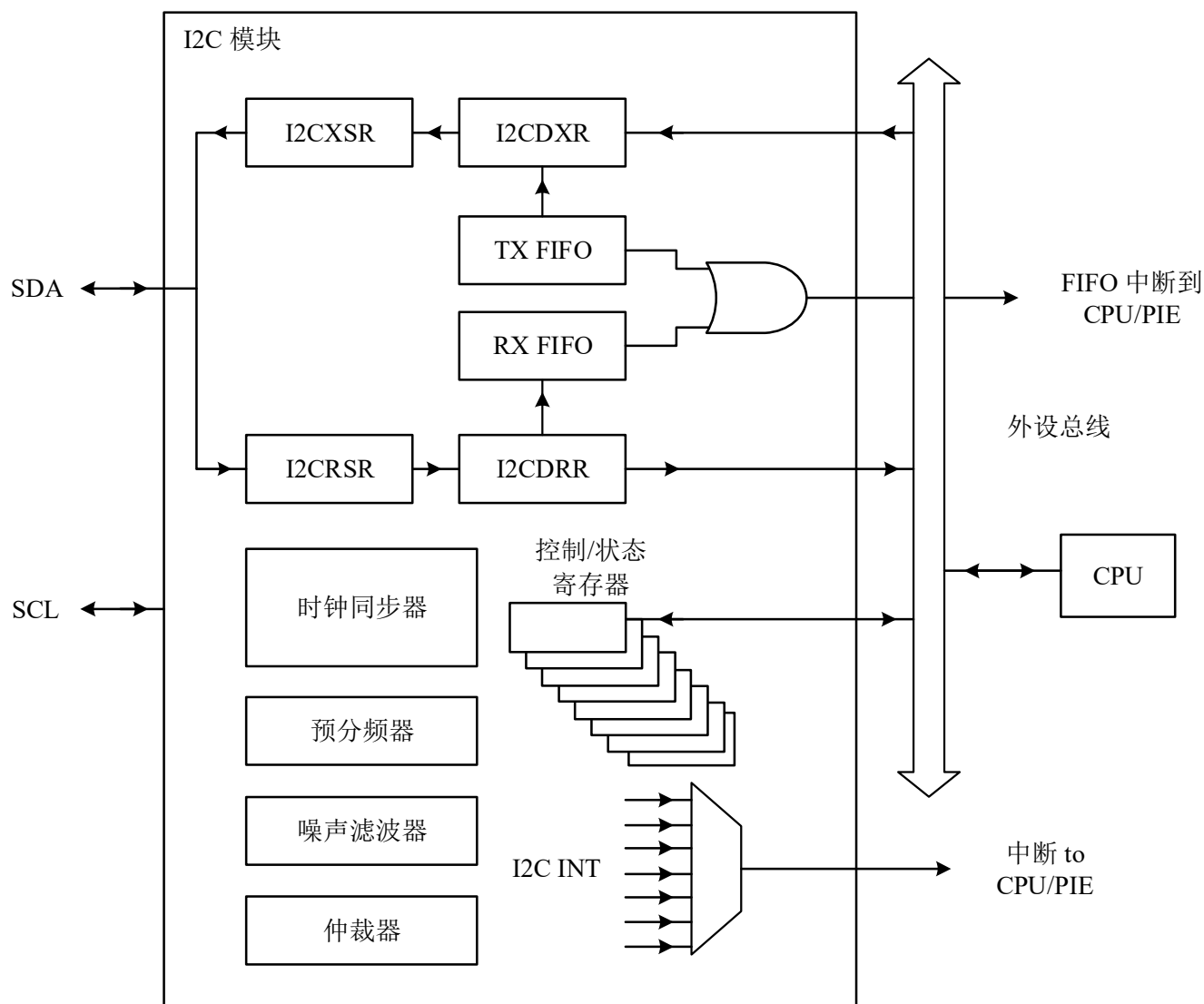
(1) 这些寄存器被映射到外围设备帧1。

5.9.8 IIC串行端口（I2C）

该设备包含一个I2C串口。图5-47显示了I2C外围模块如何在设备内进行接口。

I2C模块具有以下功能：

- 符合飞利浦半导体I2c总线规范（2.1版）：
 - 支持1位到8位的格式传输
 - 7位和10位寻址模式
 - 常规调用
 - 开始字节模式
 - 支持多个主发送器和从机接收器
 - 支持多个从机发送器和主接收器
 - 主收发和收发组合模式
 - 数据传输速率从10kbps到400 kbps（I2C快速-中等）
- 一个4字接收FIFO和一个4字传输FIFO
- DSP可以使用的一个中断。此中断可由以下条件之一产生：
 - 发送数据准备就绪
 - 接收数据准备就绪
 - 寄存器访问准备就绪
 - 未收到任何确认
 - 仲裁失败
 - 检测到停止状态
 - 作为从机对象
- 在FIFO模式下可以使用的附加中断。
- 模块启用/禁用功能
- 自由数据格式模式



- A. I2C寄存器以系统排除速率访问。I2C端口的内部时序和信号波形也处于同步输出速率。
- B. PCLKCR0寄存器中的时钟启用位 (I2CAENCLK) 将关闭到I2C端口的时钟以进行低功耗操作。复位后, I2CAENCLK 被清除, 这表明外围内部时钟已关闭。

图 5-47.I2C外围设备模块接口

表 5-32.I2C-A寄存器

名称	地址	受EALLOW 保护	说明
I2COAR	0x7900	否	I2C 自身的地址寄存器
I2CIER	0x7901	否	I2C 中断使能寄存器
I2CSTR	0x7902	否	I2C 状态寄存器
I2CCLKL	0x7903	否	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	否	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	否	I2C 数据计数寄存器
I2CDRR	0x7906	否	I2C 数据接收寄存器
I2CSAR	0x7907	否	I2C 从器件地址寄存器
I2CDXR	0x7908	否	I2C 数据发送寄存器
I2CMDDR	0x7909	否	I2C 模式寄存器
I2CISRC	0x790A	否	I2C 中断源寄存器
I2CPSC	0x790C	否	I2C 预分频器寄存器
I2CFFTX	0x7920	否	I2C FIFO 发送寄存器
I2CFFRX	0x7921	否	I2C FIFO 接收寄存器
I2CRSR	-	否	I2C 接收移位寄存器（不可访问 DSP）
I2CXSR	-	否	I2C 发送移位寄存器（不可访问 DSP）

5.9.8.1 I2C电气数据/时序

节5.9.8.1.1显示了I2C时序要求。

节5.9.8.1.2显示了I2C开关特性。

5.9.8.1.1 I2C时序要求

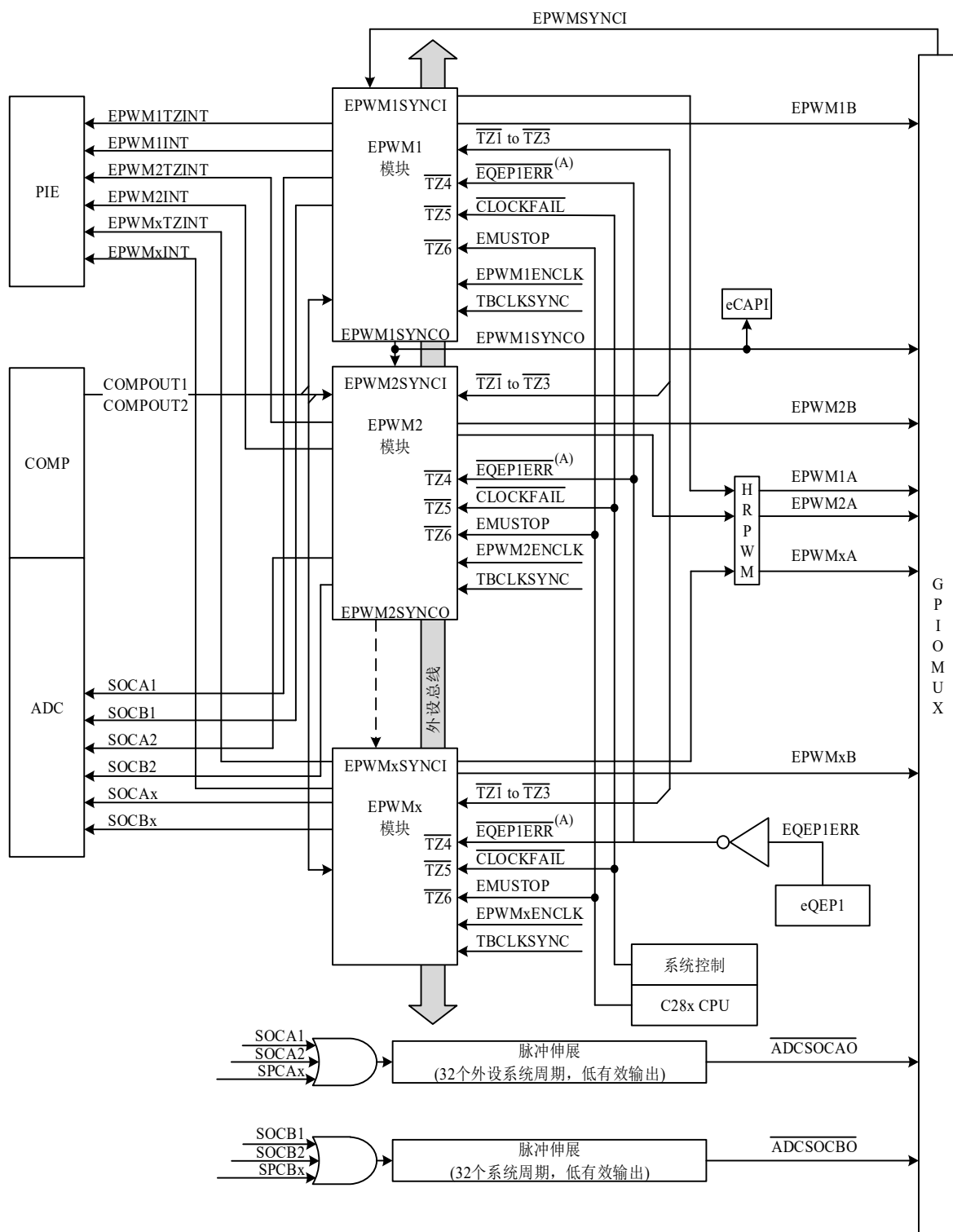
			最小值	最大值	单位
$t_{h(SDA-SCL)START}$	保持时间，开始条件，SDA下降后，SCL下降延迟		0.6		μs
$t_{su(SCL-SDA)START}$	建立时间，重复启动，在SDA下降延迟前SCL上升		0.6		μs
$t_{h(SCL-DAT)}$	保持时间，SCL下降后的数据		0		μs
$t_{su(DAT-SCL)}$	建立时间，在SCL上升之前的数据		100		ns
$t_r(SDA)$	上升时间，SDA	输入差值	20	300	ns
$t_r(SCL)$	上升时间，SCL	输入差值	20	300	ns
$t_f(SDA)$	下降时间，SDA	输入差值	11.4	300	ns
$t_f(SCL)$	下降时间，SCL	输入差值	11.4	300	ns
$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA上升延迟前的SCL上升		0.6		μs

5.9.8.1.2 I2C开关特性

超出推荐的操作条件（除非另有说明）

参数	测试条件	最小值	最大值	单位
f_{SCL} 时钟频率	I2C 时钟模块的频率从 7 MHz 到 12MHz, I2C 预计算器和时钟分频器寄存器的配置适当。		400	kHz
V_{il} 低电平输入电压			$0.3 V_{DDIO}$	V
V_{ih} 高电平输入电压		$0.7 V_{DDIO}$		V
V_{hys} 输入滞后		$0.05 V_{DDIO}$		V
V_{ol} 低电平输出电压	3mA 灌电流	0	0.4	V
t_{LOW} SCL时钟的低电平保持时间	I2C 时钟模块的频率从 7 MHz 到 12MHz, I2C 预计算器和时钟分频器寄存器的配置适当。	1.3		μs
t_{HIGH} SCL时钟的高电平保持时间	I2C 时钟模块的频率从 7 MHz 到 12MHz, I2C 预计算器和时钟分频器寄存器的配置适当。	0.6		μs
I_I 输入电流, 输入电压从 $0.1 V_{DDIO}$ 至 $0.9 V_{DDIO}$ 最大值		-10	10	μA

5.9.9 增强型脉宽调制器 (ePWM) 模块 (ePWM1至ePWM8)



A. 这个信号只在带有eQEP1模块的器件内存在。

图 5-48. ePWM

表5-33.ePWM1-ePWM4控制和状态ePWM1-ePWM4控制和状态

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16) /#SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	1/1	时基周期寄存器集
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	1/1	计数器比较 A 寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	1/1	计数器比较 B 寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1/0	用于输出 A 的执行寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1/0	用于输出 B 的执行寄存器
AQSFR	0x680D	0x684D	0x688D	0x68CD	1/0	软件操作强制执行寄存器
AQCSFR	0x680E	0x684E	0x688E	0x68CE	1/1	S/W 强制执行寄存器组
DBCTL	0x680F	0x684F	0x688F	0x68CF	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	1/0	可编程控制故障区选择寄存器 ⁽¹⁾
TZDSEL	0x6813	0x6853	0x6893	0x98D3	1/0	可编程控制故障区域数字比较寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	1/0	可编程控制故障区域标志寄存器 ⁽¹⁾
TZCLR	0x6817	0x6857	0x6897	0x68D7	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	1/0	触发区强制寄存器 ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1/0	HRPWM 配置寄存器 ⁽¹⁾

表5-33.ePWM1-ePWM4控制和状态寄存器（续）

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16)/ #SHADOW	说明
HRPWR	0x6821	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	0x6826	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1/0	高分辨率周期控制寄存器 ⁽¹⁾
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1/W(2)	时基周期 HRPWM 寄存器镜像
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1/W(2)	时基周期寄存器镜像
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1/W(2)	比较 A HRPWM 寄存器镜像
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1/W(2)	比较 A 寄存器镜像
DCTRISEL	0x6830	0x6870	0x68B0	0x68F0	1/0	数字比较触发选择寄存器 ⁽¹⁾
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1/0	数字比较 A 控制寄存器 ⁽¹⁾
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1/0	数字比较 B 控制寄存器 ⁽¹⁾
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1/0	数字比较滤波器控制寄存器 ⁽¹⁾
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1/0	数字比较捕捉控制寄存器 ⁽¹⁾
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1/1	数字比较计数器捕捉寄存器

表 5-34. ePWM5-ePWM8 控制和状态寄存器

名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
TBCTL	0x6900	0x6940	0x6980	1/0	时基控制寄存器
TBSTS	0x6901	0x6941	0x6981	1/0	时基状态寄存器
TBPHSHR	0x6902	0x6942	0x6982	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6903	0x6943	0x6983	1/0	时基相位寄存器
TBCTR	0x6904	0x6944	0x6984	1/0	时基计数器寄存器
TBPRD	0x6905	0x6945	0x6985	1/1	时基周期寄存器集
TBPRDHR	0x6906	0x6946	0x6986	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6907	0x6947	0x6987	1/0	计数器比较控制寄存器
CMPAHR	0x6908	0x6948	0x6988	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6909	0x6949	0x6989	1/1	计数器比较 A 寄存器集
CMPB	0x690A	0x694A	0x698A	1/1	计数器比较 B 寄存器集

表 5-34. ePWM5-ePWM8 控制和状态寄存器 (continued)

名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
AQCTLA	0x690B	0x694B	0x698B	1/0	用于输出 A 的操作门限控制寄存器
AQCTLB	0x690C	0x694C	0x698C	1/0	用于输出 B 的操作门限控制寄存器
AQSFR	0x690D	0x694D	0x698D	1/0	操作门限软件强制寄存器
AQCSFR	0x690E	0x694E	0x698E	1/1	操作门限连续 S/W 强制寄存器集
DBCTL	0x690F	0x694F	0x698F	1/1	死区生成器控制寄存器
DBRED	0x6910	0x6950	0x6990	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6911	0x6951	0x6991	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6912	0x6952	0x6992	1/0	触发区选择寄存器 ⁽¹⁾
TZDCSEL	0x6913	0x6953	0x6993	1 / 0	触发区数字比较寄存器
TZCTL	0x6914	0x6954	0x6994	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6915	0x6955	0x6995	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6916	0x6956	0x6996	1/0	触发区标志寄存器 ⁽¹⁾
TZCLR	0x6917	0x6957	0x6997	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6918	0x6958	0x6998	1/0	触发区强制寄存器 ⁽²⁾
ETSEL	0x6919	0x6959	0x6999	1/0	事件触发器选择寄存器
ETPS	0x691A	0x695A	0x699A	1/0	事件触发器预分频寄存器
ETFLG	0x691B	0x695B	0x699B	1/0	事件触发器标志寄存器
ETCLR	0x691C	0x695C	0x699C	1/0	事件触发器清除寄存器
ETFRC	0x691D	0x695D	0x699D	1/0	事件触发器强制寄存器
PCCTL	0x691E	0x695E	0x699E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6920	0x6960	0x69A0	1/0	HRPWM 配置寄存器 ⁽²⁾
HRPWR	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6928	0x6968	0x69A8	1/0	高分辨率周期控制寄存器 ⁽²⁾
TBPRDH	0x692A	0x696A	0x69AA	1/W ⁽³⁾	时基周期 HRPWM 寄存器镜像
TBPRDM	0x692B	0x696B	0x69AB	1/W ⁽³⁾	时基周期寄存器镜像
CMPAHRM	0x692C	0x696C	0x69AC	1/W ⁽³⁾	比较 A HRPWM 寄存器镜像
CMPAM	0x692D	0x696D	0x69AD	1/W ⁽³⁾	比较 A 寄存器镜像
DCTRISEL	0x6930	0x6970	0x69B0	1/0	数字比较触发选择寄存器 ⁽²⁾
DCACTL	0x6931	0x6971	0x69B1	1/0	数字比较 A 控制寄存器 ⁽²⁾
DCBCTL	0x6932	0x6972	0x69B2	1/0	数字比较 B 控制寄存器 ⁽²⁾
DCFCTL	0x6933	0x6973	0x69B3	1/0	数字比较滤波器控制寄存器 ⁽²⁾

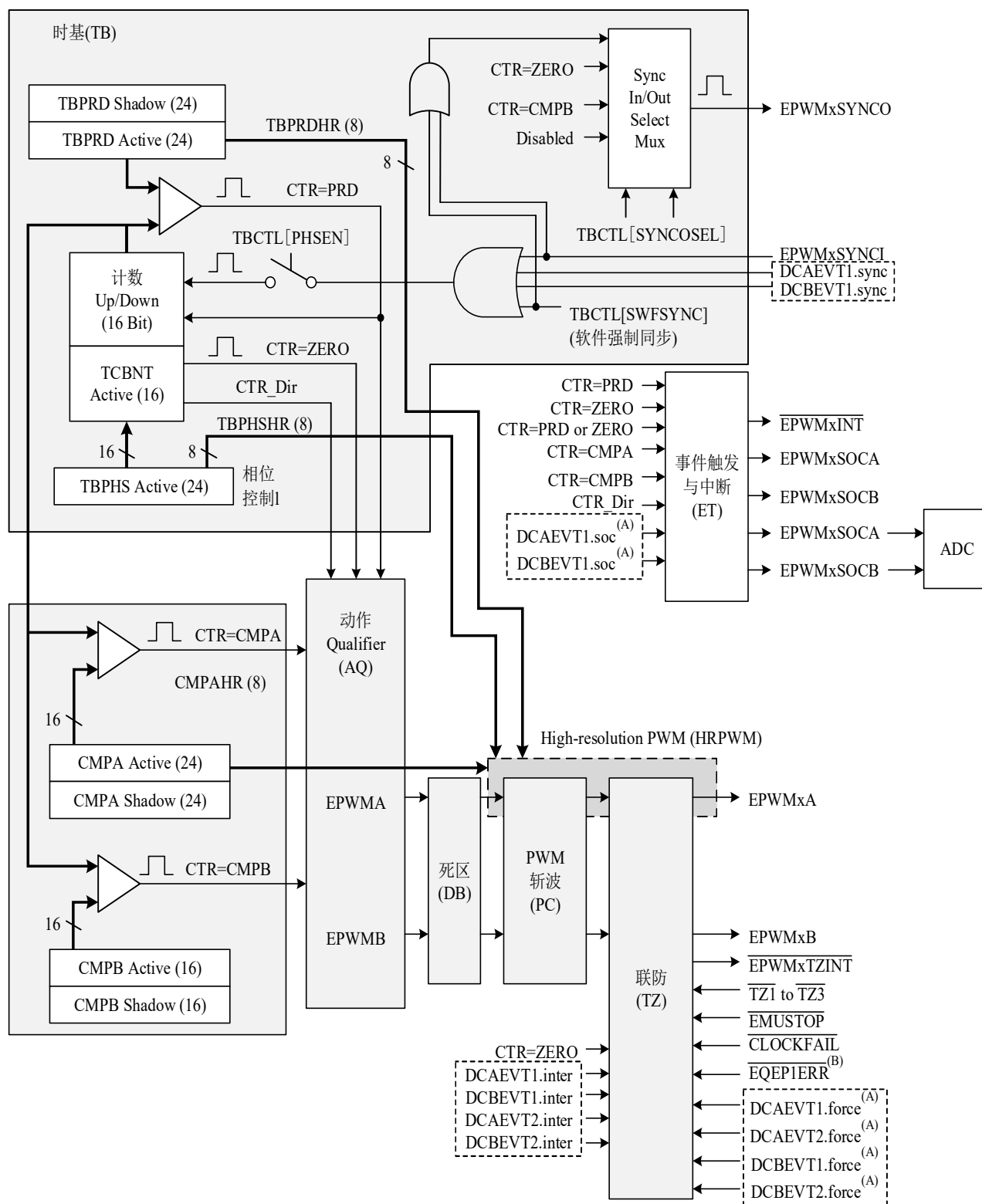
(2) 寄存器受 EALLOW 保护。

(3) W = 写入影子寄存器

表 5-34. ePWM5-ePWM8 控制和状态寄存器 (continued)

名称	ePWM5	ePWM6	ePWM7	大小 (x16)/ #SHADOW	说明
DCCAPCT	0x6934	0x6974	0x69B4	1/0	数字比较捕捉控制寄存器 ⁽²⁾
DCFOFFSET	0x6935	0x6975	0x69B5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6936	0x6976	0x69B6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6937	0x6977	0x69B7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6938	0x6978	0x69B8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6939	0x6979	0x69B9	1/1	数字比较计数器捕捉寄存器

(1)受EALLOW保护的寄存器。(2) W =写入影子寄存器



A. 这些事件由1TypeePWM数字比较（DC）子模块基于COMPxOUT和TZ信号的级别生成。

B. 此信号仅存在于具有eOEP1模块的设备上。

图5-49. ePWM子模块，显示关键的内部信号互连

5.9.9.1 ePWM电气数据/时序

PWM是指ePWM1-8上的PWM输出。节5.9.9.1.1显示了PWM时序要求和节5.9.9.1.2，开关特性。

5.9.9.1.1 ePWM时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(SYCIN)}$	同步输入脉冲宽度	异步	$2t_{c(SCO)}$	周期
		同步	$2t_{c(SCO)}$	周期
		带输入门限	$1t_{c(SCO)} + t_{w(IQSW)}$	周期

(1) 有关输入限定符参数的说明，请参见节5.9.15.1.2.1。

5.9.9.1.2 ePWM开关特性

超出推荐的操作条件（除非另有说明）

参数	测试条件	最小值	最大值	单位
$t_w(PWM)$	脉冲持续时间，PWMx输出高/低	33.33		ns
$t_w(SYNCOUT)$	同步输出脉冲宽度	$8t_{c(SCO)}$		周期
$t_d(PWM)t_{za}$	延迟时间，跳闸输入激活到PWM强制高延迟时间，跳闸输入激活到PWM强制低		25	ns
$t_d(TZ-PWM)_{HZ}$	延迟时间，跳闸输入激活到PWM Hi-Z		20	ns

5.9.9.2 死区输入时序

节5.9.9.2.1列出死区输入时序要求。

5.9.9.2.1 死区输入时序要求

		最小值	最大值	单位
$t_w(TZ)$	脉冲持续时间， $\overline{TZx}$ 输入低电平	异步	$2t_{c(TBCLK)}$	周期
		同步	$2t_{c(TBCLK)}$	周期
		带输入门限	$2t_{c(TBCLK)} + t_w(IQSW)$	周期

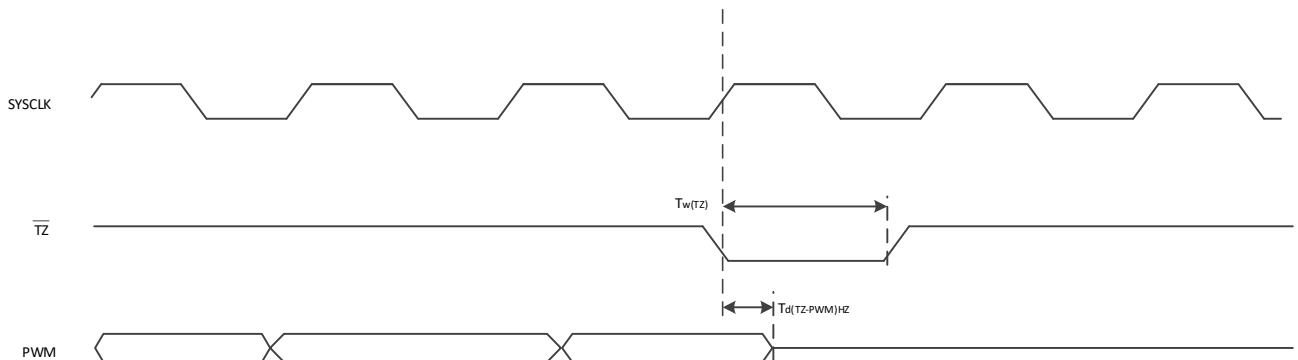


图5-50 PWM Hi-Z特性

5.9.10 高分辨率PWM（HRPWM）

该模块在单个模块中组合多个延迟线，并使用专用校准延迟线进行简化校准系统。对于每个ePWM模块，都有一条HR延迟线。HRPWM模块提供了PWM分辨率（时间粒度），这明显优于使用传统衍生的数字PWM方法可以实现的效果。

HRPWM模块的要点是：

- .显著地扩展了传统派生的数字PWM的时间分辨率能力。
- .该功能可用于单边（占空比和相移控制）以及用于频率/周期调制的双边缘控制。
- .通过扩展到ePWM模块的比较A和相位寄存器来控制更细的时间粒度控制或边缘定位。
- .HRPWM功能在特定设备上可用时，仅在ePWM模块的a信号路径上提供（即在EPWMxA输出上）。EPWMxB输出具有传统的PWM功能。

5.9.10.1 HRPWM电气数据/时序

节5.9.10.1.1显示了高分辨率的PWM开关特性。

5.9.10.1.1 高分辨率PWM特性

参数 ⁽¹⁾	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽²⁾		150	310	ps

(1) HRPWM工作的最小同步输出频率为60 MHz。

(2) MEP步长在高温下最大，在V_{DD}时电压最小。MEP步长随着温度升高和电压降低而增大，随着温度降低和电压升高而减小。使用HRPWM特性的应用程序应该使用MEP尺度因子优化器（SFO）估计软件功能。

5.9.11 增强型捕获模块（eCAP1）

该设备包含一个增强的捕获（eCAP）模块。图5-51显示了一个模块的功能方框图。

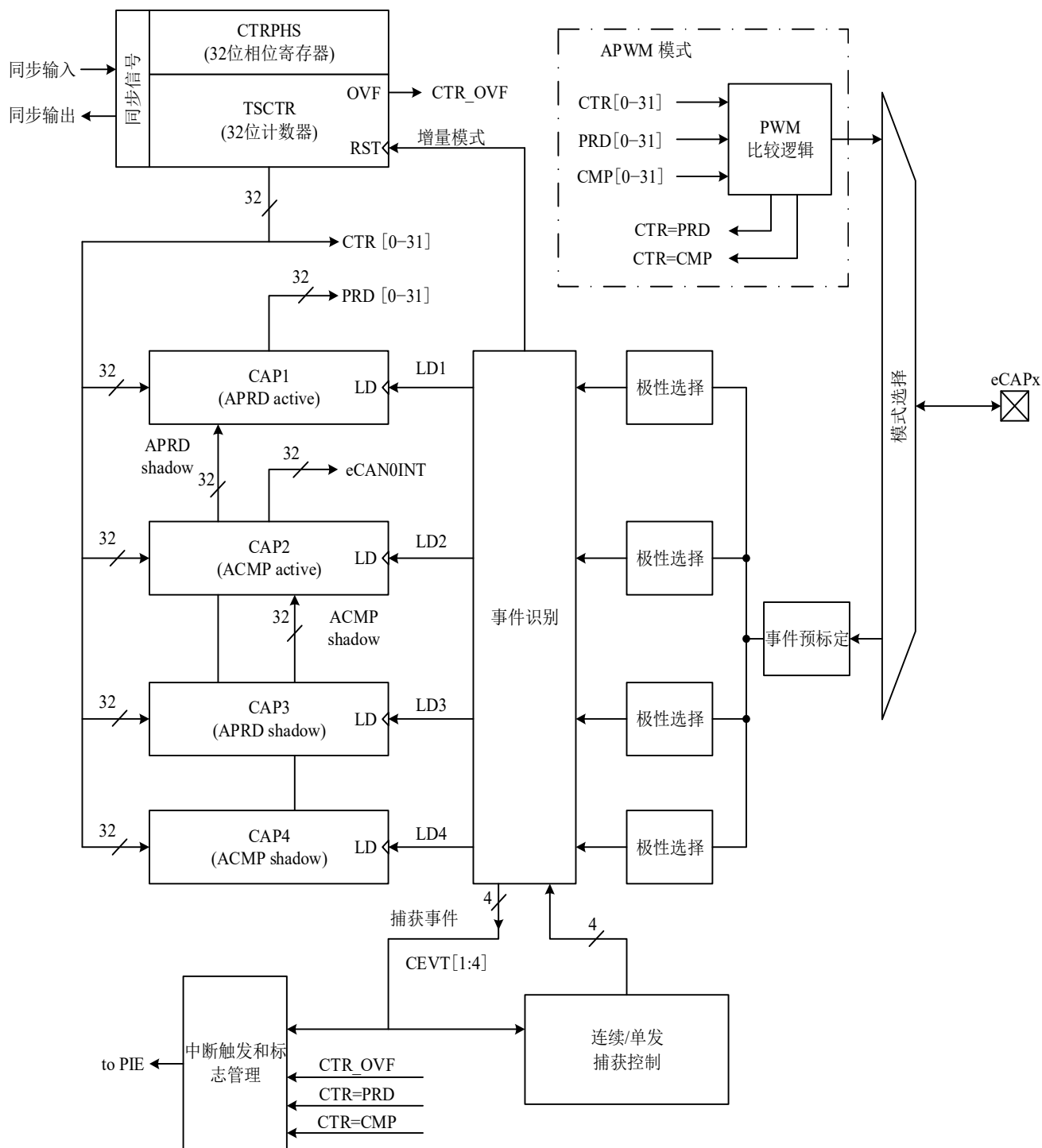


图5-51. eCAP功能方框图

eCAP模块按系统输出速率。

PCLKCR1寄存器中的时钟启用位（ECAP1 ENCLK）单独关闭eCAP模块（用于低功耗操作）。复位后，ECAP1ENCLK设置为低，表示外围时钟关闭。

表5-35. eCAP控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	大小 (x 16)	受EALLOW 保护	说明
TSCTR	0x6A00	0x6A20	0x6A40	2	否	时间戳计数器
CTPHS	0x6A02	0x6A22	0x6A42	2	否	计数器相位偏移值寄存器
CAP1	0x6A04	0x6A24	0x6A44	2	否	捕捉 1 寄存器
CAP2	0x6A06	0x6A26	0x6A46	2	否	捕捉 2 寄存器
CAP3	0x6A08	0x6A28	0x6A48	2	否	捕捉 3 寄存器
CAP4	0x6A0A	0x6A2A	0x6A4A	2	否	捕捉 4 寄存器
保留	0x6A0C- 0x6A12	0x6A2C to 0x6A32	0x6A4C to 0x6A52	8	否	被保留
ECCTL1	0x6A14	0x6A34	0x6A54	1	否	捕捉控制寄存器 1
ECCTL2	0x6A15	0x6A35	0x6A55	1	否	捕捉控制寄存器 2
ECEINT	0x6A16	0x6A36	0x6A56	1	否	捕捉中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	1	否	捕捉中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	1	否	捕捉中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	1	否	捕捉中断强制寄存器
保留	0x6A1A- 0x6A1F	0x6A3A to 0x6A3F	0x6A5A to 0x6A5F	6	否	被保留

5.9.11.1 eCAP电气数据/时序

节5.9.11.1.1显示eCAP时序要求，节5.9.11.1.2显示eCAP开关特性。5.9.11.1.1增强型捕获（eCAP）时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SCO)}$	周期
		同步	$2t_{c(SCO)}$	
		带输入门限	$1t_{c(SCO)} + t_{w(IQSW)}$	

(1) 有关输入限定符参数的说明，请参见节5.9.15.1.2.1。

5.9.11.1.2 eCAP开关特性

超出推荐的操作条件（除非另有说明）

参数	最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx输出高/低	20	ns

5.9.12 高分辨率捕获模块（HRCAP1到HRCAP4）

高分辨率捕捉 (HRCAP) 模块测量外部脉冲与一个 300ps 典型分辨率之间的差异。

HRCAP 的用途包括：

- 电容触摸应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/回声定位测量和扫描

HRCAP 模块的特性包括：

- 在非高分辨率或者高分辨率模式中的脉宽捕捉
- 差分 (Delta) 模式脉宽捕捉
- 在每个边沿上 300ps 分辨率的典型高分辨率捕捉
- 下降或者上升边沿上的中断
- 2 深度缓冲器中脉冲宽度的持续模式捕捉
- 针对精准高分辨率捕捉的校准逻辑
- 所有上述资源只用于一个单输入引脚
- 兼容进口器件 HRCAP 校准软件库用于校准和计算部分脉冲宽度。

除了一个高分辨率校准时钟，HRCAP 模块还包括一个捕捉通道，校准时，将内部连接至 ePWM8A HRPWM 通道。

每一个 HRCAP 通道有下列独立的关键资源：

- 专用输入捕捉引脚
- 16 位 HRCAP 时钟等于 PPL 输出频率（与 SYSCLK 异步）或者等于 SYSCLK 频率（与 SYSCLK 同步）
- 在一个 2 深度缓冲器中的高分辨率脉宽捕捉

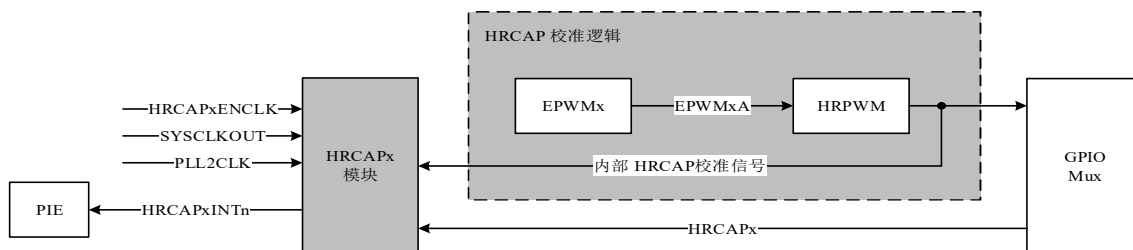


图 5-52. HRCAP 功能方框图

表 5-36.HRCAP寄存器

名称	HRCAP1	HRCAP2	HRCAP3	HRCAP4	大小 (x 16)	说明
HCCTL	0x6AC0	0x6AE0	0x6C80	0x6CA0	1	HRCAP 控制寄存器 ⁽¹⁾
HCIFR	0x6AC1	0x6AE1	0x6C81	0x6CA1	1	HRCAP 中断标志寄存器
HCICLR	0x6AC2	0x6AE2	0x6C82	0x6CA2	1	HRCAP 中断清除寄存器
HCIFRC	0x6AC3	0x6AE3	0x6C83	0x6CA3	1	HRCAP 中断强制寄存器
HCCOUNTER	0x6AC4	0x6AE4	0x6C84	0x6CA4	1	HRCAP 16 位计数器寄存器
HCCAPCNTRISE0	0x6AD0	0x6AF0	0x6C90	0x6CB0	1	在上升边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL0	0x6AD2	0x6AF2	0x6C92	0x6CB2	1	在下降边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRISE1	0x6AD8	0x6AF8	0x6C98	0x6CB8	1	在上升边沿 1 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL1	0x6ADA	0x6AFA	0x6C9A	0x6CBA	1	在下降边沿 1 寄存器上的 HRCAP 捕捉计数器

(1) 受EALLOW保护的寄存器。

5.9.12.1 HRCAP电气数据/时序

5.9.12.1.1 高分辨率捕获（HRCAP）时序要求

	最小值	额定值	最大值	单位
$t_{c(HCCAPCLK)}$ 周期时间, HRCAP捕获时钟	8.333		10.204	ns
$t_{w(HRCAP)}$ 脉冲宽度, HRCAP捕获	$7t_{c(HCCAPCLK)}$ ⁽¹⁾			ns
HRCAP步长 ⁽²⁾		300		ps

(1) 列出的最小脉冲宽度没有考虑到所有相关的HCCAP寄存器必须读取并在脉冲宽度内清除RISE/ FALL事件标志以确保有效捕获数据的限制。

(2) HRCAP步长随低压、高温而增大, 随高压、低温而减小。在高分辨率模式下使用HRCAP的应用程序应该使用HRCAP校准功能来动态校准不同的操作条件。

5.9.13 增强型正交编码器模块（eQEP1、eQEP2）

该设备包含多达两个增强的正交编码器（eQEP）模块。表8-37提供了eQEP寄存器的摘要。

表5-37. eQEP控制和状态寄存器

名称	eQEP1地址	eQEP1大小(x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	2/1	eQEP 位置比较
QPOSILAT	0x6B08	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	2/0	eQEP 单位定时器
QUPRD	0x6B10	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	1/0	eQEP 安全装置定时器
QWDPRD	0x6B13	1/0	eQEP 安全装置周期寄存器
QDECCTL	0x6B14	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	1/0	eQEP 捕捉定时器
QCPRD	0x6B1E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	1/0	eQEP 捕捉定时器锁存
QCPRDLAT	0x6B20	1/0	eQEP 捕捉周期锁存
保留	0x6B21- 0x6B3F	31/0	

图5-53显示了eQEP模块的方框图。

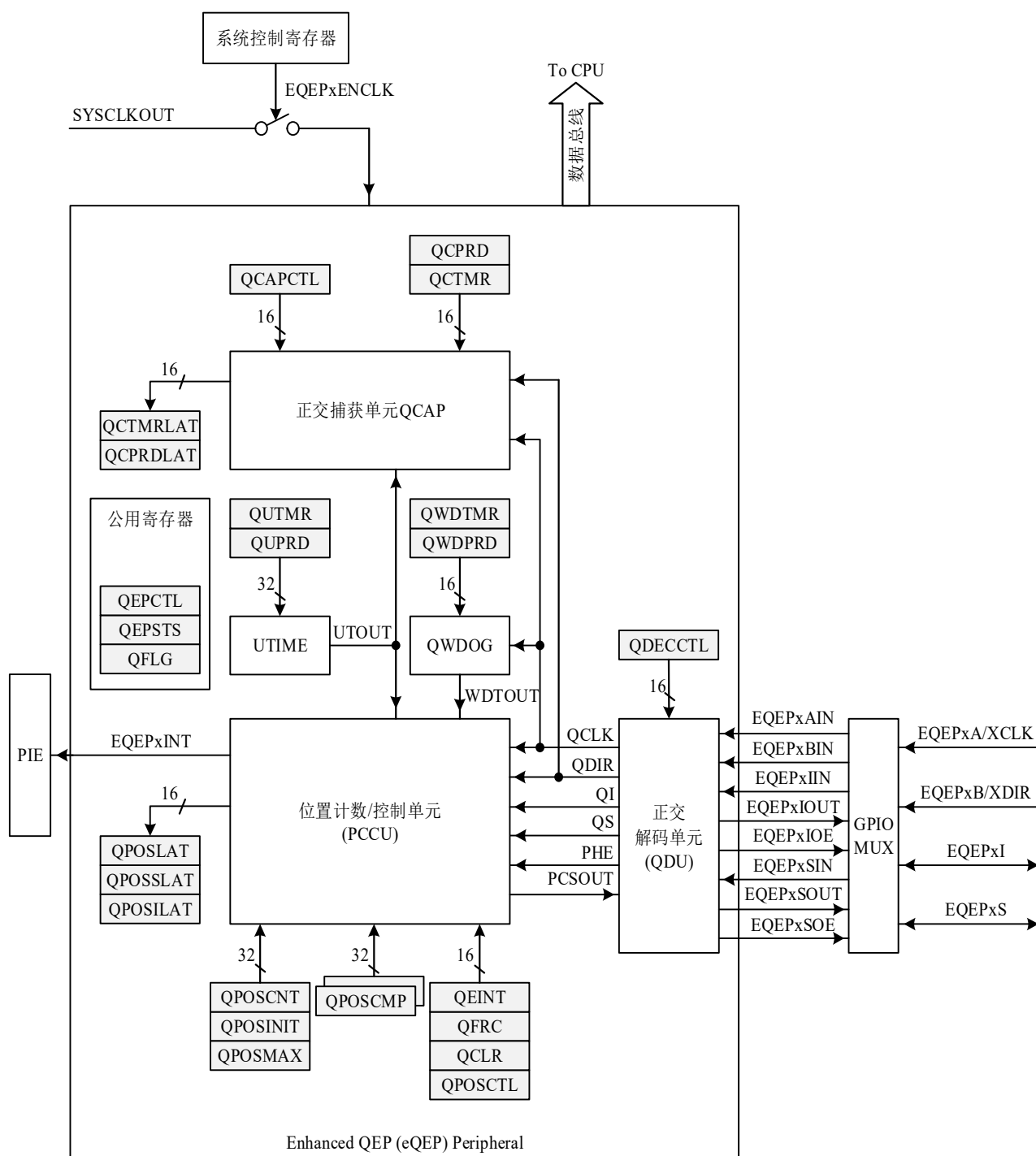


图5-53. eQEP功能方框图

5.9.13.1 eQEP电气数据/时序

节5.9.13.1.1表示eQEP时序要求，节5.9.13.1.2表示eQEP开关特性。

5.9.13.1.1 增强正交编码器脉冲（eQEP）时序要求

			最小值 ⁽¹⁾	最大值	单位
tw(QEPP)	QEP输入周期	异步/同步	$2t_c(SCO)$		周期
		带输入门限	$2[1t_c(SCO) + tw(IQSW)]$		
tw(INDEXH)	QEP指数输入的高时间	异步/同步	$2t_c(SCO)$		周期
		带输入门限	$2t_c(SCO) + tw(IQSW)$		
tw(INDEXL) 的时间	QEP指数输入时间较低	异步/同步	$2t_c(SCO)$		周期
		带输入门限	$2t_c(SCO) + tw(IQSW)$		
tw(STROBH)	QEP频闪长时间	异步/同步	$2t_c(SCO)$		周期
		带输入门限	$2t_c(SCO) + tw(IQSW)$		
tw(STROBL)	QEP频闪器输入低时间	异步/同步	$2t_c(SCO)$		周期
		带输入门限	$2t_c(SCO) + tw(IQSW)$		

5.9.13.1.2 eQEP开关特性

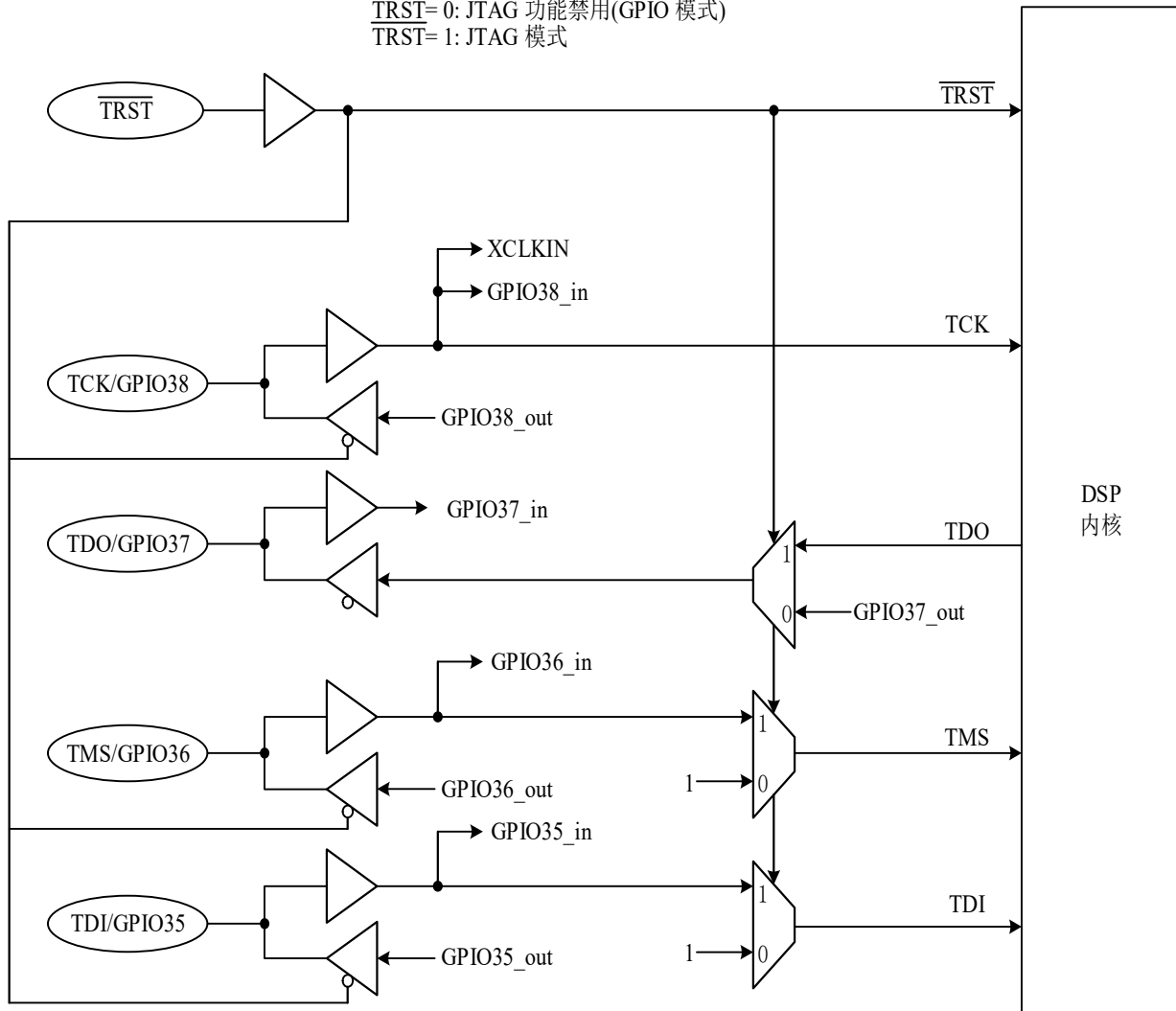
超出推荐的操作条件（除非另有说明）

参数	最小值	最大值	单位
$t_d(CNTR)_{xin}$ 延迟时间，外部时钟来计数器增量		$4t_c(SCO)$	周期
$t_d(PCS-OUT)_{QEP}$ 延迟时间，QEP输入边到位置的比较同步输出		$6t_c(SCO)$	周期

5.9.14 JTAG端口

在该器件上，JTAG端口被减少为5个引脚（TRST、TCK、TDI、TMS、TDO）。TCK、TDI、TMS和TDO引脚也是GPIO引脚。TRST信号为图5-54中的引脚选择JTAG或GPIO的工作模式。在调试期间，这些引脚的GPIO功能不可用。如果使用GPIO38/TCK/XCLKIN引脚提供外部时钟，则在调试期间应使用备用时钟源进行设备时钟，因为TCK功能需要此引脚。

$\overline{\text{TRST}}=0$: JTAG 功能禁用(GPIO 模式)
 $\overline{\text{TRST}}=1$: JTAG 模式



5.9.15 通用输入/输出（GPIO）MUX

GPIO MUX可以在单个GPIO引脚上复用，同时提供三个独立的外围信号。该设备支持45个GPIO引脚。GPIO控制器和数据寄存器被映射到外设帧1，以启用在寄存器上的32位操作（以及16位操作）。表5-38显示了GPIO寄存器映射。

表 5-38. GPIO寄存器

名称	地址	大小 (x 16)	说明
GPIO 控制寄存器（受EALLOW 保护）			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至31)
GPAQSEL1	0x6F82	2	GPIO A 门限选择 1 寄存器 (GPIO0 至15)
GPAQSEL2	0x6F84	2	GPIO A 门限选择 2 寄存器 (GPIO16 至31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器 (GPIO0 至15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器 (GPIO16 至31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至31)
GPAPUD	0x6F8C	2	GPIO A 上拉电阻器禁用寄存器 (GPIO0 至GPIO31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至44)
GPBQSEL1	0x6F92	2	GPIO B 门限选择 1 寄存器 (GPIO32 至44)
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器 (GPIO32 至44)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至44)
GPBPUD	0x6F9C	2	GPIO B 上拉电阻器禁用寄存器 (GPIO38 至44)
AIOMUX1	0x6FB6	2	模拟, I/O 复用 1 寄存器 (AIO0 至AIO15)
AIDIR	0x6FBA	2	模拟, I/O 方向寄存器 (AIO0 至AIO15)
GPIO 数据寄存器（不受EALLOW 保护）			
GPADAT	0x6FC0	2	GPIO A 数据寄存器 (GPIO0 至31)
GPASET	0x6FC2	2	GPIO A 数据设定寄存器 (GPIO0 至31)
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器 (GPIO0 至31)
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器 (GPIO0 至31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器 (GPIO32 至44)
GPBSET	0x6FCA	2	GPIO B 数据设定寄存器 (GPIO32 至44)
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器 (GPIO32 至44)
GPBTOGGLE	0x6FCE	2	GPIO B 数据切换寄存器 (GPIO32 至44)
AIODAT	0x6FD8	2	模拟 I/O 数据寄存器 (AIO0 至AIO15)
AIOSET	0x6FDA	2	模拟 I/O 数据设定寄存器 (AIO0 至AIO15)
AIOCLEAR	0x6FDC	2	模拟 I/O 数据清除寄存器 (AIO0 至AIO15)
AIOTOGGLE	0x6FDE	2	模拟 I/O 数据切换寄存器 (AIO0 至AIO15)
GPIO中断和低功耗模式选择寄存器（受EALLOW 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至GPIO31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 输入选择寄存器 (GPIO0 至GPIO31)
GPIO_LPMSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至GPIO31)

从对GPxMUXn/AIOMUXn和GPxQSELn寄存器的写入发生到操作有效时，存在两个同步输出周期延迟。

表 5-39.GPIOA MUX

	复位时默认 主I/O 功能	外设选择 1	外设选择 2	外设选择 3
GPAMUX1 寄存器位	(GPAMUX1位=00)	(GPAMUX1位=01)	(GPAMUX1位=10)	(GPAMUX1位=11)
1-0	GPIO0	EPWM1A (O)	保留	保留
3-2	GPIO1	EPWM1B (O)	保留	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	保留	保留
7-6	GPIO3	EPWM2B (O)	SPISOMIA (I/O)	COMP2OUT (O)
9-8	GPIO4	EPWM3A (O)	保留	保留
11-10	GPIO5	EPWM3B (O)	SPISIMOA (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	保留
17-16	GPIO8	EPWM5A (O)	保留	ADCSOClAO (O)
19-18	GPIO9	EPWM5B (O)	SCIRXDB(O)	HRCAP1 (I)
21-20	GPIO10	EPWM6A (O)	保留	ADCSOCBO (O)
23-22	GPIO11	EPWM6B (O)	SCIRXDB (I)	HRCAP2 (I)
25-24	GPIO12	TZ1 (I)	SCITXDA (O)	SPISIMOB (I/O)
27-26	GPIO13 ⁽³⁾	TZ2 (I)	保留	SPISOMIB (I/O)
29-28	GPIO14 ⁽³⁾	TZ3 (I)	SCIRXDB(O)	SPICLKB (I/O)
31-30	GPIO15 ⁽³⁾	TZ1 (I)	SCIRXDB (I)	SPISTEB (I/O)
GPAMUX2 寄存器位	(GPAMUX2位 = 00)	(GPAMUX2为 = 01)	(GPAMUX2位 = 10)	(GPAMUX2位 = 11)
1-0	GPIO16	SPISIMOA (I/O)	保留	TZ2 (I)
3-2	GPIO17	SPISOMIA (I/O)	保留	TZ3 (I)
5-4	GPIO18	SPICLKA (I/O)	SCIRXDB(O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	SPISTEA (I/O)	SCIRXDB (I)	ECAP1 (I/O)
9-8	GPIO20	EQEP1A (I)	保留	COMP1OUT (O)
11-10	GPIO21	EQEP1B (I)	保留	COMP2OUT (O)
13-12	GPIO22	EQEP1S (I/O)	保留	SCIRXDB(O)
15-14	GPIO23	EQEP1I (I/O)	保留	SCIRXDB (I)
17-16	GPIO24	ECAP1 (I/O)	保留	SPISIMOB (I/O)
19-18	GPIO25 ⁽³⁾	保留	保留	SPISOMIB (I/O)
21-20	GPIO26 ⁽³⁾	HRCAP1 (I)	保留	SPICLKB (I/O)
23-22	GPIO27 ⁽³⁾	HRCAP2 (I)	保留	SPISTEB (I/O)
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	TZ2 (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	TZ3 (I)
29-28	GPIO30	CANRXA (I)	保留	保留
31-30	GPIO31	CANTXA (O)	保留	保留

(1) 单词“保留”意味着没有外围设备分配给这个GPxMUX1/2寄存器设置。如果它被选择，引脚的状态将不被定义，引脚可以被驱动。此选择是将来扩展的保留配置。

(2) I=输入，O=输出，OD=开漏输出

(3) eQEP2在80引脚PN或PFP包上没有eQEP2外设。

	复位时缺省 主I/O 功能	外设选择 1	外设选择 2	外设选择 3
GPBMUX1寄存器位	(GPBMUX1位= 00)	(GPBMUX1位= 01)	(GPBMUX1为=10)	(GPBMUX1位=11)
1-0	GPIO32	SDAA (I/OD)	EPWMSYNCI (I)	ADCSOAO ⁻ (O)
3-2	GPIO33	SCLA (I/OD)	EPWMSYNCO (O)	ADCSOCBO ⁻ (O)
5-4	GPIO34	COMP2OUT (O)	保留	COMP3OUT (O)
7-6	GPIO35 (TDI)	保留	保留	保留
9-8	GPIO36 (TMS)	保留	保留	保留
11-10	GPIO37 (TDO)	保留	保留	保留
13-12	GPIO38/XCLKIN (TCK)	保留	保留	保留
15-14	GPIO39 ⁽²⁾	保留	保留	保留
17-16	GPIO40 ⁽²⁾	EPWM7A (O)	保留	保留
19-18	GPIO41 ⁽²⁾	EPWM7B (O)	保留	保留
21-20	GPIO42 ⁽²⁾	保留	保留	COMP1OUT (O)
23-22	GPIO43 ⁽²⁾	保留	保留	COMP2OUT (O)
25-24	GPIO44 ⁽²⁾	保留	保留	保留
27-26	保留	保留	保留	保留
29-28	保留	保留	保留	保留
31-30	保留	保留	保留	保留
GPBMUX2寄存器位	(GPBMUX2位= 00)	(GPBMUX2位=01)	(GPBMUX2位=10)	(GPBMUX2位=11)
1-0	Reserved	Reserved	Reserved	Reserved
3-2	Reserved	Reserved	Reserved	Reserved
5-4	GPIO50 ⁽³⁾	EQEP1A (I)	MDXA (O)	TZ1 (I)
7-6	GPIO51 ⁽³⁾	EQEP1B (I)	MDRA (I)	TZ2 (I)
9-8	GPIO52 ⁽³⁾	EQEP1S (I/O)	MCLKXA (I/O)	TZ3 (I)
11-10	GPIO53 ⁽³⁾	EQEP1I (I/O)	MFSXA (I/O)	Reserved
13-12	GPIO54 ⁽³⁾	SPISIMOA (I/O)	EQEP2A (I)	HRCAP1 (I)
15-14	GPIO55 ⁽³⁾	SPISOMIA (I/O)	EQEP2B (I)	HRCAP2 (I)
17-16	GPIO56 ⁽³⁾	SPICLK A (I/O)	EQEP2I (I/O)	HRCAP3 (I)
19-18	GPIO57 ⁽³⁾	SPISTEA (I/O)	EQEP2S (I/O)	HRCAP4 (I)
21-20	GPIO58 ⁽³⁾	MCLKRA (I/O)	SCITXDB (O)	EPWM7A (O)
23-22	Reserved	Reserved	Reserved	Reserved
25-24	Reserved	Reserved	Reserved	Reserved
27-26	Reserved	Reserved	Reserved	Reserved
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved

(1) 单词“保留”意味着没有外围设备分配给这个GPxMUX1/2寄存器设置。如果它被选择，引脚的状态将不被定义，引脚可以被驱动。此选择是将来扩展的保留配置。

(2) I=输入，O=输出，OD=开漏输出

(3) 此引脚在80引脚PN或PFP包中不可用。

表 5-41.100引脚模拟MUX情况

		复位时缺省
	AIOx 和 外设选择 1	外设选择 2 和外设选择 3
AIOMUX1 寄存器位	AIOMUX1 位 = 0,x	AIOMUX1 位 = 1,x
1-0	ADCINA0 (I)	ADCINA0 (I)
3-2	ADCINA1(I)	ADCINA1(I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3(I)	ADCINA3(I)
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A(I)
11-10	ADCINA5 ⁽²⁾ (I)	ADCINA5 (I)
13-12	AIO6 (I/O)	ADCINA6 (I), COMP3A (I)
15-14	ADCINA7(I)	ADCINA7(I)
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1(I)	ADCINB1(I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3(I)	ADCINB3(I)
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B(I)
27-26	ADCINB5 ⁽²⁾ (I)	ADCINB5 (I)
29-28	AIO14 (I/O)	ADCINB6 (I), COMP3B (I)
31-30	ADCINB7(I)	ADCINB7(I)

表 5-42.80引脚模拟MUX情况

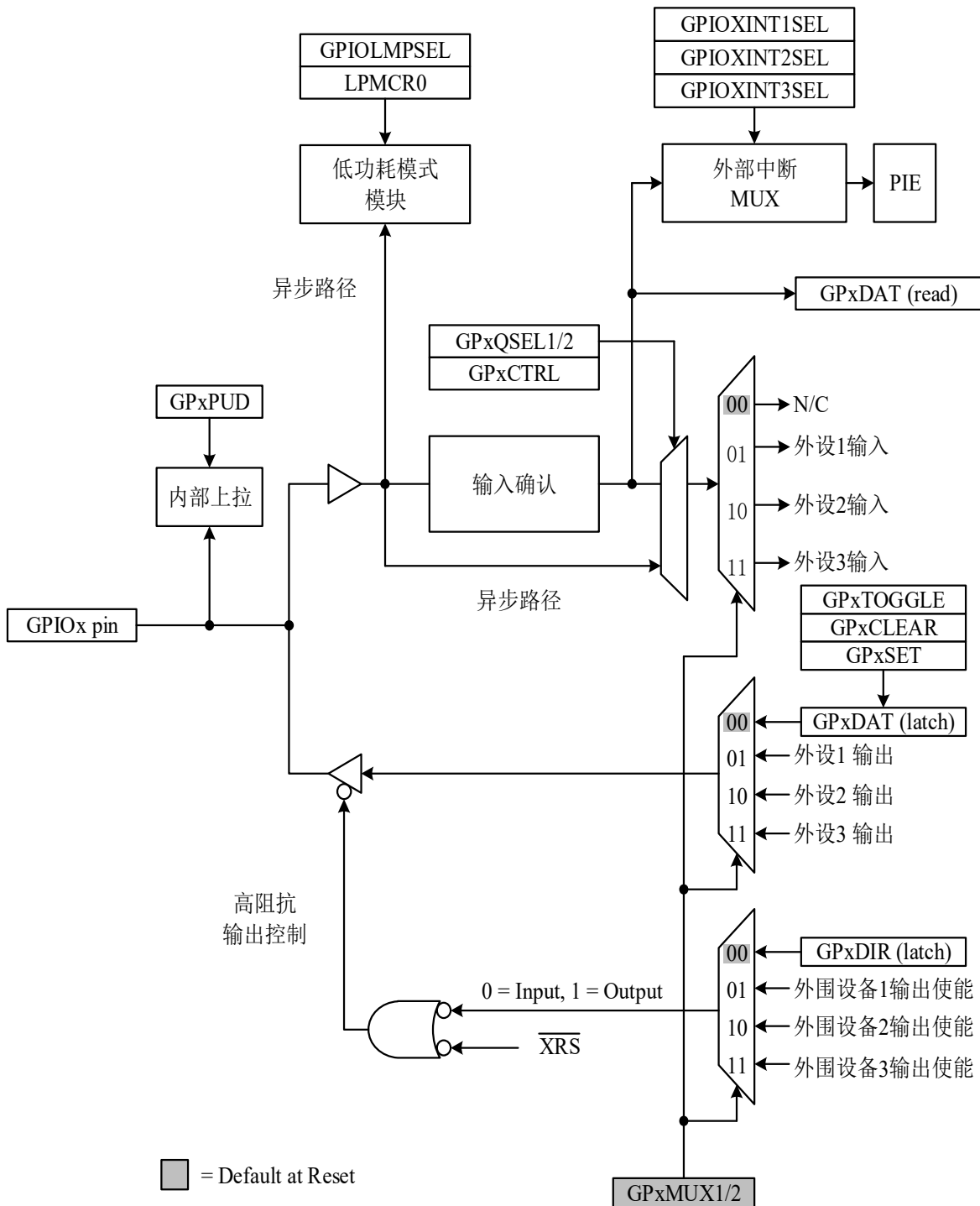
		复位时默认值 ⁽¹⁾
	AIOx和外设选择1	外围选择2和外围选择3
AIOMUX1寄存器位	AIOMUX1位=0, x	AIOMUX1位=1, x
1-0	ADCINA0 (I), VREFHI (I)	ADCINA0 (I), VREFHI (I)
3-2	ADCINA1 (I)	ADCINA1 (I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	—	—
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A (I)
11-10	ADCINA5 (I)	ADCINA5 (I)
13-12	AIO6 (I/O)	ADCINA6 (I), COMP3A (I)
15-14	—	—
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1 (I)	ADCINB1 (I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	—	—
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B (I)
27-26	ADCINB5 (I)	ADCINB5 (I)
29-28	AIO14 (I/O)	ADCINB6 (I), COMP3B (I)
31-30	—	—

(1) I=输入, O=输出

用户可以通过GPxQSEL1/2寄存器从四个选项中选择每个GPIO引脚的输入确认的类型：

- 仅同步到同步输出（GPxQSEL1/2 = 0,0）：这是所有GPIO复位时引脚的默认模式，它只是简单地将输入信号同步到系统时钟（同步输出）。
- 使用采样窗口（GPxQSEL1/2 = 0、1和1、0）：在这种模式下，输入信号在与系统时钟同步（同步）后，输入信号在允许改变之前经过指定的周期数。
- 采样周期由GPxCTRL寄存器中的QUALPRD位指定，并在中可配置 8个信号组。采样周期指定了用来对输入信号进行采样的多个同步输出周期。采样窗口为3个样本或6个样本宽，仅当所有样本相同（全部0或全部1）时才会改变输出，如图5-18所示（对于6个样本模式）。
- 无同步（GPxQSEL1/2 = 1,1）：此模式用于不需要同步的外设（同步在外设内执行）。

由于设备上需要的多级复用，可能存在外围输入信号可以映射到多个GPIO引脚的情况。此外，当没有选择输入信号时，输入信号将默认为0或1状态，这取决于外围设备。



- A. x 代表端口，A 或B。例如，GPxDIR 是指GPADIR 和GPBDIR 寄存器，这取决于所选择的特定GPIO 引脚。
 B. 在相同的存储器位置存取 GPxDAT 锁定/读取。
 C. 这是一个常用的GPIO MUX 方框图。并不是所有选项都可用于所有GPIO 引脚。

图 5-55.GPIO多路复用

5.9.15.1 GPIO电气数据/时序

5.9.15.1.1 GPIO输出时序

5.9.15.1.1.1 通用输出开关特性

超出推荐的操作条件（除非另有说明）

参数	最小值	最大值	单位
$t_{r(GPO)}$ 上升时间, GPIO切换到低到高		13 ⁽¹⁾	ns
$t_{f(GPO)}$ 下降时间, GPIO切换到高到低		13 ⁽¹⁾	ns
f_{GPO} 切换频率		22.5	MHz

(1) 上升时间和下降时间随输入/输出引脚上的电气负荷而变化。节5.9.15.1.1.1中给出的值适用于I/O引脚上的40-pF负载。

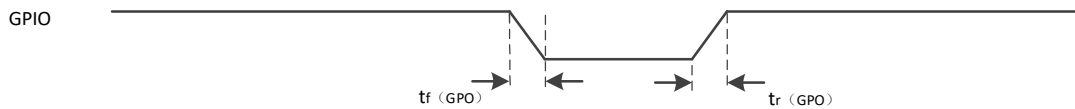


图 5-56.通用输出时序

5.9.15.1.2 GPIO输入时序

5.9.15.1.2.1 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$ 取样周期	QUALPRD = 0	$1t_{c(SCO)}$		周期
	QUALPRD $\neq$ 0	$2t_{c(SCO)} * QUALPRD$		
$t_{w(IQSW)}$ 输入限定符采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPI)}^{(2)}$ 脉冲持续时间, GPIO低/高	同步模式	$2t_{c(SCO)}$		周期
	带输入门限	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		

(1) “n”表示GPxQSELn寄存器定义的资格样本的数量。

(2) 对于 $t_{w(GPI)}$ ，有源低信号的脉冲宽度从VIL到VIL，有源高信号的脉冲宽度从V_{IH}到V_{IH}。

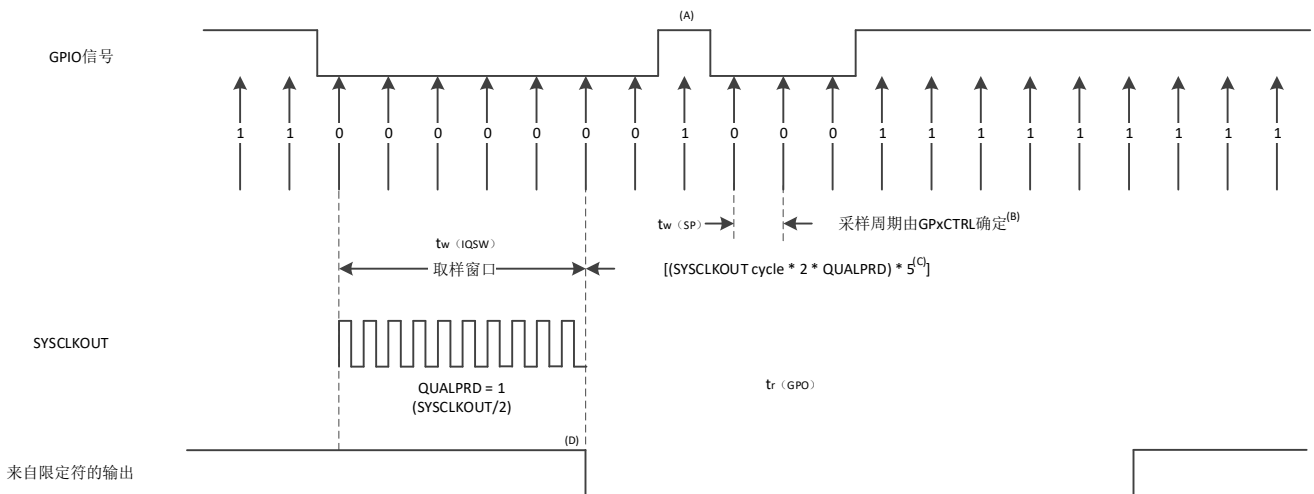


图 5-57. 采样模式

5.9.15.1.3对输入信号的采样窗口宽度

下一节总结了各种输入限定符配置的输入信号的采样窗口宽度。

采样频率表示一个信号相对于同步输出被采样的频率。

采样频率=同步/($2 \times \text{QUALPRD}$)，如果 $\text{QUALPRD}=0$ 采样频率=同步，如果 $\text{QUALPRD}=0$ 采样周期=周期 $\times 2$ ，如果 $\neq 0$ 在前面的样本中，循环周期表示循环的时间周期。

采样周期=周期周期，如果 $\text{QUALPRD}=0$ 在给定的采样窗口中，对输入信号的3或6个样本来确定信号的有效性。这是由写入 GPxQSELn 寄存器的值决定。

案例1:

使用三个样品进行确认 采样窗口宽度=(系统周期 $\times 2 \times \text{QUALPRD}$) $\times 2$ ，如果 $\text{QUALPRD}=0$ 采样窗口宽度=(采样周期) $\times 2$ ，如果 QUALPRD 为 $\neq 0$

案例2:

使用6个样品进行鉴定 采样窗口宽度=(系统周期 $\times 2 \times \text{QUALPRD}$) $\times 5$ ，如果 $\text{QUALPRD}=0$ 采样窗口宽度=(周期周期) $\times 5$ ，如果 $\text{QUALPRD}=0$

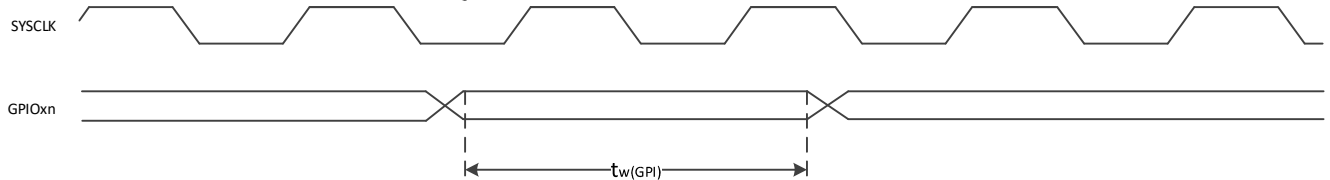


图 5-58.通用输入时序

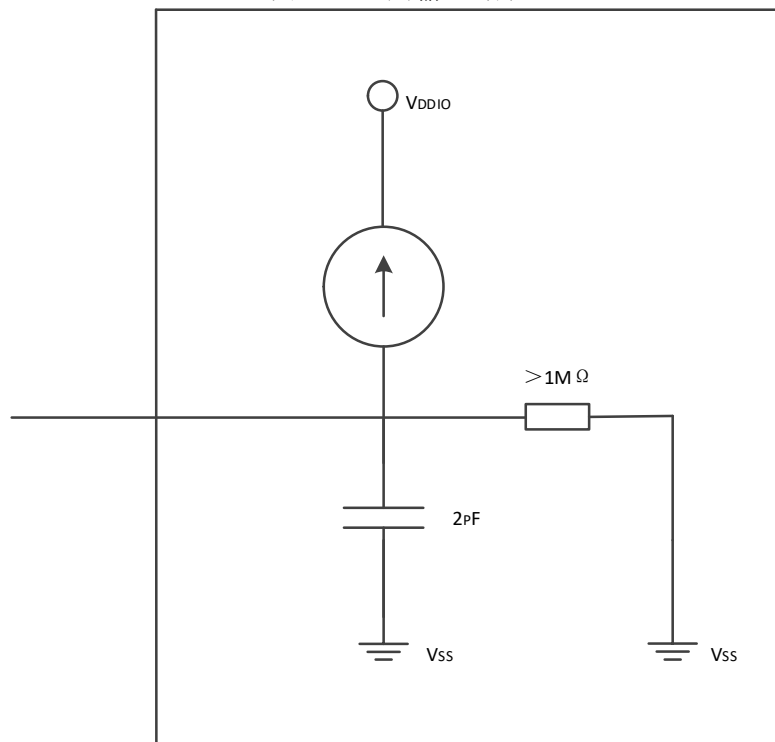


图 5-59. 带有内部上拉装置的GPIO大头针的输入电阻模型

5.9.15.1.4 低功耗模式唤醒时序

节5.9.15.1.4.1显示时序要求，

节5.9.15.1.4.2显示开关特性，图5-60显示IDLE模式的时序图。

5.9.15.1.4.1 空闲模式时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	无输入门限	$2t_{c(SCO)}$	周期
		带输入门限	$5t_{c(SCO)} + t_{w(IQSW)}$	

(1)有关输入限定符参数的说明，请参见节5.9.15.1.2.1。

5.9.15.1.4.2 空闲模式切换特性

超出推荐的操作条件（除非另有说明）⁽¹⁾

参数	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号恢复程序执行 ⁽²⁾			周期
	从闪存中醒来 -Flash模块处于活动状态	无输入门限	$20t_{c(SCO)}$	周期
		带输入门限	$20t_{c(SCO)} + t_{w(IQSW)}$	
	从闪存中醒来 -Flash模块处于休眠状态	无输入门限	$1050t_{c(SCO)}$	周期
		带输入门限	$1050t_{c(SCO)} + t_{w(IQSW)}$	
	从SRAM醒来	无输入门限	$20t_{c(SCO)}$	周期
		带输入门限	$20t_{c(SCO)} + t_{w(IQSW)}$	

(1) 有关输入限定符参数的说明，请参见节5.9.15.1.2.1。

(2) 这是立即开始执行紧跟在IDLE指令之后的指令所花费的时间。ISR的执行（由唤醒信号触发）涉及到额外的延迟。

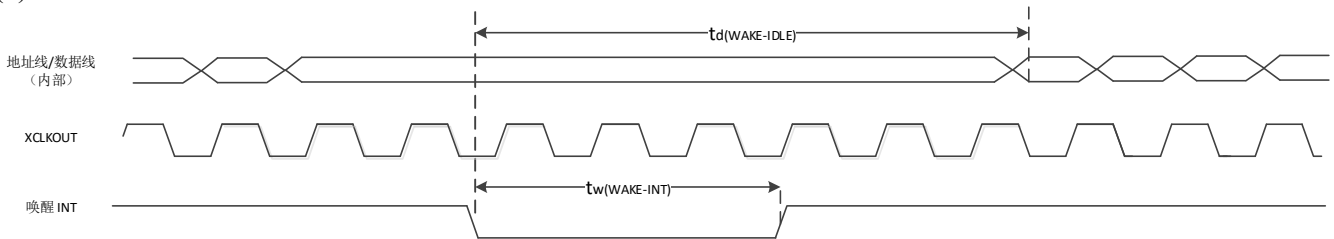


图5-60 空闲模式进入和退出时序

5.9.15.1.4.3 待机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	无输入门限	$3t_{c(OSCCLK)}$	周期
		带输入门限 ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$	

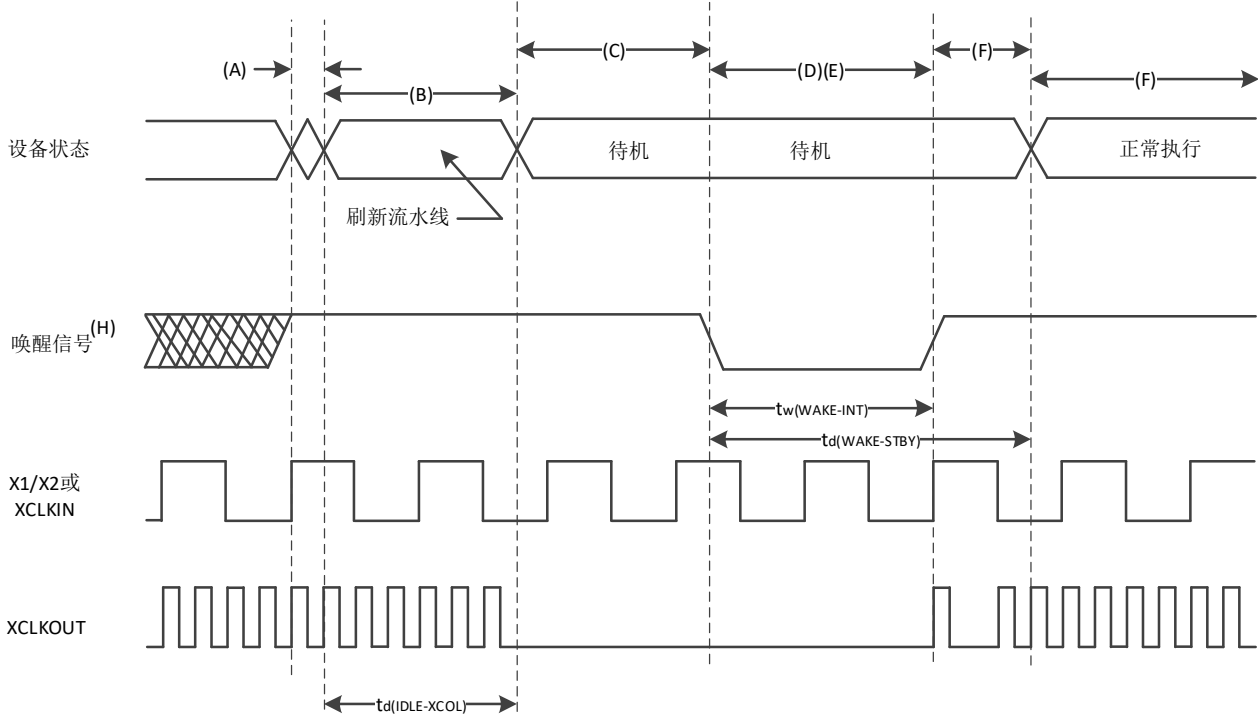
(1) QUALSTDBY是LPMCR0寄存器中的一个6位字段

5.9.15.1.4.4 备用模式切换特性

超出推荐的操作条件（除非另有说明）

参数	测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间, IDLE指令 执行到 XCLKOUT低	$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间, 外部唤醒信号恢复程序执行(1)			周期
	· 从闪存唤醒	无输入门限	$100t_{c(SCO)}$	周期
	· 激活状态中的闪存模块	带输入门限	$100t_{c(SCO)} + t_{w(WAKE-INT)}$	
	· 从闪存唤醒	无输入门限	$1125t_{c(SCO)}$	周期
	· 睡眠状态中的闪存模块	带输入门限	$1125t_{c(SCO)} + t_{w(WAKE-INT)}$	
	· 从 SRAM 中唤醒	无输入门限	$100t_{c(SCO)}$	周期
		带输入门限	$100t_{c(SCO)} + t_{w(WAKE-INT)}$	

(1) 这是立即开始执行紧跟在IDLE指令之后的指令所花费的时间。执行一个ISR(已触发 通过唤醒信号)涉及到额外的延迟。



- (A) 执行空闲指令, 使设备进入待机模式。
- (B) PLL块响应待机信号。在关闭之前, 保持以下所述的循环数:
- 16个循环, 当DIVSEL = 00或01时
 - 32个循环, 当DIVSEL = 10时
 - 64个循环, 当DIVSEL = 11次时
- (C) 外围设时钟关闭。然而, PLL和监督机构并没有被关闭。该设备现在处于待机状态。在执行IDLE指令后, 需要5个OSCCLK周期(最小周期)的延迟, 才能确定唤醒信号。
- (D) 外部唤醒信号被驱动激活。
- (E) 输入GPIO引脚唤醒设备的唤醒信号必须满足最小脉冲宽度要求。此外, 这个信号必须没有小故障。如果一个噪声信号被输入到一个GPIO引脚, 那么该设备的唤醒行为将不会是确定性的, 并且该设备可能不会退出后续唤醒脉冲的低功率模式。
- (F) 在一段延迟期结束后, 将退出待机模式。
- (G) 正常执行恢复。设备将对中断做出响应(如果启用)。
- (H) 从执行IDLE指令将设备置于低功率模式(LPM)时起, 不应在经过至少四个OSCCLK周期后才能启动唤醒。

图5-61备用进出时序图

5.9.15.1.4.5 HALT模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间, GPIO唤醒信号	$t_{oscst} + 2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间, $\overline{XRS}$ 唤醒信号	$t_{oscst} + 8t_{c(OSCCLK)}$		周期

5.9.15.1.4.6 HALT模式切换特性

超出推荐的操作条件（除非另有说明）

参数		最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间, 执行IDLE指令至XCLKOUT低	$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
t_p	PLL锁定时间		1	ms
$t_{d(WAKE-HALT)}$	延迟时间, PLL锁定到程序执行恢复.从闪存中醒来 -Flash模块处于休眠状态		$1125t_{c(SCO)}$	周期
	从 SRAM 中唤醒		$35t_{c(SCO)}$	周期

6. 电气规范

6.1 最大绝对额定值⁽¹⁾⁽²⁾

电源电压范围, V_{DDIO} (I/O 和闪存)	相对于 V_{SS}	-0.3V 至 4.6V
电源电压, V_{DD}	相对于 V_{SS}	-0.3V 至 2.5V
模拟电压范围, V_{DDA}	相对于 V_{SSA}	-0.3V 至 4.6V
输入电压范围, $V_{IN}(3.3V)$		-0.3V 至 4.6V
输出电压范围, V_O		-0.3V 至 4.6V
输入钳制电流, $I_{IK}(V_{IN} < 0 \text{ 或者 } V_{IN} > V_{DDIO})^{(3)}$		$\pm 20mA$
输出钳制电流, $I_{OK}(V_O < 0 \text{ 或者 } V_O > V_{DDIO})$		$\pm 20mA$
结温范围, $T_J^{(4)}$		-55°C 至 150°C
贮存温度范围, $T_{stg}^{(4)}$		-65°C 至 150°C

(1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值，在这些值或者任何超过节 6.2 中所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性。

(2) 所有电压值都是相对于 V_{SS} 的值，除非额外注明。

(3) 每个引脚上的持续钳制电流为 2mA。

(4) 长期高阻抗贮存并且/或者在最大温度条件下长时间使用会使器件总体使用寿命的缩短。

6.2 建议的运行条件

		最小值	标称值	最大值	单位
器件电源电压, I/O, $V_{DDIO}^{(1)}$		2.97	3.3	3.63	V
器件电源电压 DSP, V_{DD} (当内部 VREG 被禁用并且由 1.8V 电源外部供电时)		1.71	1.8	1.995	V
电源接地, V_{SS}		0			V
模拟电源电压, $V_{DDA}^{(1)}$		2.97	3.3	3.63	V
模拟接地, V_{SSA}		0			V
器件时钟频率 (系统时钟)		2		90	MHz
高电平输入电压, $V_{IH}(3.3V)$		2		$V_{DDIO}+0.3$	V
低电平输入电压, $V_{IL}(3.3V)$		$V_{SS}-0.3$		0.8	V
高电平输出源电流, $V_{OH}=V_{OH}(\text{最小值})$, I_{OH}	所有 GPIO/AIO 引脚	-4			mA
	组 2 ⁽²⁾	-8			mA
低电平输出灌电流, $V_{OL}=V_{OL}(\text{最大值})$, I_{OL}	所有 GPIO/AIO 引脚	4			mA
	组 2 ⁽²⁾	8			mA
	E 版本	-40		125	
	N 版本	-55		125	
结温, T_J		-55		150	°C

(1) V_{DDIO} 和 V_{DDA} 之间的差距应保持在大约 0.3 V 之内。

(2) 第 2 组引脚如下: GPIO16, GPIO17, GPIO18, GPIO19, GPIO28, GPIO29, GPIO36, GPIO37

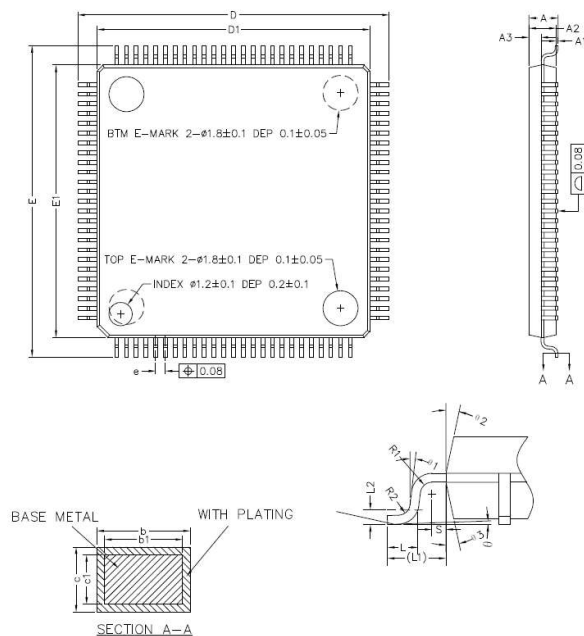
6.3 电气特性

在推荐的运行条件下（除非额外注明）

参数		测试条件		最小值	典型值	最大值	单位	
V _{OH}	高电平输出电压	I _{OH} =I _{OH} 最大值		2.4			V	
		I _{OH} =50μA		V _{DDIO} -0.2				
V _{OL}	低电平输出电压	I _{OL} =I _{OL} 最大值		0.4			V	
I _{IL}	输入电流 (低电平)	带有上拉使能的引脚	V _{DDIO} =3.3V， V _{IN} =0V	所有 GPIO	-80	-140	-205	μA
				$\overline{\text{XRS}}$ 引脚	-230	-300	-375	
		具有下拉使能的引脚	V _{DDIO} =3.3V， V _{IN} =0V		±2			
I _{IH}	输入电流 (高电平)	上拉电阻器被启用的引脚	V _{DDIO} =3.3V， V _{IN} =V _{DDIO}		±2			μA
		下拉电阻器被启用的引脚	V _{DDIO} =3.3V， V _{IN} =V _{DDIO}		28 50 80			
I _{OZ}	输出电流，上拉电阻器或者下拉电阻器被禁用	V _O =V _{DDIO} 或者 0V			±2			μA
C _I	输入电容				2			pF
V _{DDIOBOR}	触发点	下降的 V _{DDIO}			2.50	2.78	2.96	V
V _{DDIOBOR}	滞后				35			mV
监视器复位延迟时间		延迟时间过后，BOR/POR/OVR 事件被移除以释放 $\overline{\text{XRS}}$			400 800			μs
VREG V _{DD} 输出		内部 VREG 打开			1.9			V

6.4 封装参数

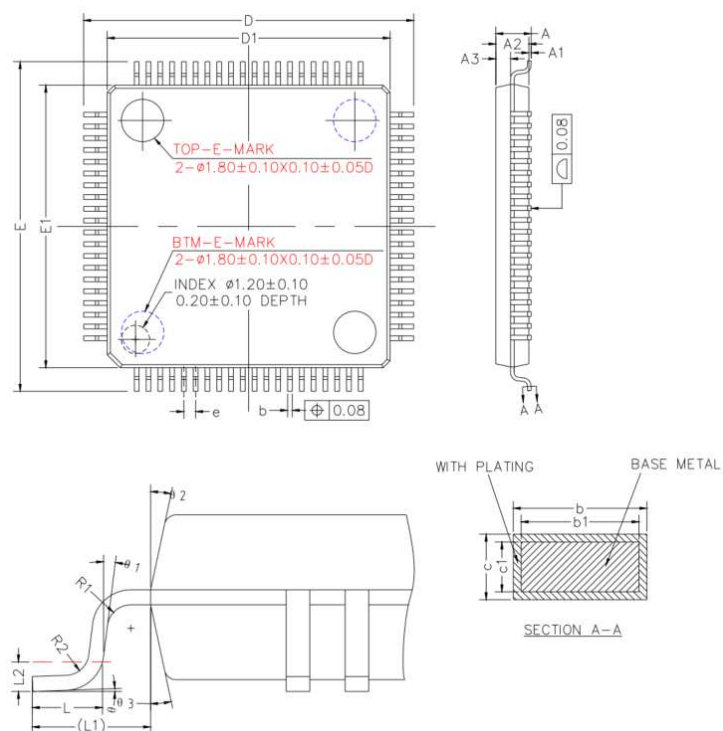
6.4.1 LQFP100封装



尺寸符号	最小	公称	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
θ 1	0°	-	-
θ 2	11°	12°	13°
θ 3	11°	12°	13°

LQFP100尺寸图

6.4.2 LQFP80封装



尺寸符号	最小	公称	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
θ	0°	3.5°	7°
θ_1	0°	-	-
θ_2	11°	12°	13°
θ_3	11°	12°	13°

7. 订购信息

产品订购编号	封装类型	引脚数	温度范围	MSL 湿敏度等级	产品等级
FDM320R069N-PQ100	LQFP	100	-55°C ~125°C	Level-3-260C-168 HR	特种应用
FDM320R069N-PQ80	LQFP	80	-55°C ~125°C	Level-3-260C-168 HR	特种应用
R069E-PQ100	LQFP	100	-40°C ~125°C	Level-3-260C-168 HR	工业应用+
R069E-PQ80	LQFP	80	-40°C ~125°C	Level-3-260C-168 HR	工业应用+