



智能数字信号处理器及其解决方案提供商

FDM320R0049 数据手册

版本V1.0

青岛本原微电子有限公司

关键特性

- 高性能数字信号处理器技术
 - 100MHz
 - IEEE 754 单精度浮点单元 (FPU)
 - 三角函数加速器 (TMU)
 - 与软件库相比, 常见三角函数的性能提升为3倍至4倍
 - 13周期的Park变换
 - Viterbi/复数数学单元 (VCU-I)
 - 十个硬件断点 (带ERAD)
 - 可编程控制律加速器 (CLA)
 - 100MHz
 - IEEE 754单精度浮点指令
 - 独立于主DSP执行代码
 - 片上存储器
 - 256KB (128KW) 闪存 (ECC保护), 分布在两个独立的存储区
 - 100KB (50KW) RAM (ECC保护或奇偶校验保护)
 - 支持第三方开发的双区域安全功能
 - 唯一标识 (UID) 号
- 时钟和系统控制
 - 两个内部零引脚10-MHz振荡器
 - 片上晶体振荡器和外部时钟输入
 - 窗口看门狗定时器模块
 - 时钟丢失检测电路
 - 1.2V内核、3.3V I/O设计
 - 内部VREG或DC-DC用于生成1.2V, 允许单电源设计
 - 掉电复位 (BOR) 电路
- 系统外设
 - 6通道直接内存访问 (DMA) 控制器
 - 40个可单独编程的多路复用通用输入/输出 (GPIO) 引脚
 - 模拟引脚上的21个数字输入
 - 增强型外围中断扩展 (ePIE) 模块
 - 支持多种低功耗模式 (LPM), 具有外部唤醒功能
 - 嵌入式实时分析和诊断 ERAD工具
 - 通信外设
 - 一个电源管理总线 (PMBus) 接口
 - 一个片间通讯 (I2C) 接口 (可引脚启动)
 - 两个控制器局域网 (CAN) 总线端口 (可引脚启动)
 - 两个串行外设接口 (SPI) 端口 (可引脚启动)
 - 两个兼容UART的串行通信接口 (SCI) (可引脚启动)
 - 一个兼容UART的本地互连网络 (LIN)
 - 一个带发送器和接收器的快速串行接口 (FSI)
 - 模拟系统
 - 三个3.45MSPS、12位模数转换器 (ADC)
 - 多达21个外部通道
 - 每个ADC四个集成的后处理模块 (PPB)
 - 七个窗口比较器 (CMPSS), 配备12位参考数模转换器 (DAC)
 - 数字毛刺滤波器
 - 两个12位数缓冲DAC输出
 - 七个可编程增益放大器 (PGA)
 - 可编程增益设置: 3、6、12、24
 - 可编程输出滤波
 - 增强型控制外设
 - 16个高分辨率 (150ps分辨率) 的ePWM通道
 - 集成的高分辨率死区支持
 - 集成的硬件跳闸区 (TZ)
 - 七个增强型捕获 (eCAP) 模块
 - 两个模块上提供高分辨率捕获 (HRCAP)
 - 两个支持顺时针/逆时针操作模式的增强型正交编码器脉冲 (eQEP) 模块
 - 四个 Σ - Δ 滤波器模块 (SDFM) 输入通道 (每通道两个并行滤波器)
 - 标准SDFM数据滤波
 - 用于超值或欠值条件的快速动作比较器滤波
 - 可配置逻辑块 (CLB)
 - 增强现有外设功能
 - 支持位置管理器解决方案
 - 库存储在片上ROM存储器中
- 符合功能安全标准
 - 为功能性安全应用开发
- 封装选项:
 - 100引脚薄型四方扁平封装 (LQFP)
- 温度选项:
 - E: -40°C至125°C 结温

目录

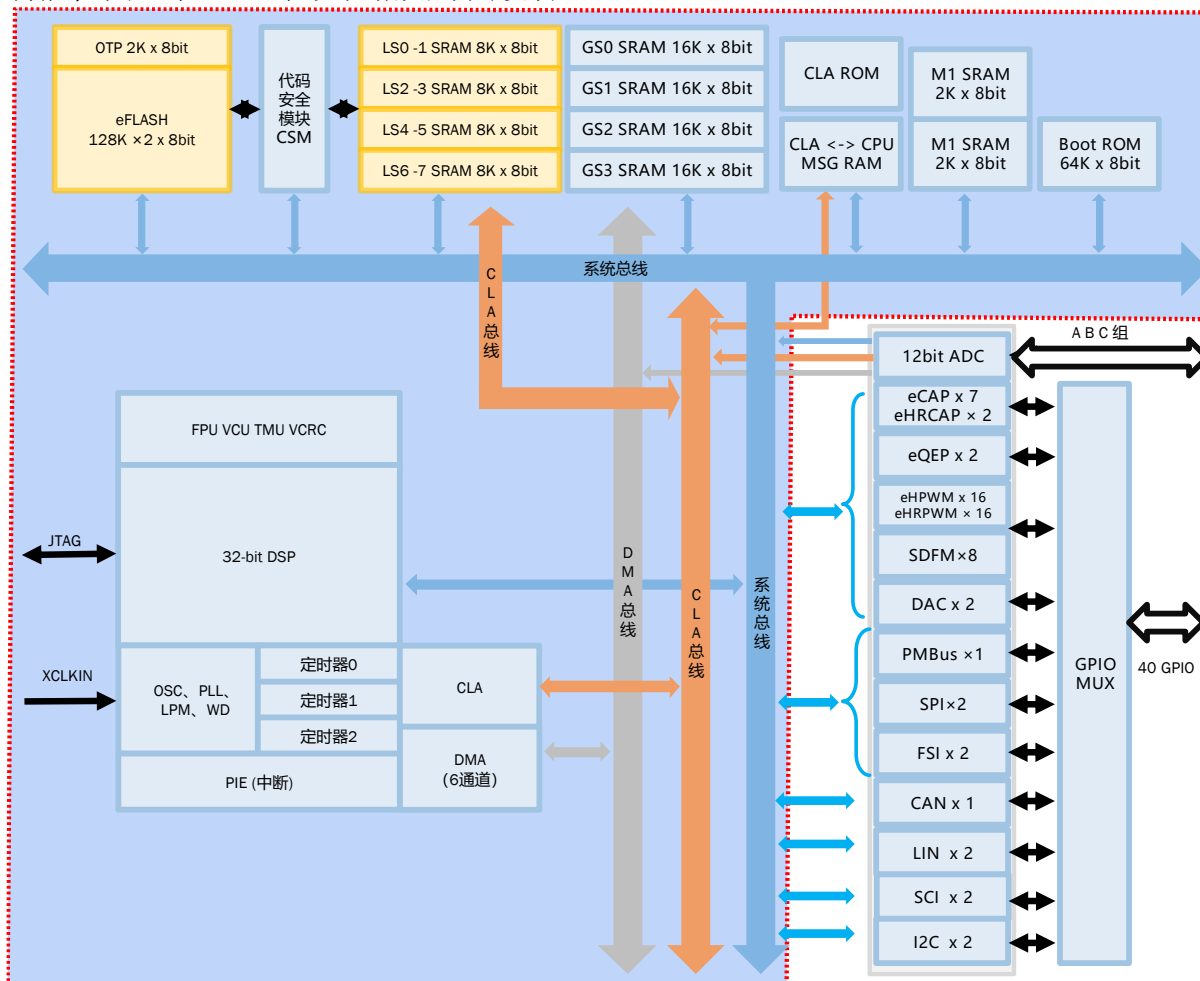
关键特性	2
功能框图	4
器件特性	5
引脚配置和功能	7
引脚图	7
引脚特性	8
信号描述	22
模拟信号	22
数字信号	26
信号说明	错误!未定义书签。
测试、JTAG 和复位	32
引脚复用	33
GPIO 复用引脚	33
GPIO 输入交叉开关	42
GPIO 输出交叉开关和 ePWM 交叉开关	44
具有内部上拉和下拉功能的引脚	45
未使用引脚的连接	46
绝对最大额定值	47
ESD 额定值 - 商业级	48
推荐操作条件	49
功耗汇总表	50
系统电流消耗（外部供电）	50
系统电流消耗量（DCDC）	52
操作模式测试说明	53
系统	54
电源管理模块（PMM）	54
重置定时	65
时钟规格	67
闪存参数	79
仿真/JTAG	81
GPIO 电气数据和时序	84
中断	86
低功耗模式	87
模拟外设	91

模拟-数字转换器 (ADC)	98
可编程增益放大器 (PGA)	107
温度传感器.....	112
缓冲数字到模拟转换器 (DAC)	113
比较器子系统 (CMPSS)	118
控制外设.....	123
增强捕获 (eCAP)	123
高分辨率捕获子模块 (HRCAP6 - HRCAP7)	126
增强型脉冲宽度调制器 (ePWM)	130
高分辨率脉冲宽度调制器 (HRPWM)	136
增强型正交编码器脉冲 (eQEP)	137
Σ - Δ 滤波器模块 (SDFM)	139
通信外围设备.....	144
控制器区域网络 (CAN)	144
集成电路间通信 (I2C)	146
电源管理总线 (PMBus) 接口	151
串行通信接口 (SCI).....	154
串行外设接口 (SPI).....	156
本地互连网络 (LIN).....	168
快速串行接口 (FSI).....	170
详细描述.....	178
概述.....	178
功能框图.....	179
内存.....	180
内存映射.....	180
控制律加速器 (CLA) ROM 内存映射	181
闪存映射.....	181
外设寄存器内存映射	183
内存类型.....	186
识别.....	187
总线架构 - 外设连接性.....	188
CISC 处理器.....	189
嵌入式实时分析和诊断 (ERAD)	189
浮点单元 (FPU)	189
三角数学单元 (TMU)	190

维特比、复数数学和 CRC 单元（VCU）	190
控制律加速器（CLA）	192
直接内存访问（DMA）	194
启动 ROM 和外设引导	195
配置备用启动模式选择引脚	196
配置备用启动模式选项	197
GPIO 分配	197
双代码安全模块	199
看门狗	199
可配置逻辑块（CLB）	200
应用、实现和布局	201
关键设备特性	201
封装参数	205

功能框图

功能框图显示 DSP 系统和相关外围设备。



A.安全存储器以黄色显示

FDM320R0049 的功能框图

器件特性

下表列出了 FDM320R0049 器件的特性

特性 ⁽¹⁾		FDM320R0049
处理器和加速器		
CISC	频率(MHz)	100
	FPU	支持
	VCU-I	支持
	TMU –类型 0	支持
CLA–类型 2	可用	支持
	频率(MHz)	100
6 通道 DMA – 类型 0		支持
存储器		
Flash		256KB (128KW)
RAM	专用和本地共享 RAM	36KB (18KW)
	全局共享 RAM	64KB (32KW)
	总 RAM	100KB (50KW)
片上闪存、RAM 和 OTP 块的代码安全性		支持
Boot ROM		支持
用户可配置的 DCSM OTP		4KB (2KW)
系统 ⁽²⁾		
可配置逻辑块 (CLB)		4 tiles
32 位 DSP 定时器		3
看门狗定时器		1
不可屏蔽中断看门狗 (NMIWD) 定时器		1
晶体振荡器/外部时钟输入		1
0 引脚内部振荡器		2
GPIO 引脚	100 引脚	40
AIO 输入	100 引脚	21
外部中断		5
模拟外设		
ADC 12 位	ADC 数量	3
	MSPS	3.45
	转换时间 (ns) ⁽³⁾	290
ADC 通道 (单端)	100 引脚	21
ADC 通道 (来自 PGA)	100 引脚	7
温度传感器		1
带缓冲的 DAC		2
CMPSS (每个 CMPSS 包含两个比较器和两个内部 DAC)	100 引脚	7

特性 ⁽¹⁾		FDM320R0049
PGAs（增益设置：3, 6, 12, 24）	100 引脚	7
控制外设（4 个）		
eCAP/HRCAP 模块 - 类型 1		7（2 个具有 HRCAP 功能）
ePWM/HRPWM 通道 - 类型 4		16
eQEP 模块 - 类型 1	100 引脚	2
SDFM 通道 - 类型 1	100 引脚	4
通信外设（4 个）		
CAN -类型 0		2
I2C -类型 1		1
SCI -类型 0 (UART-兼容)		2
SPI -类型 2		2
LIN -类型 1 (UART-兼容)		1
PMBus -类型 0		1
FSI -类型 0		1
封装选项、温度和认证		
结温（TJ）		E: -40°C 至 125°C
封装选项	100 引脚	LQFP100

引脚配置和功能

引脚图

图 6-1 显示了 100 引脚低轮廓四扁平封装的管脚分配。。

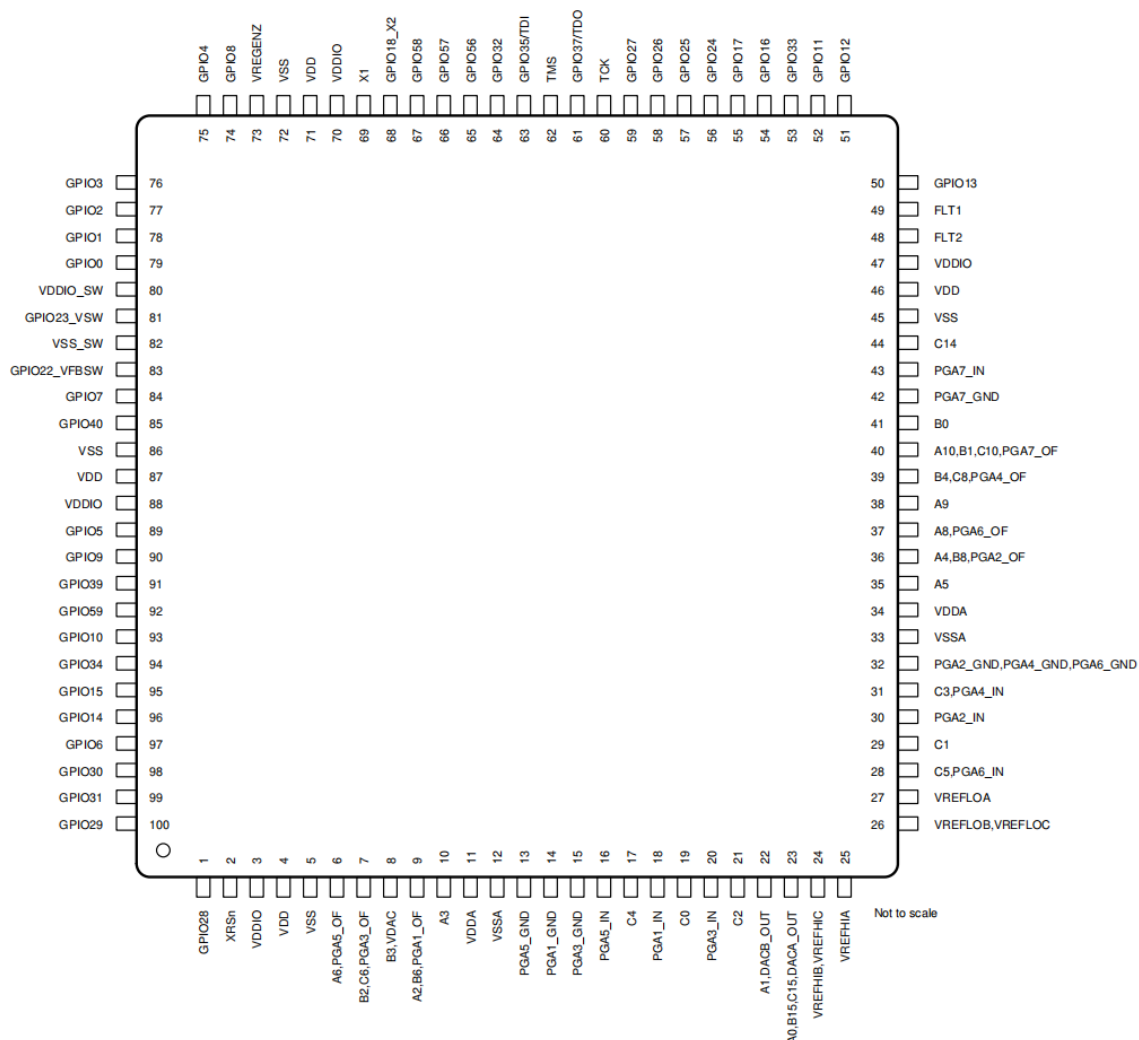


图 6-1. 100 引脚低轮廓四扁平封装

引脚特性

信号名称	MUX 位置	100 PIN	管脚 类型	描述
A0 B15 C15 DACA_OUT AIO231		23	I I I O I	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 缓冲 DAC-A 输出 数字输入 231 在 ADC 引脚上
A1 DACB_OUT AIO232		22	I O I	ADC-A 输入 1 缓冲 DAC-B 输出 数字输入 232 在 ADC 引脚上
A10 B1 C10 PGA7_OF CMP7_HP0 CMP7_LP0 AIO230		40	I I I O I I I	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 PGA-7 输出滤波器（可选） CMPSS-7 高比较器正输入 0 CMPSS-7 低比较器正输入 0 数字输入 230 在 ADC 引脚上
A2 B6 PGA1_OF CMP1_HP0 CMP1_LP0 AIO224		9	I I O I I I	ADC-A 输入 2 ADC-B 输入 6 PGA-1 输出滤波器（可选） CMPSS-1 高比较器正输入 0 CMPSS-1 低比较器正输入 0 数字输入 224 在 ADC 引脚上
A3 CMP1_HP3 CMP1_HN0 CMP1_LP3 CMP1_LN0 AIO233		10	I I I I I I	ADC-A 输入 3 CMPSS-1 高比较器正输入 3 CMPSS-1 高比较器负输入 0 CMPSS-1 低比较器正输入 3 CMPSS-1 低比较器负输入 0 数字输入 233 在 ADC 引脚上
A4 B8 PGA2_OF CMP2_HP0 CMP2_LP0 AIO225		36	I I O I I I	ADC-A 输入 4 ADC-B 输入 8 PGA-2 输出滤波器（可选） CMPSS-2 高比较器正输入 0 CMPSS-2 低比较器正输入 0 数字输入 225 在 ADC 引脚上
A5 CMP2_HP3 CMP2_HN0 CMP2_LP3 CMP2_LN0 AIO234		35	I I I I I I	ADC-A 输入 5 CMPSS-2 高比较器正输入 3 CMPSS-2 高比较器负输入 0 CMPSS-2 低比较器正输入 3 CMPSS-2 低比较器负输入 0 数字输入 234 在 ADC 引脚上

信号名称	MUX 位置	100 PIN	管脚类型	描述
A6 PGA5_OF CMP5_HP0 CMP5_LP0 AIO228		6	I O I I I	ADC-A 输入 6 PGA-5 输出滤波器（可选） CMPSS-5 高比较器正输入 0 CMPSS-5 低比较器正输入 0 数字输入 228 在 ADC 引脚上
A8 PGA6_OF CMP6_HP0 CMP6_LP0 AIO229		37	I O I I I	ADC-A 输入 8 PGA-6 输出滤波器（可选） CMPSS-6 高比较器正输入 0 CMPSS-6 低比较器正输入 0 数字输入 229 在 ADC 引脚上
A9 CMP6_HP3 CMP6_HN0 CMP6_LP3 CMP6_LN0 AIO236		38	I I I I I I	ADC-A 输入 9 CMPSS-6 高比较器正输入 3 CMPSS-6 高比较器负输入 0 CMPSS-6 低比较器正输入 3 CMPSS-6 低比较器负输入 0 数字输入 236 在 ADC 引脚上
B0 CMP7_HP3 CMP7_HN0 CMP7_LP3 CMP7_LN0 AIO241		41	I I I I I I	ADC-B 输入 0 CMPSS-7 高比较器正输入 3 CMPSS-7 高比较器负输入 0 CMPSS-7 低比较器正输入 3 CMPSS-7 低比较器负输入 0 数字输入 241 在 ADC 引脚上
B2 C6 PGA3_OF CMP3_HP0 CMP3_LP0 AIO226		7	I I O I I I	ADC-B 输入 2 ADC-C 输入 6 PGA-3 输出滤波器（可选） CMPSS-3 高比较器正输入 0 CMPSS-3 低比较器正输入 0 数字输入 226 在 ADC 引脚上
B3 VDAC CMP3_HP3 CMP3_HN0 CMP3_LP3 CMP3_LN0 AIO242		8	I I I I I I	ADC-B 输入 3 片内 DACs 的可选外部基准电压。此引脚上有一个 100-pF 电容连接到 VSSA，无论用于 ADC 输入还是 DAC 基准都不能禁用。如果此引脚被用作片内 DACs 的基准，请在此引脚上至少放置一个 1-μF 电容。 CMPSS-3 高比较器正输入 3 CMPSS-3 高比较器负输入 0 CMPSS-3 低比较器正输入 3 CMPSS-3 低比较器负输入 0 数字输入 242 在 ADC 引脚上
B4 C8 PGA4_OF CMP4_HP0 CMP4_LP0 AIO227		39	I I O I I I	ADC-B 输入 4 ADC-C 输入 8 PGA-4 输出滤波器（可选） CMPSS-4 高比较器正输入 0 CMPSS-4 低比较器正输入 0 数字输入 227 在 ADC 引脚上

信号名称	MUX 位置	100 PIN	管脚 类型	描述
C0 CMP1_HP1 CMP1_HN1 CMP1_LP1 CMP1_LN1 AIO237		19	I I I I I I	ADC-C 输入 0 CMPSS-1 高比较器正输入 1 CMPSS-1 高比较器负输入 1 CMPSS-1 低比较器正输入 1 CMPSS-1 低比较器负输入 1 数字输入 237 在 ADC 引脚上
C1 CMP2_HP1 CMP2_HN1 CMP2_LP1 CMP2_LN1 AIO238		29	I I I I I I	ADC-C 输入 1 CMPSS-2 高比较器正输入 1 CMPSS-2 高比较器负输入 1 CMPSS-2 低比较器正输入 1 CMPSS-2 低比较器负输入 1 数字输入 238 在 ADC 引脚上
C14 CMP7_HP1 CMP7_HN1 CMP7_LP1 CMP7_LN1 AIO246		44	I I I I I I	ADC-C 输入 14 CMPSS-7 高比较器正输入 1 CMPSS-7 高比较器负输入 1 CMPSS-7 低比较器正输入 1 CMPSS-7 低比较器负输入 1 数字输入 246 在 ADC 引脚上
C2 CMP3_HP1 CMP3_HN1 CMP3_LP1 CMP3_LN1 AIO244		21	I I I I I I	ADC-C 输入 2 CMPSS-3 高比较器正输入 1 CMPSS-3 高比较器负输入 1 CMPSS-3 低比较器正输入 1 CMPSS-3 低比较器负输入 1 数字输入 244 在 ADC 引脚上
C3 CMP4_HP1 CMP4_HN1 CMP4_LP1 CMP4_LN1 AIO245		31	I I I I I I	ADC-C 输入 3 CMPSS-4 高比较器正输入 1 CMPSS-4 高比较器负输入 1 CMPSS-4 低比较器正输入 1 CMPSS-4 低比较器负输入 1 数字输入 245 在 ADC 引脚上
C4 CMP5_HP1 CMP5_HN1 CMP5_LP1 CMP5_LN1 AIO239		17	I I I I I I	ADC-C 输入 4 CMPSS-5 高比较器正输入 1 CMPSS-5 高比较器负输入 1 CMPSS-5 低比较器正输入 1 CMPSS-5 低比较器负输入 1 数字输入 239 在 ADC 引脚上
C5 CMP6_HP1 CMP6_HN1 CMP6_LP1 CMP6_LN1 AIO240		28	I I I I I I	ADC-C 输入 5 CMPSS-6 高比较器正输入 1 CMPSS-6 高比较器负输入 1 CMPSS-6 低比较器正输入 1 CMPSS-6 低比较器负输入 1 数字输入 240 在 ADC 引脚上
PGA1_GND		14	I	PGA-1 地线
PGA1_IN CMP1_HP2 CMP1_LP2		18	I I I	PGA-1 输入 CMPSS-1 高比较器正输入 2 CMPSS-1 低比较器正输入 2

信号名称	MUX 位置	100 PIN	管脚 类型	描述
PGA2_GND		32	I	PGA-2 地线
PGA2_IN			I	PGA-2 输入
CMP2_HP2		30	I	CMPSS-2 高比较器正输入 2
CMP2_LP2			I	CMPSS-2 低比较器正输入 2
PGA3_GND		15	I	PGA-3 地线
PGA3_IN			I	PGA-3 输入
CMP3_HP2		20	I	CMPSS-3 高比较器正输入 2
CMP3_LP2			I	CMPSS-3 低比较器正输入 2
PGA4_GND		32	I	PGA-4 地线
PGA4_IN			I	PGA-4 输入
CMP4_HP2		31	I	CMPSS-4 高比较器正输入 2
CMP4_LP2			I	CMPSS-4 低比较器正输入 2
PGA5_GND		13	I	PGA-5 地线
PGA5_IN			I	PGA-5 输入
CMP5_HP2		16	I	CMPSS-5 高比较器正输入 2
CMP5_LP2			I	CMPSS-5 低比较器正输入 2
PGA6_GND		32	I	PGA-6 地线
PGA6_IN			I	PGA-6 输入
CMP6_HP2		28	I	CMPSS-6 高比较器正输入 2
CMP6_LP2			I	CMPSS-6 低比较器正输入 2
PGA7_GND		42	I	PGA-7 地线
PGA7_IN			I	PGA-7 输入
CMP7_HP2		43	I	CMPSS-7 高比较器正输入 2
CMP7_LP2			I	CMPSS-7 低比较器正输入 2
VREFHIA		25	I/O	ADC-A 高参考。在外部参考模式下，将高参考电压驱动到这个引脚上。在内部参考模式下，设备会驱动一个电压到这个引脚上。在任何一种模式下，至少在这个引脚上放置一个 2.2- μ F 的电容。这个电容应该尽可能地靠近设备放置在 VREFHIA 和 VREFLOA 引脚之间。不要在内部或外部参考模式下从外部负载这个引脚。
VREFHIB		24	I/O	ADC-B 高参考。在外部参考模式下，将高参考电压驱动到这个引脚上。在内部参考模式下，设备会驱动一个电压到这个引脚上。在任何一种模式下，至少在这个引脚上放置一个 2.2- μ F 的电容。这个电容应该尽可能地靠近设备放置在 VREFHIB 和 VREFLOB 引脚之间。不要在内部或外部参考模式下从外部负载这个引脚。
VREFHIC		24	I/O	ADC-C 高参考。在外部参考模式下，将高参考电压驱动到这个引脚上。在内部参考模式下，设备会驱动一个电压到这个引脚上。在任何一种模式下，至少在这个引脚上放置一个 2.2- μ F 的电容。这个电容应该尽可能地靠近设备放置在 VREFHIC 和 VREFLOC 引脚之间。不要在内部或外部参考模式下从外部负载这个引脚。
VREFLOA		27	I	ADC-A 低参考
VREFLOB		26	I	ADC-B 低参考
VREFLOC		26	I	ADC-C 低参考

信号名称	MUX 位置	100 PIN	管脚类 型	描述
GPIO0 EPWM1_A I2CA_SDA	0, 4, 8, 12 1 6	79	I/O O I/OD	通用输入输出 0 连接到 ePWM-1 的输出 A I2C 总线 A 双向开漏数据线
GPIO1 EPWM1_B I2CA_SCL	0, 4, 8, 12 1 6	78	I/O O I/OD	通用输入输出 1 连接到 ePWM-1 的输出 B I2C 总线 A 双向开漏时钟线
GPIO2 EPWM2_A OUTPUTXBAR1 PMBUSA_SDA SCIA_TX FSIRXA_D1	0, 4, 8, 12 1 5 6 9 10	77	I/O O O I/OD O I	通用输入输出 2 连接到 ePWM-2 的输出 A 连接到 X-BAR 输出 1 PMBus-A 开漏双向数据 SCI-A 发送数据 FSIRX-A 可选附加数据输入
GPIO3 EPWM2_B OUTPUTXBAR2 PMBUSA_SCL SPIA_CLK SCIA_RX FSIRXA_D0	0, 4, 8, 12 1 2, 5 6 7 9 10	76	I/O O O I/OD I/O I I	通用输入输出 3 连接到 ePWM-2 的输出 B 连接到 X-BAR 输出 2 PMBus 总线 A 双向开漏时钟线 SPI-A 总线时钟 SCI-A 接收数据 FSIRX-A 主要数据输入
GPIO4 EPWM3_A OUTPUTXBAR3 CANA_TX FSIRXA_CLK	0, 4, 8, 12 1 5 6 10	75	I/O O O O I	通用输入输出 4 连接到 ePWM-3 的输出 A 连接到 X-BAR 输出 3 CAN-A 发送 FSIRX-A 输入时钟
GPIO5 EPWM3_B OUTPUTXBAR3 CANA_RX SPIA_STE FSITXA_D1	0, 4, 8, 12 1 3 6 7 9	89	I/O O O I I/O O	通用输入输出 5 连接到 ePWM-3 的输出 B 连接到 X-BAR 输出 3 CAN-A 接收 SPI 总线 A 从机发送使能 (STE) FSITX-A 可选附加数据输出
GPIO6 EPWM4_A OUTPUTXBAR4 SYNCOUT EQEP1_A CANB_TX SPIB_SOMI FSITXA_D0	0, 4, 8, 12 1 2 3 5 6 7 9	97	I/O O O O I O I/O O	通用输入输出 6 ePWM-4 输出 A 输出 X-BAR 输出 4 外部 ePWM 同步 脉冲 eQEP-1 输入 A CAN-B 发送 SPI-B 从设备输出, 主设备输入 FSITX-A 主要数据输出
GPIO7 EPWM4_B OUTPUTXBAR5 EQEP1_B CANB_RX SPIB_SIMO FSITXA_CLK	0, 4, 8, 12 1 3 5 6 7 9	84	I/O O O I I I/O O	通用输入输出 7 ePWM-4 输出 B 输出 X-BAR 输出 5 eQEP-1 输入 B CAN-B 接收 SPI-B 从设备输入, 主设备输出 FSITX-A 输出时钟

信号名称	MUX 位置	100 PIN	描述
GPIO8 EPWM5_A CANB_TX ADCSOAO	0, 4, 8, 12 1 2 3	74	通用输入输出 8 ePWM-5 输出 A CAN-B 发送 ADC 转换开始 A 输出（来自 ePWM 模块）
EQEP1_STROBE SCIA_TX SPIA_SIMO I2CA_SCL FSITXA_D1	5 6 7 9 10		eQEP-1 触发 SCI-A 发送数据 SPI-A 从设备输入，主设备输出（SIMO） I2C-A 开漏双向时钟 FSITX-A 可选额外数据输出
GPIO9 EPWM5_B SCIB_TX OUTPUTXBAR6	0, 4, 8, 12 1 2 3	90	通用输入输出 9 ePWM-5 输出 B SCI-B 发送数据 输出 X-BAR 输出 6
EQEP1_INDEX SCIA_RX SPIA_CLK FSITXA_D0	5 6 7 10		eQEP-1 索引 SCI-A 接收数据 SPI-A 时钟 FSITX-A 主要数据输出
GPIO10 EPWM6_A CANB_RX ADCSOBO	0, 4, 8, 12 1 2 3		通用输入输出 10 ePWM-6 输出 A CAN-B 接收 ADC 转换开始 B 输出（来自 ePWM 模块）
EQEP1_A SCIB_TX SPIA_SOMI I2CA_SDA FSITXA_CLK	5 6 7 9 10		eQEP-1 输入 A SCI-B 发送数据 SPI-A 从设备输出，主设备输入（SOMI） I2C-A 开漏双向数据 FSITX-A 输出时钟
GPIO11 EPWM6_B SCIB_RX OUTPUTXBAR7	0, 4, 8, 12 1 2, 6 3	52	通用输入输出 11 ePWM-6 输出 B SCI-B 接收数据 输出 X-BAR 输出 7
EQEP1_B SPIA_STE FSIRXA_D1	5 7 9		eQEP-1 输入 B SPI-A 从设备发送使能（STE） FSIRX-A 可选额外数据输入
GPIO12 EPWM7_A CANB_TX EQEP1_STROBE	0, 4, 8, 12 1 2 5	51	通用输入输出 12 ePWM-7 输出 A CAN-B 发送 eQEP-1 触发
SCIB_TX PMBUSA_CTL FSIRXA_D0	6 7 9		SCI-B 发送数据 PMBus-A 控制信号 FSIRX-A 主要数据输入

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO13	0, 4, 8, 12	50	I/O	通用输入输出 13
EPWM7_B	1		O	ePWM-7 输出 B
CANB_RX	2		I	CAN-B 接收
EQEP1_INDEX	5		I/O	eQEP-1 索引
SCIB_RX	6		I	SCI-B 接收数据
PMBUSA_ALERT	7		I/OD	PMBus-A 开漏双向警报信号
FSIRXA_CLK	9		I	FSIRX-A 输入时钟
GPIO14	0, 4, 8, 12	96	I/O	通用输入输出 14
EPWM8_A	1		O	ePWM-8 输出 A
SCIB_TX	2		O	SCI-B 发送数据
OUTPUTXBAR3	6		O	输出 X-BAR 输出 3
PMBUSA_SDA	7		I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9		I/O	SPI-B 时钟
EQEP2_A	10		I	eQEP-2 输入 A
GPIO15	0, 4, 8, 12	95	I/O	通用输入输出 15
EPWM8_B	1		O	ePWM-8 输出 B
SCIB_RX	2		I	SCI-B 接收数据
OUTPUTXBAR4	6		O	输出 X-BAR 输出 4
PMBUSA_SCL	7		I/OD	PMBus-A 开漏双向时钟
SPIB_STE	9		I/O	SPI-B 从设备发送使能 (STE)
EQEP2_B	10		I	eQEP-2 输入 B
GPIO16	0, 4, 8, 12	54	I/O	通用输入输出 16
SPIA_SIMO	1		I/O	SPI-A 从设备输入, 主设备输出 (SIMO)
CANB_TX	2		O	CAN-B 发送
OUTPUTXBAR7	3		O	输出 X-BAR 输出 7
EPWM5_A	5		O	ePWM-5 输出 A
SCIA_TX	6		O	SCI-A 发送数据
SD1_D1	7		I	SDFM-1 通道 1 数据输入
EQEP1_STROBE	9		I/O	eQEP-1 触发
PMBUSA_SCL	10		I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11		O	外部时钟输出。该引脚输出一个来自设备内部选定的时钟信号的分频版本。
GPIO17	0, 4, 8, 12	55	I/O	通用输入输出 17
SPIA_SOMI	1		I/O	SPI-A 从设备输出, 主设备输入
CANB_RX	2		I	CAN-B 接收
OUTPUTXBAR8	3		O	输出 X-BAR 输出 8
EPWM5_B	5		O	ePWM-5 输出 B
SCIA_RX	6		I	SCI-A 接收数据
SD1_C1	7		I	SDFM-1 通道 1 时钟输入
EQEP1_INDEX	9		I/O	eQEP-1 索引
PMBUSA_SDA	10		I/OD	PMBus-A 开漏双向数据

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO18_X2	0, 4, 8, 12	68	I/O	通用输入输出 18。该引脚及其数字多路复用选项仅在系统由 INTOSC 时钟驱动且 X1 具有外部下拉电阻（推荐 1 k Ω ）时可用。
SPIA_CLK	1		I/O	SPI-A 时钟
SCIB_TX	2		O	SCI-B 发送数据
CANA_RX	3		I	CAN-A 接收
EPWM6_A	5		O	ePWM-6 输出 A
I2CA_SCL	6		I/OD	I2C-A 开漏双向时钟
SD1_D2	7		I	SDFM-1 通道 2 数据输入
EQEP2_A	9		I	eQEP-2 输入 A
PMBUSA_CTL	10		I	PMBus-A 控制信号
XCLKOUT	11		O	外部时钟输出。该引脚输出一个来自设备内部选定的时钟信号的分频版本。
X2	ALT		I/O	晶体振荡器输出
GPIO20	0		I/O	通用输入输出 20
GPIO21	0		I/O	通用输入输出 21
GPIO22_VFBSW	0, 4, 8, 12	83	I/O	通用输入输出 22。默认情况下，该引脚配置为 DC-DC 模式。如果内部 DC-DC 稳压器未使用，可以通过禁用 DC-DC（DCDCCTL.DCDCEN = 0）并在 GPAAMSEL 寄存器中清除其位来将其配置为通用输入输出 22。
EQEP1_STROBE	1		I/O	eQEP-1 触发
SCIB_TX	3		O	SCI-B 发送数据
SPIB_CLK	6		I/O	SPI-B 时钟
SD1_D4	7		I	SDFM-1 通道 4 数据输入
LINA_TX	9		O	LIN-A 发送
VFBSW ⁽¹⁾	ALT		-	内部 DC-DC 稳压器反馈信号。如果使用内部 DC-DC 稳压器（DCDCCTL.DCDCEN = 1），请将此引脚连接到 L(VSW)连接到 VDD 轨道的节点（尽可能靠近设备）。
GPIO23_VSW	0	81	I/O	通用输入输出 23。默认情况下，该引脚配置为 DC-DC 模式。如果内部 DC-DC 稳压器未使用，可以通过禁用 DC-DC（DCDCCTL.DCDCEN = 0）并在 GPAAMSEL 寄存器中清除其位来将其配置为通用输入输出 23。此引脚具有大约 100 pF 的内部电容。建议使用备用 GPIO 或仅在不需快速切换响应的应用程序中使用此引脚。
VSW ⁽¹⁾	ALT		-	切换内部 DC-DC 稳压器的输出（当 DCDCCTL.DCDCEN = 1 时）

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO24	0, 4, 8, 12	56	I/O	通用输入输出 24
OUTPUTXBAR1	1		O	输出 X-BAR 输出 1
EQEP2_A	2		I	eQEP-2 输入 A
EPWM8_A	5		O	ePWM-8 输出 A
SPIB_SIMO	6		I/O	SPI-B 从设备输入，主设备输出
SD1_D1	7		I	SDFM-1 通道 1 数据输入
PMBUSA_SCL	10		I/OD	PMBus-A 开漏双向时钟
SCIA_TX	11		O	SCI-A 发送数据
ERRORSTS	13		O	低电平错误状态输出。如果您希望在上电或 ERRORSTS 信号本身出现故障时断言错误状态，可以使用外部下拉电阻。如果您不希望在上述情况下断言错误状态，则可以使用上拉电阻。
GPIO25	0, 4, 8, 12	57	I/O	通用输入输出 25
OUTPUTXBAR2	1		O	输出 X-BAR 输出 2
EQEP2_B	2		I	eQEP-2 输入 B
SPIB_SOMI	6		I/O	SPI-B 从设备输出，主设备输入
SD1_C1	7		I	SDFM-1 通道 1 时钟输入
FSITXA_D1	9		O	FSITX-A 可选附加数据输出
PMBUSA_SDA	10		I/OD	PMBus-A 开漏双向数据
SCIA_RX	11		I	SCI-A 接收数据
GPIO26	0, 4, 8, 12	58	I/O	通用输入输出 26
OUTPUTXBAR3	1, 5		O	输出 X-BAR 输出 3
EQEP2_INDEX	2		I/O	eQEP-2 索引
SPIB_CLK	6		I/O	SPI-B 时钟
SD1_D2	7		I	SDFM-1 通道 2 数据输入
FSITXA_D0	9		O	FSITX-A 主要数据输出
PMBUSA_CTL	10		I	PMBus-A 控制信号
I2CA_SDA	11		I/OD	I2C-A 开漏双向数据
GPIO27	0, 4, 8, 12	59	I/O	通用输入输出 27
OUTPUTXBAR4	1, 5		O	输出 X-BAR 输出 4
EQEP2_STROBE	2		I/O	eQEP-2 触发
SPIB_STE	6		I/O	SPI-B 从设备发送使能 (STE)
SD1_C2	7		I	SDFM-1 通道 2 时钟输入
FSITXA_CLK	9		O	FSITX-A 输出时钟
PMBUSA_ALERT	10		I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11		I/OD	I2C-A 开漏双向时钟

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO28	0, 4, 8, 12	1	I/O I/O	通用输入输出 28
SCIA_RX	1		O I	SCI-A 接收数据
EPWM7_A	3		I	ePWM-7 输出 A
OUTPUTXBAR5	5		I/O O	输出 X-BAR 输出 5
EQEP1_A	6		I/O	eQEP-1 输入 A
SD1_D3	7			SDFM-1 通道 3 数据输入
EQEP2_STROBE	9			eQEP-2 触发
LINA_TX	10		O	LIN-A 发送
SPIB_CLK	11			SPI-B 时钟
ERRORSTS	13			低电平错误状态输出。如果您希望在上电或 ERRORSTS 信号本身出现故障时断言错误状态，可以使用外部下拉电阻。如果您不希望在上述情况下断言错误状态，则可以使用上拉电阻。
GPIO29	0, 4, 8, 12	100	I/O	通用输入输出 29
SCIA_TX	1		O	SCI-A 发送数据
EPWM7_B	3		O	ePWM-7 输出 B
OUTPUTXBAR6	5		O	输出 X-BAR 输出 6
EQEP1_B	6		I	eQEP-1 输入 B
SD1_C3	7		I	SDFM-1 通道 3 时钟输入
EQEP2_INDEX	9		I/O	eQEP-2 索引
LINA_RX	10		I	LIN-A 接收
SPIB_STE	11		I/O	SPI-B 从设备发送使能 (STE)
ERRORSTS	13		O	低电平错误状态输出。如果您希望在上电或 ERRORSTS 信号本身出现故障时断言错误状态，可以使用外部下拉电阻。如果您不希望在上述情况下断言错误状态，则可以使用上拉电阻。
GPIO30	0, 4, 8, 12	98	I/O	通用输入输出 30
CANA_RX	1		I	CAN-A 接收
SPIB_SIMO	3		I/O	SPI-B 从设备输入，主设备输出
OUTPUTXBAR7	5		O	输出 X-BAR 输出 7
EQEP1_STROBE	6		I/O	eQEP-1 触发
SD1_D4	7		I	SDFM-1 通道 4 数据输入
GPIO31	0, 4, 8, 12	99	I/O	通用输入输出 31
CANA_TX	1		O	CAN-A 发送
SPIB_SOMI	3		I/O	SPI-B 从设备输出，主设备输入
OUTPUTXBAR8	5		O	输出 X-BAR 输出 8
EQEP1_INDEX	6		I/O	eQEP-1 索引
SD1_C4	7		I	SDFM-1 通道 4 时钟输入
FSIRXA_D1	9		I	FSIRX-A 可选附加数据输入

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO32 I2CA_SDA SPIB_CLK EPWM8_B LINA_TX SD1_D3 FSIRXA_D0 CANA_TX	0, 4, 8, 12 1 3 5 6 7 9 10	64	I/O I/OD I/O O O I I O	通用输入输出 32 I2C-A 开漏双向数据 SPI-B 时钟 ePWM-8 输出 B LIN-A 发送 SDFM-1 通道 3 数据输入 FSIRX-A 主要数据输入 CAN-A 发送
GPIO33 I2CA_SCL SPIB_STE OUTPUTXBAR4 LINA_RX SD1_C3 FSIRXA_CLK CANA_RX	0, 4, 8, 12 1 3 5 6 7 9 10	53	I/O I/OD I/O O I I I I	通用输入输出 33 I2C-A 开漏双向时钟 SPI-B 从设备发送使能 (STE) 输出 X-BAR 输出 4 LIN-A 接收 SDFM-1 通道 3 时钟输入 FSIRX-A 输入时钟 CAN-A 接收
GPIO34 OUTPUTXBAR1 PMBUSA_SDA	0, 4, 8, 12 1 6	94	I/O O I/OD	通用输入输出 34 输出 X-BAR 输出 1 PMBus-A 开漏双向数据
GPIO35 SCIA_RX I2CA_SDA CANA_RX PMBUSA_SCL LINA_RX EQEP1_A PMBUSA_CTL TDI	0, 4, 8, 12 1 3 5 6 7 9 10 15	63	I/O I I/OD I I/OD I I I I	通用输入输出 35 SCI-A 接收数据 I2C-A 开漏双向数据 CAN-A 接收 PMBus-A 开漏双向时钟 LIN-A 接收 eQEP-1 输入 A PMBus-A 控制信号 JTAG 测试数据输入 (TDI) -TDI 是引脚的默认多路复用选择。默认情况下禁用内部上拉。如果此引脚用作 JTAG TDI, 应启用内部上拉或在板上添加外部上拉, 以避免浮动输入。
GPIO37 OUTPUTXBAR2 I2CA_SCL SCIA_TX CANA_TX LINA_TX EQEP1_B PMBUSA_ALERT TDO	0, 4, 8, 12 1 3 5 6 7 9 10 15	61	I/O O I/OD O O O I I/OD O	通用输入输出 37 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 SCI-A 发送数据 CAN-A 发送 LIN-A 发送 eQEP-1 输入 B PMBus-A 开漏双向警报信号 JTAG 测试数据输出 (TDO) -TDO 是引脚的默认多路复用选择。默认情况下禁用内部上拉。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使该引脚浮动; 应启用内部上拉或在板上添加外部上拉, 以避免浮动 GPIO 输入。

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO39	0, 4, 8, 12	91	I/O	通用输入输出 39
CANB_RX	6		I	CAN-B 接收
FSIRXA_CLK	7		I	FSIRX-A 输入时钟
GPIO40	0, 4, 8, 12	85	I/O	通用输入输出 40
PMBUSA_SDA	6		I/OD	PMBus-A 开漏双向数据
FSIRXA_D0	7		I	FSIRX-A 主要数据输入
SCIB_TX	9		O	SCI-B 发送数据
EQEP1_A	10		I	eQEP-1 输入 A
GPIO41	0		I/O	通用输入输出 41
GPIO42	0		I/O	通用输入输出 42
GPIO43	0		I/O	通用输入输出 43
GPIO44	0		I/O	通用输入输出 44
GPIO45	0		I/O	通用输入输出 45
GPIO46	0		I/O	通用输入输出 46
GPIO47	0		I/O	通用输入输出 47
GPIO48	0		I/O	通用输入输出 48
GPIO49	0		I/O	通用输入输出 49
GPIO50	0		I/O	通用输入输出 50
GPIO51	0		I/O	通用输入输出 51
GPIO52	0		I/O	通用输入输出 52
GPIO53	0		I/O	通用输入输出 53
GPIO54	0		I/O	通用输入输出 54
GPIO55	0		I/O	通用输入输出 55
GPIO56	0, 4, 8, 12	65	I/O	通用输入输出 56
SPIA_CLK	1		I/O	SPI-A 时钟
EQEP2_STROBE	5		I/O	eQEP-2 触发
SCIB_TX	6		O	SCI-B 发送数据
SD1_D3	7		I	SDFM-1 通道 3 数据输入
SPIB_SIMO	9		I/O	SPI-B 从设备输入, 主设备输出
EQEP1_A	11		I	eQEP-1 输入 A
GPIO57	0, 4, 8, 12	66	I/O	通用输入输出 57
SPIA_STE	1		I/O	SPI-A Slave 发送使能 (STE)
EQEP2_INDEX	5		I/O	eQEP-2 索引
SCIB_RX	6		I	SCI-B 接收数据
SD1_C3	7		I	SDFM-1 通道 3 时钟输入
SPIB_SOMI	9		I/O	SPI-B 从设备输出, 主设备输入
EQEP1_B	11		I	eQEP-1 输入 B
GPIO58	0, 4, 8, 12	67	I/O	通用输入输出 58
OUTPUTXBAR1	5		O	输出 X-BAR 输出 1
SPIB_CLK	6		I/O	SPI-B 时钟
SD1_D4	7		I	SDFM-1 通道 4 数据输入
LINA_TX	9		O	LIN-A 发送
CANB_TX	10		O	CAN-B 发送
EQEP1_STROBE	11		I/O	eQEP-1 选通

信号名称	MUX 位置	100 PIN	管脚 类型	描述
GPIO59	0, 4, 8, 12	92	I/O	通用输入输出 59
OUTPUTXBAR2	5		O	输出 X-BAR 输出 2
SPIB_STE	6		I/O	SPI-B 从机发送使能 (STE)
SD1_C4	7		I	SDFM-1 通道 4 时钟输入
LINA_RX	9		I	LIN-A 接收
CANB_RX	10		I	CAN-B 接收
EQEP1_INDEX	11		I/O	eQEP-1 索引
测试、JTAG 和复位				
FLT1		49	I/O	Flash 测试引脚 1。必须保持未连接。
FLT2		48	I/O	Flash 测试引脚 2。必须保持未连接。
TCK		60	I	JTAG 测试时钟，具有内部上拉。
TMS		62	I/O	JTAG 测试模式选择 (TMS) 具有内部上拉。这个串行控制输入在 TCK 的上升沿时被时钟送入 TAP 控制器。此设备没有 TRSTn 引脚。应在电路板上将 TMS 引脚通过一个外部上拉电阻（推荐 2.2 kΩ）连接到 VDDIO，以在正常工作期间保持 JTAG 处于复位状态。
VREGENZ		73	I	内部电压稳压器使能，具有内部下拉。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。
X1		69	I/O	晶振输入或单端时钟输入。在启用晶振之前，设备初始化软件必须配置此引脚。要使用该振荡器，必须将石英晶体电路连接到 X1 和 X2。此引脚还可以用于提供单端的 3.3V 电平时钟。不支持 GPIO19。内部，GPIO19 连接到 X1 功能，因此应将 GPIO19 保持为输入模式，禁用上拉以避免干扰 X1 时钟功能。
XRSn		2	I/OD	设备复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由设备驱动为低电平。外部电路也可以驱动此引脚以断言设备复位。当发生看门狗复位时，MCU 也会将此引脚驱动为低电平。在看门狗复位期间，XRSn 引脚会在 512 个 OSCCLK 周期的看门狗复位持续时间内保持低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2 kΩ 到 10 kΩ 的电阻。如果在 XRSn 和 VSS 之间放置了一个用于噪声滤波的电容，其值应为 100 nF 或更小。这些值允许看门狗在断言看门狗复位时在 512 个 OSCCLK 周期内将 XRSn 引脚正确驱动到 VOL。此引脚的输出缓冲器是一个具有内部上拉的开漏输出。如果此引脚由外部设备驱动，则应使用开漏设备进行操作。

信号名称	MUX 位置	100 PIN	管脚 类型	描述
电源和接地				
VDD		4, 46, 71, 87		1.2-V 数字逻辑电源引脚。建议在每个 VDD 引脚附近放置一个去耦电容，总电容量的最小值约为 20 μF。当不使用内部电压稳压器时，去耦电容的确切值应由您的系统电压调节解决方案确定。
VDDA		11, 34		3.3-V 模拟电源引脚。在每个引脚上放置一个最小为 2.2 μF 的去耦电容到 VSSA。
VDDIO		3, 47, 70, 88		3.3-V 数字 I/O 电源引脚。在每个引脚上放置一个最小为 0.1 μF 的去耦电容。
VDDIO_SW		80		3.3-V 内部 DC-DC 稳压器的供电引脚。如果使用内部 DC-DC 稳压器，应在该引脚上放置一个 20 μF 的大容量输入电容。始终将此引脚连接到 VDDIO 引脚。根据需要，可以使用磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSS		5, 45, 72, 86		数字地
VSSA		12, 33		模拟地
VSS_SW		82		内部 DC-DC 稳压器地。始终将此引脚连接到 VSS 引脚。

(1) 当 DCDCEN = 1 时，AMSEL 寄存器中的相应位是任意值。

信号描述

模拟信号

信号名称	描述	引脚类型	GPIO	100 PIN
A0	ADC-A 输入 0	I		23
A1	ADC-A 输入 1	I		22
A2	ADC-A 输入 2	I		9
A3	ADC-A 输入 3	I		10
A4	ADC-A 输入 4	I		36
A5	ADC-A 输入 5	I		35
A6	ADC-A 输入 6	I		6
A8	ADC-A 输入 8	I		37
A9	ADC-A 输入 9	I		38
A10	ADC-A 输入 10	I		40
AIO224	数字 输入-224 在 ADC 引脚上	I		9
AIO225	数字 输入-225 在 ADC 引脚上	I		36
AIO226	数字 输入-226 在 ADC 引脚上	I		7
AIO227	数字 输入-227 在 ADC 引脚上	I		39
AIO228	数字 输入-228 在 ADC 引脚上	I		6
AIO229	数字 输入-229 在 ADC 引脚上	I		37
AIO230	数字 输入-230 在 ADC 引脚上	I		40
AIO231	数字 输入-231 在 ADC 引脚上	I		23
AIO232	数字 输入-232 在 ADC 引脚上	I		22
AIO233	数字 输入-233 在 ADC 引脚上	I		10
AIO234	数字 输入-234 在 ADC 引脚上	I		35
AIO236	数字 输入-236 在 ADC 引脚上	I		38
AIO237	数字 输入-237 在 ADC 引脚上	I		19
AIO238	数字 输入-238 在 ADC 引脚上	I		29
AIO239	数字 输入-239 在 ADC 引脚上	I		17
AIO240	数字 输入-240 在 ADC 引脚上	I		28
AIO241	数字 输入-241 在 ADC 引脚上	I		41
AIO242	数字 输入-242 在 ADC 引脚上	I		8
AIO244	数字 输入-244 在 ADC 引脚上	I		21
AIO245	数字 输入-245 在 ADC 引脚上	I		31
AIO246	数字 输入-246 在 ADC 引脚上	I		44
B0	ADC-B 输入 0	I		41
B1	ADC-B 输入 1	I		40
B2	ADC-B 输入 2	I		7
B3	ADC-B 输入 3	I		8
B4	ADC-B 输入 4	I		39
B6	ADC-B 输入 6	I		9
B8	ADC-B 输入 8	I		36
B15	ADC-B 输入 15	I		23
C0	ADC-C 输入 0	I		19
C1	ADC-C 输入 1	I		29
C2	ADC-C 输入 2	I		21

信号名称	描述	引脚类型	GPIO	100 PIN
C3	ADC-C 输入 3	I		31
C4	ADC-C 输入 4	I		17
C5	ADC-C 输入 5	I		28
C6	ADC-C 输入 6	I		7
C8	ADC-C 输入 8	I		39
C10	ADC-C 输入 10	I		40
C14	ADC-C 输入 14	I		44
C15	ADC-C 输入 15	I		23
CMP1_HN0	CMPSS-1 高比较器负输入 0	I		10
CMP1_HN1	CMPSS-1 高比较器负输入 1	I		19
CMP1_HP0	CMPSS-1 高比较器正输入 0	I		9
CMP1_HP1	CMPSS-1 高比较器正输入 1	I		19
CMP1_HP2	CMPSS-1 高比较器正输入 2	I		18
CMP1_HP3	CMPSS-1 高比较器正输入 3	I		10
CMP1_LN0	CMPSS-1 低比较器负输入 0	I		10
CMP1_LN1	CMPSS-1 低比较器负输入 1	I		19
CMP1_LP0	CMPSS-1 低比较器正输入 0	I		9
CMP1_LP1	CMPSS-1 低比较器正输入 1	I		19
CMP1_LP2	CMPSS-1 低比较器正输入 2	I		18
CMP1_LP3	CMPSS-1 低比较器正输入 3	I		10
CMP2_HN0	CMPSS-2 高比较器负输入 0	I		35
CMP2_HN1	CMPSS-2 高比较器负输入 1	I		29
CMP2_HP0	CMPSS-2 高比较器正输入 0	I		36
CMP2_HP1	CMPSS-2 高比较器正输入 1	I		29
CMP2_HP2	CMPSS-2 高比较器正输入 2	I		30
CMP2_HP3	CMPSS-2 高比较器正输入 3	I		35
CMP2_LN0	CMPSS-2 低比较器负输入 0	I		35
CMP2_LN1	CMPSS-2 低比较器负输入 1	I		29
CMP2_LP0	CMPSS-2 低比较器正输入 0	I		36
CMP2_LP1	CMPSS-2 低比较器正输入 1	I		29
CMP2_LP2	CMPSS-2 低比较器正输入 2	I		30
CMP2_LP3	CMPSS-2 低比较器正输入 3	I		35
CMP3_HN0	CMPSS-3 高比较器负输入 0	I		8
CMP3_HN1	CMPSS-3 高比较器负输入 1	I		21
CMP3_HP0	CMPSS-3 高比较器正输入 0	I		7
CMP3_HP1	CMPSS-3 高比较器正输入 1	I		21
CMP3_HP2	CMPSS-3 高比较器正输入 2	I		20
CMP3_HP3	CMPSS-3 高比较器正输入 3	I		8
CMP3_LN0	CMPSS-3 低比较器负输入 0	I		8
CMP3_LN1	CMPSS-3 低比较器负输入 1	I		21
CMP3_LP0	CMPSS-3 低比较器正输入 0	I		7
CMP3_LP1	CMPSS-3 低比较器正输入 1	I		21
CMP3_LP2	CMPSS-3 低比较器正输入 2	I		20
CMP3_LP3	CMPSS-3 低比较器正输入 3	I		8
CMP4_HN1	CMPSS-4 高比较器负输入 1	I		31

信号名称	描述	引脚类型	GPIO	100 PIN
CMP4_HP0	CMPSS-4 高比较器正输入 0	I		39
CMP4_HP1	CMPSS-4 高比较器正输入 1	I		31
CMP4_HP2	CMPSS-4 高比较器正输入 2	I		31
CMP4_LN1	CMPSS-4 低比较器负输入 1	I		31
CMP4_LP0	CMPSS-4 低比较器正输入 0	I		39
CMP4_LP1	CMPSS-4 低比较器正输入 1	I		31
CMP4_LP2	CMPSS-4 低比较器正输入 2	I		31
CMP5_HN1	CMPSS-5 高比较器负输入 1	I		17
CMP5_HP0	CMPSS-5 高比较器正输入 0	I		6
CMP5_HP1	CMPSS-5 高比较器正输入 1	I		17
CMP5_HP2	CMPSS-5 高比较器正输入 2	I		16
CMP5_LN1	CMPSS-5 低比较器负输入 1	I		17
CMP5_LP0	CMPSS-5 低比较器正输入 0	I		6
CMP5_LP1	CMPSS-5 低比较器正输入 1	I		17
CMP5_LP2	CMPSS-5 低比较器正输入 2	I		16
CMP6_HN0	CMPSS-6 高比较器负输入 0	I		38
CMP6_HN1	CMPSS-6 高比较器负输入 1	I		28
CMP6_HP0	CMPSS-6 高比较器正输入 0	I		37
CMP6_HP1	CMPSS-6 高比较器正输入 1	I		28
CMP6_HP2	CMPSS-6 高比较器正输入 2	I		28
CMP6_HP3	CMPSS-6 高比较器正输入 3	I		38
CMP6_LN0	CMPSS-6 低比较器负输入 0	I		38
CMP6_LN1	CMPSS-6 低比较器负输入 1	I		28
CMP6_LP0	CMPSS-6 低比较器正输入 0	I		37
CMP6_LP1	CMPSS-6 低比较器正输入 1	I		28
CMP6_LP2	CMPSS-6 低比较器正输入 2	I		28
CMP6_LP3	CMPSS-6 低比较器正输入 3	I		38
CMP7_HN0	CMPSS-7 高比较器负输入 0	I		41
CMP7_HN1	CMPSS-7 高比较器负输入 1	I		44
CMP7_HP0	CMPSS-7 高比较器正输入 0	I		40
CMP7_HP1	CMPSS-7 高比较器正输入 1	I		44
CMP7_HP2	CMPSS-7 高比较器正输入 2	I		43
CMP7_HP3	CMPSS-7 高比较器正输入 3	I		41
CMP7_LN0	CMPSS-7 低比较器负输入 0	I		41
CMP7_LN1	CMPSS-7 低比较器负输入 1	I		44
CMP7_LP0	CMPSS-7 低比较器正输入 0	I		40
CMP7_LP1	CMPSS-7 低比较器正输入 1	I		44
CMP7_LP2	CMPSS-7 低比较器正输入 2	I		43
CMP7_LP3	CMPSS-7 低比较器正输入 3	I		41
DACA_OUT	缓冲 DAC-A 输出	O		23
DACB_OUT	缓冲 DAC-B 输出	O		22
PGA1_GND	PGA-1 接地	I		14
PGA1_IN	PGA-1 输入	I		18
PGA1_OF	PGA-1 输出滤波（可选）	O		9
PGA2_GND	PGA-2 接地	I		32

信号名称	描述	引脚类型	GPIO	100 PIN
PGA2_IN	PGA-2 输入	I		30
PGA2_OF	PGA-2 输出滤波（可选）	O		36
PGA3_GND	PGA-3 接地	I		15
PGA3_IN	PGA-3 输入	I		20
PGA3_OF	PGA-3 输出滤波（可选）	O		7
PGA4_GND	PGA-4 接地	I		32
PGA4_IN	PGA-4 输入	I		31
PGA4_OF	PGA-4 输出滤波（可选）	O		39
PGA5_GND	PGA-5 接地	I		13
PGA5_IN	PGA-5 输入	I		16
PGA5_OF	PGA-5 输出滤波（可选）	O		6
PGA6_GND	PGA-6 接地	I		32
PGA6_IN	PGA-6 输入	I		28
PGA6_OF	PGA-6 输出滤波（可选）	O		37
PGA7_GND	PGA-7 接地	I		42
PGA7_IN	PGA-7 输入	I		43
PGA7_OF	PGA-7 输出滤波（可选）	O		40
VDAC	片上 DAC 的可选外部参考电压。无论该引脚是用于 ADC 输入还是 DAC 参考，都有一个 100-pF 电容连接到 VSSA，且无法禁用。如果此引脚被用作片上 DAC 的参考，请在该引脚上放置至少一个 1-μF 电容。	I		8
VREFHIA	ADC-A 高参考。在外部参考模式下，将高参考电压外部驱动到这个引脚。在内部参考模式下，设备会将电压驱动到这个引脚。在任一模式下，都应在该引脚上放置至少一个 2.2-μF 电容。这个电容应尽可能靠近设备放置在 VREFHIA 和 VREFLOA 引脚之间。在内部或外部参考模式下，都不要从外部加载这个引脚。	I/O		25
VREFHIB	ADC-B 高参考。在外部参考模式下，将高参考电压外部驱动到这个引脚。在内部参考模式下，设备会将电压驱动到这个引脚。在任一模式下，都应在该引脚上放置至少一个 2.2-μF 电容。这个电容应尽可能靠近设备放置在 VREFHIB 和 VREFLOB 引脚之间。在内部或外部参考模式下，都不要从外部加载这个引脚。	I/O		24
VREFHIC	ADC-C 高参考。在外部参考模式下，将高参考电压外部驱动到这个引脚。在内部参考模式下，设备会将电压驱动到这个引脚。在任一模式下，都应在该引脚上放置至少一个 2.2-μF 电容。这个电容应尽可能靠近设备放置在 VREFHIC 和 VREFLOC 引脚之间。在内部或外部参考模式下，都不要从外部加载这个引脚。	I/O		24
VREFLOA	ADC-A 低参考	I		27
VREFLOB	ADC-B 低参考	I		26
VREFLOC	ADC-C 低参考	I		26

数字信号

信号名称	描述	引脚类型	GPIO	100 PIN
ADCSOCAO	ADC A 转换开始输出 (来自 ePWM 模块)	O	8	74
ADCSOCBO	ADC B 转换开始输出 (来自 ePWM 模块)	O	10	93
CANA_RX	CAN-A 接收	I	18, 30,33, 35,5	53, 63,68, 89,98
CANA_TX	CAN-A 发送	O	31, 32,37, 4	61, 64,75, 99
CANB_RX	CAN-B 接收	I	10, 13,17, 39,59, 7	50, 55,84, 91,92, 93
CANB_TX	CAN-B 发送	O	12, 16, 58, 6, 8	51, 54,67, 74,97
EPWM1_A	ePWM-1 输出 A	O	0	79
EPWM1_B	ePWM-1 输出 B	O	1	78
EPWM2_A	ePWM-2 输出 A	O	2	77
EPWM2_B	ePWM-2 输出 B	O	3	76
EPWM3_A	ePWM-3 输出 A	O	4	75
EPWM3_B	ePWM-3 输出 B	O	5	89
EPWM4_A	ePWM-4 输出 A	O	6	97
EPWM4_B	ePWM-4 输出 B	O	7	84
EPWM5_A	ePWM-5 输出 A	O	16, 8	54, 74
EPWM5_B	ePWM-5 输出 B	O	17, 9	55, 90
EPWM6_A	ePWM-6 输出 A	O	10, 18	68, 93
EPWM6_B	ePWM-6 输出 B	O	11	52
EPWM7_A	ePWM-7 输出 A	O	12, 28	1, 51
EPWM7_B	ePWM-7 输出 B	O	13, 29	100, 50
EPWM8_A	ePWM-8 输出 A	O	14, 24	56, 96
EPWM8_B	ePWM-8 输出 B	O	15, 32	64, 95
EQEP1_A	eQEP-1 输入 A	I	10, 28,35, 40,56, 6	1, 63,65, 85,93, 97
EQEP1_B	eQEP-1 输入 B	I	11, 29,37, 57,7	100, 2,61, 66,84
EQEP1_INDEX	eQEP-1 索引	I/O	13, 17,31, 59,9	50, 55,90, 92,99
EQEP1_STROBE	eQEP-1 触发	I/O	12, 16,22, 30,58, 8	51, 54,67, 74,83, 98
EQEP2_A	eQEP-2 输入 A	I	14, 18,24	56, 68,96
EQEP2_B	eQEP-2 输入 B	I	15, 25	57, 95
EQEP2_INDEX	eQEP-2 索引	I/O	26, 29,57	100,58,66

信号名称	描述	引脚类型	GPIO	100 PIN
EQEP2_STROBE	eQEP-2 选通	I/O	27, 28, 56	1, 59, 65
ERRORSTS	低电平有效错误状态输出。若希望在上电期间或 ERRORSTS 信号本身出现故障时断言错误状态，可以使用外部下拉电阻。如果不希望在上述条件下断言错误状态，可以使用上拉电阻。	O	24, 28, 29	1, 100, 56
FSIRXA_CLK	FSIRX-A 输入时钟。	I	13, 33, 39, 4	50, 53, 75, 91
FSIRXA_D0	FSIRX-A 主要数据输入。	I	12, 3, 32, 40	51, 64, 76, 85
FSIRXA_D1	FSIRX-A 可选的附加数据输入。	I	11, 2, 31	52, 77, 99
FSITXA_CLK	FSITX-A 输出时钟。	O	10, 27, 7	59, 84, 93
FSITXA_D0	FSITX-A 主要数据输出。	O	26, 6, 9	58, 90, 97
FSITXA_D1	FSITX-A 可选的附加数据输出。	O	25, 5, 8	57, 74, 89
GPIO0	通用输入输出 0	I/O	0	79
GPIO1	通用输入输出 1	I/O	1	78
GPIO2	通用输入输出 2	I/O	2	77
GPIO3	通用输入输出 3	I/O	3	76
GPIO4	通用输入输出 4	I/O	4	75
GPIO5	通用输入输出 5	I/O	5	89
GPIO6	通用输入输出 6	I/O	6	97
GPIO7	通用输入输出 7	I/O	7	84
GPIO8	通用输入输出 8	I/O	8	74
GPIO9	通用输入输出 9	I/O	9	90
GPIO10	通用输入输出 10	I/O	10	93
GPIO11	通用输入输出 11	I/O	11	52
GPIO12	通用输入输出 12	I/O	12	51
GPIO13	通用输入输出 13	I/O	13	50
GPIO14	通用输入输出 14	I/O	14	96
GPIO15	通用输入输出 15	I/O	15	95
GPIO16	通用输入输出 16	I/O	16	54
GPIO17	通用输入输出 17	I/O	17	55
GPIO18_X2	通用输入输出 18. 这个引脚及其数字多路复用选项只能在系统由 INTOSC 时钟驱动且 X1 具有外部下拉电阻（推荐值为 1 k Ω ）时使用。	I/O	18	68
GPIO20	通用输入输出 20	I/O	20	
GPIO21	通用输入输出 21	I/O	21	
GPIO22_VFBSW	通用输入输出 22。此引脚默认配置为 DC-DC 模式。如果不使用内部 DC-DC 稳压器，可以通过禁用 DC-DC 并清除 GPAAMSEL 寄存器中的相应位将其配置为通用输入输出 22。	I/O	22	83

信号名称	描述	引脚类型	GPIO	100 PIN
GPIO23_VSW	通用输入输出 23。此引脚默认配置为 DC-DC 模式。如果不使用内部 DC-DC 稳压器，可以通过禁用 DC-DC 并清除 GPAMSEL 寄存器中的相应位来将此引脚配置为通用输入输出 23。该引脚具有约 100 pF 的内部电容。	I/O	23	81
GPIO24	通用输入输出 24	I/O	24	56
GPIO25	通用输入输出 25	I/O	25	57
GPIO26	通用输入输出 26	I/O	26	58
GPIO27	通用输入输出 27	I/O	27	59
GPIO28	通用输入输出 28	I/O	28	1
GPIO29	通用输入输出 29	I/O	29	100
GPIO30	通用输入输出 30	I/O	30	98
GPIO31	通用输入输出 31	I/O	31	99
GPIO32	通用输入输出 32	I/O	32	64
GPIO33	通用输入输出 33	I/O	33	53
GPIO34	通用输入输出 34	I/O	34	94
GPIO35	通用输入输出 35	I/O	35	63
GPIO37	通用输入输出 37	I/O	37	61
GPIO39	通用输入输出 39	I/O	39	91
GPIO40	通用输入输出 40	I/O	40	85
GPIO41	通用输入输出 41	I/O	41	
GPIO42	通用输入输出 42	I/O	42	
GPIO43	通用输入输出 43	I/O	43	
GPIO44	通用输入输出 44	I/O	44	
GPIO45	通用输入输出 45	I/O	45	
GPIO46	通用输入输出 46	I/O	46	
GPIO47	通用输入输出 47	I/O	47	
GPIO48	通用输入输出 48	I/O	48	
GPIO49	通用输入输出 49	I/O	49	
GPIO50	通用输入输出 50	I/O	50	
GPIO51	通用输入输出 51	I/O	51	
GPIO52	通用输入输出 52	I/O	52	
GPIO53	通用输入输出 53	I/O	53	
GPIO54	通用输入输出 54	I/O	54	
GPIO55	通用输入输出 55	I/O	55	
GPIO56	通用输入输出 56	I/O	56	65
GPIO57	通用输入输出 57	I/O	57	66
GPIO58	通用输入输出 58	I/O	58	67
GPIO59	通用输入输出 59	I/O	59	92
I2CA_SCL	I2C-A 开漏双向时钟	I/OD	1,18,27,33,37,8	53,59,61,68,74,78

信号名称	描述	引脚类型	GPIO	100 PIN
I2CA_SDA	I2C-A 开漏双向数据	I/OD	0, 10,26, 32, 35	58, 63,64, 79,93
LINA_RX	LIN-A 接收	I	29, 33,35, 59	100, 53, 63, 92
LINA_TX	LIN-A 发送	O	22, 28,32, 37, 58	1, 61,64, 67, 83
OUTPUTXBAR1	输出 X-BAR 输出 1	O	2, 24,34, 58	56, 67,77, 94
OUTPUTXBAR2	输出 X-BAR 输出 2	O	25, 3,37, 59	57, 61,76, 92
OUTPUTXBAR3	输出 X-BAR 输出 3	O	14, 26,4, 5	58, 75,89, 96
OUTPUTXBAR4	输出 X-BAR 输出 4	O	15, 27, 33, 6	53, 59, 95, 97
OUTPUTXBAR5	输出 X-BAR 输出 5	O	28, 7	1, 84
OUTPUTXBAR6	输出 X-BAR 输出 6	O	29, 9	100, 90
OUTPUTXBAR7	输出 X-BAR 输出 7	O	11, 16,30	52, 54,98
OUTPUTXBAR8	输出 X-BAR 输出 8	O	17, 31	55, 99
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/OD	13, 27,37	50, 59,61
PMBUSA_CTL	PMBus-A 控制信号	I	12, 18,26, 35	51, 58, 63, 68
PMBUSA_SCL	PMBus-A 开漏双向时钟	I/OD	15, 16,24, 3, 35	54, 56,63, 76, 95
PMBUSA_SDA	PMBus-A 开漏双向数据	I/OD	14, 17,2, 25, 34, 40	55, 57,77, 85, 94, 96
SCIA_RX	SCI-A 接收数据	I	17, 25,28, 3, 35, 9	1, 55,57, 63, 76, 90
SCIA_TX	SCI-A 发送数据	O	16, 2,24, 29, 37, 8	100, 54,56, 61,74, 77
SCIB_RX	SCI-B 接收数据	I	11, 13,15, 57	50, 52,66, 95
SCIB_TX	SCI-B 发送数据	O	10, 12,14, 18, 22, 40,56, 9	51, 65,68, 83, 85, 90,93, 96
SD1_C1	SDFM-1 通道 1 时钟输入	I	17, 25	55, 57
SD1_C2	SDFM-1 通道 2 时钟输入	I	27	59
SD1_C3	SDFM-1 通道 3 时钟输入	I	29, 33,57	100, 53,66
SD1_C4	SDFM-1 通道 4 时钟输入	I	31, 59	92, 99
SD1_D1	SDFM-1 通道 1 数据输入	I	16, 24	54, 56
SD1_D2	SDFM-1 通道 2 数据输入	I	18, 26	58, 68
SD1_D3	SDFM-1 通道 3 数据输入	I	28, 32,56	1, 64,65

信号名称	描述	引脚类型	GPIO	100 PIN
SD1_D4	SDFM-1 通道 4 数据输入	I	22, 30, 58	67, 83, 98
SPIA_CLK	SPI-A 时钟	I/O	18, 3, 56, 9	65, 68, 76, 90
SPIA_SIMO	SPI-A 从设备输入，主设备输出（SIMO）	I/O	16, 8	54, 74
SPIA_SOMI	SPI-A 从设备输出，主设备输入（SOMI）	I/O	10, 17	55, 93
SPIA_STE	SPI-A 从设备发送启用（STE）	I/O	11, 5, 57	52, 66, 89
SPIB_CLK	SPI-B 时钟	I/O	14, 22, 26, 28, 32, 58	1, 58, 64, 67, 83, 96
SPIB_SIMO	SPI-B 从设备输入，主设备输出（SIMO）	I/O	24, 30, 56, 7	56, 65, 84, 98
SPIB_SOMI	SPI-B 从设备输出，主设备输入（SOMI）	I/O	25, 31, 57, 6	57, 66, 97, 99
SPIB_STE	SPI-B 从设备发送启用（STE）	I/O	15, 27, 29, 33, 59	100, 53, 59, 92, 95
SYNCOUT	外部 ePWM 同步脉冲	O	6	97
TDI	JTAG 测试数据输入（TDI）- TDI 是引脚的默认多路复用选择。内部上拉默认禁用。如果此引脚用作 JTAG TDI 以避免浮动输入，则应启用内部上拉或在电路板上添加外部上拉。	I	35	63
TDO	JTAG 测试数据输出（TDO）- TDO 是引脚的默认多路复用选择。内部上拉默认禁用。当没有 JTAG 活动时，TDO 功能将处于三态条件，使该引脚浮动；应启用内部上拉或在电路板上添加外部上拉，以避免浮动 GPIO 输入。	O	37	61
VFBSW	内部 DC-DC 调节器反馈信号。如果使用内部 DC-DC 调节器，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 轨（尽可能靠近设备）。	-	22	83
VSW	内部 DC-DC 调节器的开关输出	-	23	81
X2	晶体振荡器输出	I/O	18	68
XCLKOUT	外部时钟输出。此引脚输出来自设备内部的选定时钟信号的分频版本。	O	16, 18	54, 68

电源和接地

表 6-4. 电源和接地

信号名称	描述	引脚类型	GPIO	100 PIN
VDD	1.2-V 数字逻辑电源引脚。建议在每个 VDD 引脚附近放置一个去耦电容，总最小电容量大约为 20 μ F。当不使用内部稳压器时，去耦电容的准确值应由您的系统电压调节方案确定。			4, 46, 71, 87
VDDA	3.3-V 模拟电源引脚。在每个引脚的 VSSA 上放置一个最小 2.2- μ F 的去耦电容。			11, 34
VDDIO	3.3-V 数字 I/O 电源引脚。在每个引脚上放置一个最小 0.1- μ F 的去耦电容。			3, 47, 70, 88
VDDIO_SW	3.3-V 内部 DC-DC 稳压器电源引脚。如果使用内部 DC-DC 稳压器，应在该引脚上放置 20- μ F 的总输入电容。始终将此引脚连接到 VDDIO 引脚。如果需要隔离，可使用铁氧体磁珠，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。			80
VSS	数字地			45, 5, 72, 86
VSSA	模拟地			12, 33
VSS_SW	内部 DC-DC 稳压器地。始终将此引脚连接到 VSS 引脚。			82

测试、JTAG和复位

信号名称	描述	引脚类型	GPIO	100 PIN
FLT1	闪存测试引脚 1。保留。必须保持未连接状态。	I/O		49
FLT2	闪存测试引脚 2。保留。必须保持未连接状态。	I/O		48
TCK	JTAG 测试时钟，带有内部上拉电阻。	I		60
TMS	JTAG 测试模式选择 (TMS) 引脚，带有内部上拉电阻。这个串行控制输入是在 TCK 的上升沿被时钟输入到 TAP 控制器的。该设备没有 TRSTn 引脚。应在电路板上的 TMS 引脚到 VDDIO 之间放置一个外部上拉电阻（推荐 2.2 k Ω ），以在正常操作期间保持 JTAG 处于复位状态。	I/O		62
VREGENZ	内部电压调节器启用，带有内部下拉电阻。直接连接到 VSS（低电平）以启用内部电压调节器。直接连接到 VDDIO（高电平）以使用外部供电。	I		73
X1	晶体振荡器输入或单端时钟输入。设备初始化软件必须在启用晶体振荡器之前配置此引脚。要使用这个振荡器，必须将石英晶体电路连接到 X1 和 X2。这个引脚也可以用于输入单端的 3.3-V 电平时钟信号。不支持 GPIO19。内部 GPIO19 连接到 X1 功能，因此应将 GPIO19 保持在输入模式下，并禁用上拉电阻，以避免与 X1 时钟功能发生干扰。	I/O		69
XRSn	设备复位（输入）和看门狗复位（输出）。在上电条件下，此引脚被设备驱动为低电平。外部电路也可以驱动此引脚来断言设备复位。当看门狗复位发生时，此引脚也被 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个从 2.2 k Ω 到 10 k Ω 的电阻。如果在 XRSn 和 VSS 之间放置一个电容进行噪声过滤，它应该是 100 nF 或更小。这些值允许看门狗在 512 个 OSCCLK 周期内将 XRSn 引脚正确驱动到 VOL，当看门狗复位被断言时。此引脚的输出缓冲器是一个具有内部上拉的开漏。如果此引脚由外部设备驱动，应该使用开漏设备来完成。如果此引脚由外部设备驱动，应该使用开漏设备来完成。	I/OD		2

引脚复用

GPIO 复用引脚

GPIO 复用引脚表列出了 GPIO 复用引脚。每个 GPIO 引脚的默认模式是 GPIO 功能，除了 GPIO35 和 GPIO37，它们分别默认为 TDI 和 TDO。可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择次要功能。配置 GPyGMUXn 寄存器应在配置 GPyMUXn 之前，以避免因交替复用选择而在 GPIO 上产生瞬态脉冲。未显示的列和空白单元格是保留的 GPIO 复用设置。

表 6-6.GPIO 复用引脚

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1_A				I2CA_SDA							
GPIO1	EPWM1_B				I2CA_SCL							
GPIO2	EPWM2_A			OUTPUTXB AR1	PMBUSA_S DA		SCIA_TX	FSIRXA_D1				
GPIO3	EPWM2_B	OUTPUTXB AR2		OUTPUTXB AR2	PMBUSA_S CL	SPIA_CLK	SCIA_RX	FSIRXA_D0				
GPIO4	EPWM3_A			OUTPUTXB AR3	CANA_TX			FSIRXA_CL K				
GPIO5	EPWM3_B		OUTPUTXB AR3		CANA_RX	SPIA_STE	FSITXA_D1					
GPIO6	EPWM4_A	OUTPUTXB AR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI	FSITXA_D0					
GPIO7	EPWM4_B		OUTPUTXB AR5	EQEP1_B	CANB_RX	SPIB_SIMO	FSITXA_CL K					
GPIO8	EPWM5_A	CANB_TX	ADCSOCA O	EQEP1_ST ROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1				
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXB AR6	EQEP1_IND EX	SCIA_RX	SPIA_CLK		FSITXA_D0				
GPIO10	EPWM6_A	CANB_RX	ADCSOCB O	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA	FSITXA_CL K				
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_D1					
GPIO12	EPWM7_A	CANB_TX		EQEP1_ST ROBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0					
GPIO13	EPWM7_B	CANB_RX		EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K					
GPIO14	EPWM8_A	SCIB_TX			OUTPUTXB AR3	PMBUSA_S DA	SPIB_CLK	EQEP2_A				
GPIO15	EPWM8_B	SCIB_RX			OUTPUTXB AR4	PMBUSA_S CL	SPIB_STE	EQEP2_B				
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXB AR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_ST ROBE	PMBUSA_S CL	XCLKOUT			

表 6-6.GPIO 复用引脚（续）

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXB AR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_IND EX	PMBUSA_S DA				
GPIO18_X2	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOUT			
GPIO20												
GPIO21												
GPIO22_VF BSW	EQEP1_ST ROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX					
GPIO23_VS W												
GPIO24	OUTPUTXB AR1	EQEP2_A		EPWM8_A	SPIB_SIMO	SD1_D1		PMBUSA_S CL	SCIA_TX	ERRORSTS		
GPIO25	OUTPUTXB AR2	EQEP2_B			SPIB_SOMI	SD1_C1	FSITXA_D1	PMBUSA_S DA	SCIA_RX			
GPIO26	OUTPUTXB AR3	EQEP2_IND EX		OUTPUTXB AR3	SPIB_CLK	SD1_D2	FSITXA_D0	PMBUSA_C TL	I2CA_SDA			
GPIO27	OUTPUTXB AR4	EQEP2_ST ROBE		OUTPUTXB AR4	SPIB_STE	SD1_C2	FSITXA_CL K	PMBUSA_A LERT	I2CA_SCL			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXB AR5	EQEP1_A	SD1_D3	EQEP2_ST ROBE	LINA_TX	SPIB_CLK	ERRORSTS		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXB AR6	EQEP1_B	SD1_C3	EQEP2_IND EX	LINA_RX	SPIB_STE	ERRORSTS		
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXB AR7	EQEP1_ST ROBE	SD1_D4						
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXB AR8	EQEP1_IND EX	SD1_C4	FSIRXA_D1					
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D3	FSIRXA_D0	CANA_TX				
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXB AR4	LINA_RX	SD1_C3	FSIRXA_CL K	CANA_RX				
GPIO34	OUTPUTXB AR1				PMBUSA_S DA							
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_S CL	LINA_RX	EQEP1_A	PMBUSA_C TL				TDI
GPIO37	OUTPUTXB AR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_A LERT				TDO
GPIO39					CANB_RX	FSIRXA_CL K						
GPIO40					PMBUSA_S DA	FSIRXA_D0	SCIB_TX	EQEP1_A				
GPIO41												
GPIO42												
GPIO43												
GPIO44												

表 6-6.GPIO 复用引脚（续）

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO45												
GPIO46												
GPIO47												
GPIO48												
GPIO49												
GPIO50												
GPIO51												
GPIO52												
GPIO53												
GPIO54												
GPIO55												
GPIO56	SPIA_CLK			EQEP2_ST ROBE	SCIB_TX	SD1_D3	SPIB_SIMO		EQEP1_A			
GPIO57	SPIA_STE			EQEP2_IND EX	SCIB_RX	SD1_C3	SPIB_SOMI		EQEP1_B			
GPIO58				OUTPUTXB AR1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	EQEP1_ST ROBE			
GPIO59				OUTPUTXB AR2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	EQEP1_IND EX			

数字信号通过 GPIO 表列出了所有可用的复用信号以及每个封装中相应的 GPIO。

表 6-7.按 GPIO 划分的数字信号

信号名称	引脚类型	描述	100 引脚
ADCSOCAO	O	ADC 转换开始 A 输出，用于外部 ADC（来自 ePWM 模块）	GPIO8
ADCSOCBO	O	ADC 转换开始 B 输出，用于外部 ADC（来自 ePWM 模块）	GPIO10
CANA_RX	I	CAN-A 接收	GPIO5 GPIO18_X 2 GPIO30 GPIO33 GPIO35/TDI
CANA_TX	O	CAN-A 发送	GPIO4 GPIO31 GPIO32 GPIO37/TDO

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
CANB_RX	I	CAN-B 接收	GPIO7 GPIO10 GPIO13 GPIO17 GPIO39 GPIO59
CANB_TX	O	CAN-B 发送	GPIO6 GPIO8 GPIO12 GPIO16 GPIO58
EPWM1_A	O	ePWM-1 输出 A	GPIO0
EPWM1_B	O	ePWM-1 输出 B	GPIO1
EPWM2_A	O	ePWM-2 输出 A	GPIO2
EPWM2_B	O	ePWM-2 输出 B	GPIO3
EPWM3_A	O	ePWM-3 输出 A	GPIO4
EPWM3_B	O	ePWM-3 输出 B	GPIO5
EPWM4_A	O	ePWM-4 输出 A	GPIO6
EPWM4_B	O	ePWM-4 输出 B	GPIO7
EPWM5_A	O	ePWM-5 输出 A	GPIO8 GPIO16
EPWM5_B	O	ePWM-5 输出 B	GPIO9 GPIO17
EPWM6_A	O	ePWM-6 输出 A	GPIO10 GPIO18_X 2
EPWM6_B	O	ePWM-6 输出 B	GPIO11
EPWM7_A	O	ePWM-7 输出 A	GPIO12 GPIO28
EPWM7_B	O	ePWM-7 输出 B	GPIO13 GPIO29
EPWM8_A	O	ePWM-8 输出 A	GPIO14 GPIO24
EPWM8_B	O	ePWM-8 输出 B	GPIO15 GPIO32
EQEP1_A	I	eQEP-1 输入 A	GPIO6 GPIO10 GPIO28 GPIO35/TDI GPIO40 GPIO56

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
EQEP1_B	I	eQEP-1 输入 B	GPIO7 GPIO11 GPIO29 GPIO37/TDO GPIO57
EQEP1_INDEX	I/O	eQEP-1 索引	GPIO9 GPIO13 GPIO17 GPIO31 GPIO59
EQEP1_STROBE	I/O	eQEP-1 选通脉冲	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW GPIO30 GPIO58
EQEP2_A	I	eQEP-2 输入 A	GPIO14 GPIO18_X2 GPIO24
EQEP2_B	I	eQEP-2 输入 B	GPIO15 GPIO25
EQEP2_INDEX	I/O	eQEP-2 索引	GPIO26 GPIO29 GPIO57
EQEP2_STROBE	I/O	eQEP-2 选通脉冲	GPIO27 GPIO28 GPIO56
ERRORSTS	O	主动低电平错误状态输出。如果希望在上电期间或 ERRORSTS 信号本身出现故障时断言错误状态，则可以使用外部下拉电阻。 如果不希望在上述情况下断言错误状态，则可以使用上拉电阻。	GPIO24 GPIO28 GPIO29
FSIRXA_CLK	I	FSIRX-A 输入时钟	GPIO4 GPIO13 GPIO33 GPIO39
FSIRXA_D0	I	FSIRX-A 主要数据输入	GPIO3 GPIO12 GPIO32 GPIO40

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
FSITXA_CLK	O	FSITX-输出时钟	GPIO7 GPIO10 GPIO27
FSITXA_D0	O	FSITX-主要数据输出	GPIO6 GPIO9 GPIO26
FSITXA_D1	O	FSITX-A 可选的额外数据输出	GPIO5 GPIO8 GPIO25
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	GPIO1 GPIO8 GPIO18_X2 GPIO27 GPIO33 GPIO37/TDO
I2CA_SDA	I/OD	I2C-A 开漏双向数据	GPIO0 GPIO10 GPIO26 GPIO32 GPIO35/TDI
LINA_RX	I	LIN-A 接收	GPIO29 GPIO33 GPIO35/T DI GPIO59
LINA_TX	O	LIN-A 发送	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/TDO GPIO58
OUTPUTXBAR1	O	输出 X-BAR 输出 1	GPIO2 GPIO24 GPIO34 GPIO58
OUTPUTXBAR2	O	输出 X-BAR 输出 2	GPIO3 GPIO25 GPIO37/TDO GPIO59
OUTPUTXBAR3	O	输出 X-BAR 输出 3	GPIO4 GPIO5 GPIO14 GPIO26
FSIRXA_D1	I	FSIRX-A 可选的额外数据输入	GPIO2 GPIO11 GPIO31

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
OUTPUTXBAR4	O	输出 X-BAR 输出 4	GPIO6 GPIO15 GPIO27 GPIO33
OUTPUTXBAR5	O	输出 X-BAR 输出 5	GPIO7 GPIO28
OUTPUTXBAR6	O	输出 X-BAR 输出 6	GPIO9 GPIO29
OUTPUTXBAR7	O	输出 X-BAR 输出 7	GPIO11 GPIO16 GPIO30
OUTPUTXBAR8	O	输出 X-BAR 输出 8	GPIO17 GPIO31
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	GPIO13 GPIO27 GPIO37/TDO
PMBUSA_CTL	I	PMBus-A 控制信号	GPIO12 GPIO18_X2 GPIO26 GPIO35/TDI
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	GPIO3 GPIO15 GPIO16 GPIO24 GPIO35/TDI
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	GPIO2 GPIO14 GPIO17 GPIO25 GPIO34 GPIO40
SCIA_RX	I	SCI-A 接收数据	GPIO3 GPIO9 GPIO17 GPIO25 GPIO28 GPIO35/TDI
SCIA_TX	O	SCI-A 发送数据	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/TDO

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
SCIB_RX	I	SCI-B 接收数据	GPIO11 GPIO13 GPIO15 GPIO57
SCIB_TX	O	SCI-B 发送数据	GPIO9 GPIO10 GPIO12 GPIO14 GPIO18_X2 GPIO22_V FBSW GPIO40 GPIO56
SD1_C1	I	SDFM-1 通道 1 时钟输入	GPIO17 GPIO25
SD1_C2	I	SDFM-1 通道 2 时钟输入	GPIO27
SD1_C3	I	SDFM-1 通道 3 时钟输入	GPIO29 GPIO33 GPIO57
SD1_C4	I	SDFM-1 通道 4 时钟输入	GPIO31 GPIO59
SD1_D1	I	SDFM-1 通道 1 数据输入	GPIO16 GPIO24
SD1_D2	I	SDFM-1 通道 2 数据输入	GPIO18_X2 GPIO26
SD1_D3	I	SDFM-1 通道 3 的数据输入	GPIO28 GPIO32 GPIO56
SD1_D4	I	SDFM-1 通道 4 数据输入	GPIO22_V FBSW GPIO30 GPIO58
SPIA_CLK	I/O	SPI-A 时钟	GPIO3 GPIO9 GPIO18_X2 GPIO56
SPIA_SIMO	I/O	SPI-A 从入，主出（SIMO）	GPIO8 GPIO16
SPIA_SOMI	I/O	SPI-A 从出，主入（SOMI）	GPIO10 GPIO17
SPIA_STE	I/O	SPI-A 从设备发送启用（STE）	GPIO5 GPIO11 GPIO57

表 6-7.按 GPIO 划分的数字信号（续）

信号名称	引脚类型	描述	100 PIN
SPIB_CLK	I/O	SPI-B 时钟	GPIO14 GPIO22_V FBSW GPIO26 GPIO28 GPIO32 GPIO58
SPIB_SIMO	I/O	SPI-B 从入，主输出（SIMO）	GPIO7 GPIO24 GPIO30 GPIO56
SPIB_SOMI	I/O	SPI-B 从出，主（SOMI）	GPIO6 GPIO25 GPIO31 GPIO57
SPIB_STE	I/O	SPI-B 从设备发送启用（STE）	GPIO15 GPIO27 GPIO29 GPIO33 GPIO59
SYNCOUT	O	外部 ePWM 同步脉冲	GPIO6
TDI	I	JTAG 测试数据输入（TDI）- TDI 是该引脚的默认多路复用选择。默认情况下，内部上拉功能被禁用。如果此引脚用作 JTAG TDI，应启用内部上拉功能或在板上添加外部上拉，以避免输入浮空。	GPIO35/TDI
TDO	O	JTAG 测试数据输出（TDO）- TDO 是该引脚的默认多路复用选择。默认情况下，内部上拉功能被禁用。当没有 JTAG 活动时，TDO 功能将处于三态条件，使得这个引脚浮空；应启用内部上拉功能或在板上添加外部上拉，以避免 GPIO 输入浮空。	GPIO37/TDO
VFBSW	-	内部 DC-DC 调节器反馈信号。如果使用内部 DC-DC 调节器，将此引脚连接到 L(VSW) 与 VDD 轨道相连的节点（尽可能靠近设备）。	GPIO22_V FBSW
VSW	-	内部 DC-DC 调节器的切换输出	GPIO23_VSW
X2	I/O	晶体振荡器输出	GPIO18_X2
XCLKOUT	O	外部时钟输出。该引脚输出设备中选定时钟信号的分频版本。	GPIO16 GPIO18_X2

ADC引脚上的数字输入（AIOs）

端口 H 上的 GPIO（GPIO224-GPIO255）与模拟引脚复用。这些也称为 AIOs。这些引脚只能作为输入模式使用。默认情况下，这些引脚将充当模拟引脚，而 GPIO 处于高阻态。GPHAMSEL 寄存器用于将这些引脚配置为数字或模拟操作。

GPIO输入交叉开关

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 6-5）。表 6-8 列出了输入 X-BAR 的目的地。关于配置输入 X-BAR 的详细信息，请参见手册的交叉开关（X-BAR）章节。

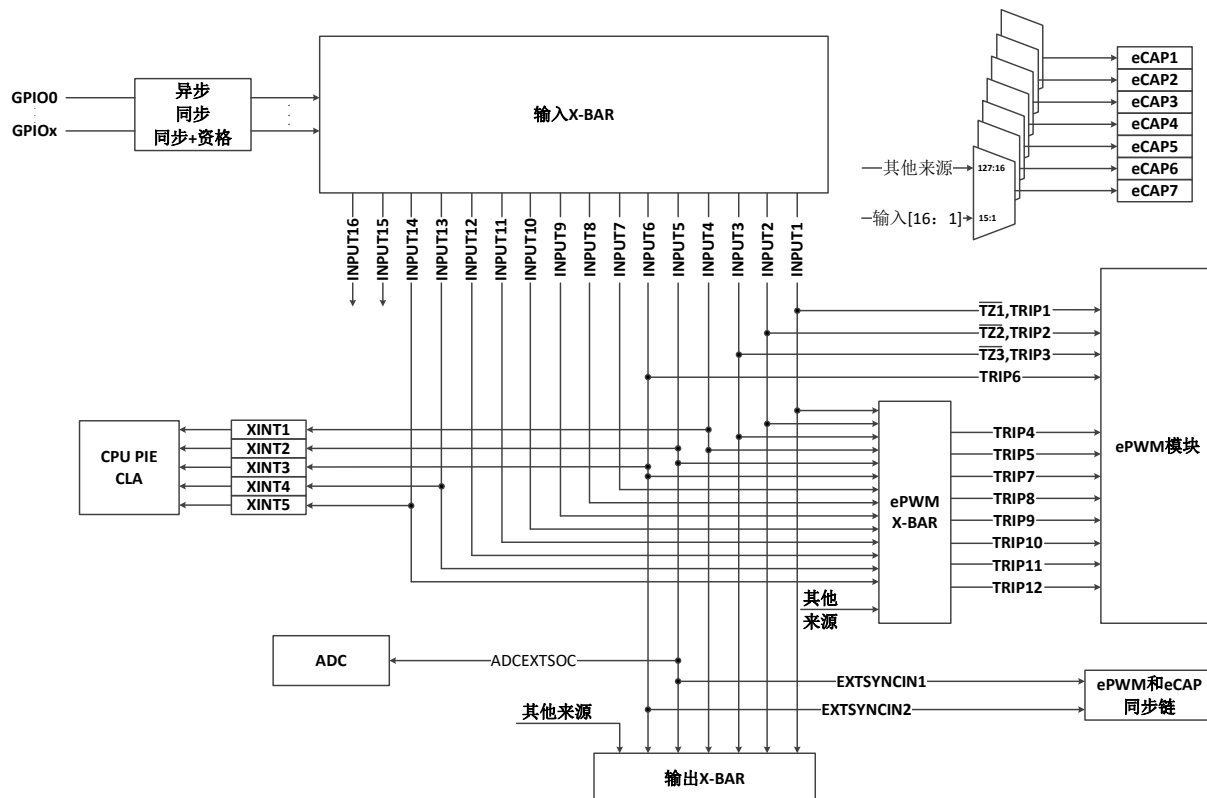


图 6-5. 输入交叉开关

表 6-8. 输入 X-BAR 目标

输入	目标
输入 1	eCAPx, ePWM X-BAR, ePWM[TZ1,TRIP1], 输出 X-BAR
输入 2	eCAPx, ePWM X-BAR, ePWM[TZ2,TRIP2], 输出 X-BAR
输入 3	eCAPx, ePWM X-BAR, ePWM[TZ3,TRIP3], 输出 X-BAR
输入 4	eCAPx, ePWM X-BAR, XINT1, 输出 X-BAR
输入 5	eCAPx, ePWM X-BAR, XINT2, ADCEXTSOC, EXTSYNCIN1, 输出 X-BAR
输入 6	eCAPx, ePWM X-BAR, XINT3, ePWM[TRIP6], EXTSYNCIN2, 输出 X-BAR
输入 7	eCAPx, ePWM X-BAR
输入 8	eCAPx, ePWM X-BAR
输入 9	eCAPx, ePWM X-BAR
输入 10	eCAPx, ePWM X-BAR
输入 11	eCAPx, ePWM X-BAR
输入 12	eCAPx, ePWM X-BAR
输入 13	eCAPx, ePWM X-BAR, XINT4
输入 14	eCAPx, ePWM X-BAR, XINT5
输入 15	eCAPx
输入 16	eCAPx

GPIO 输出X-BAR和ePWM X-BAR

输出 X-BAR 有八个输出，这些输出被路由到 GPIO 模块。ePWM X-BAR 也有八个输出，这些输出被路由到每个 ePWM 模块。图 6-6 显示了输出 X-BAR 和 ePWM X-BAR 的源。关于输出 X-BAR 和 ePWM X-BAR 的详细信息，请参见手册的交叉开关（X-BAR）章节。

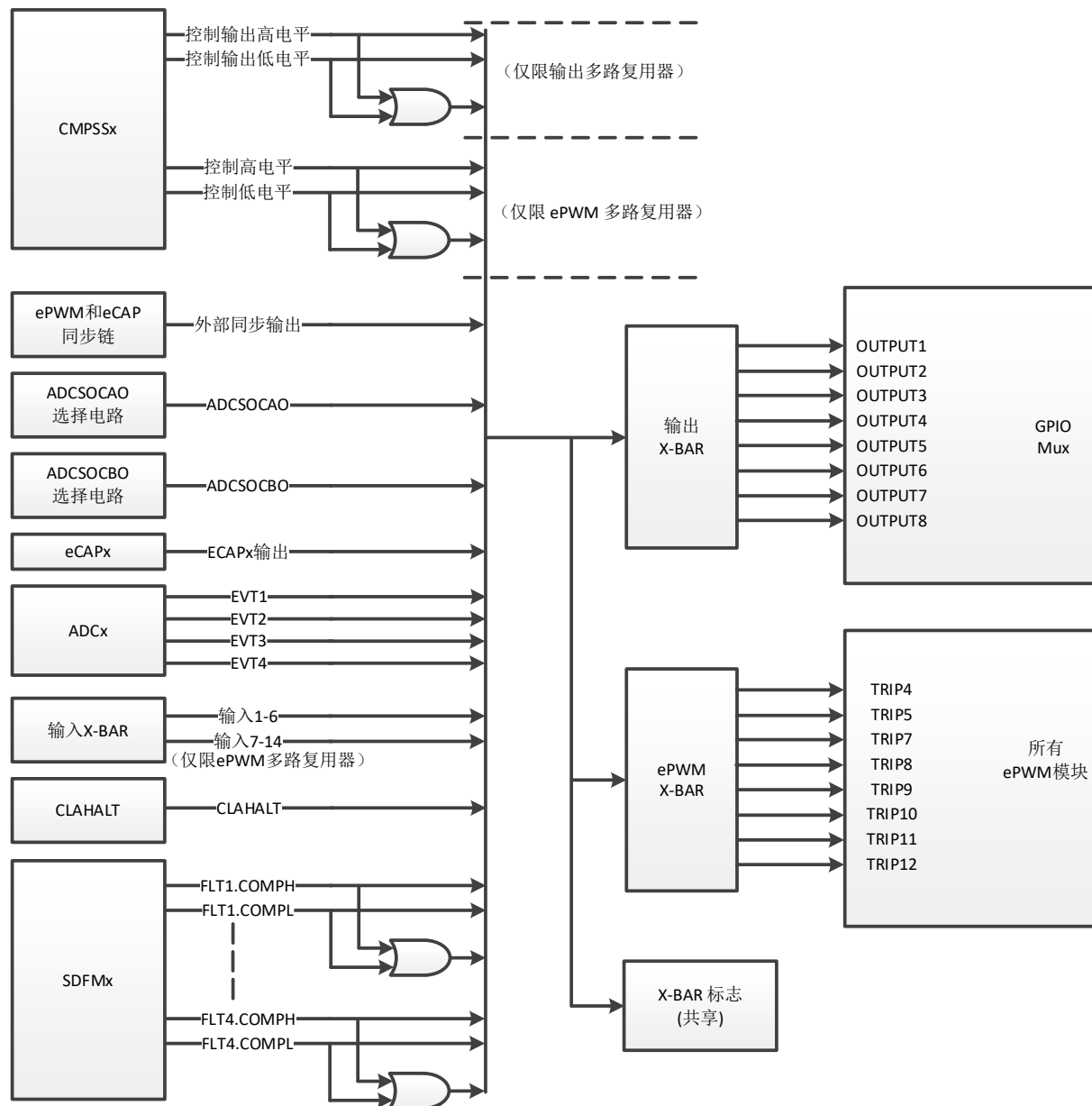


图 6-6. 输出交叉开关和 ePWM 交叉开关源

具有内部上拉和下拉功能的引脚

设备上的某些引脚具有内部上拉或下拉功能。表 6-9 列出了上拉方向以及何时激活。GPIO 引脚上的上拉默认情况下被禁用，可以通过软件启用。为了避免任何浮动的未绑定输入，Boot ROM 将启用在特定封装中未引出的 GPIO 引脚上的内部上拉。表 6-9 中注明的其他具有上拉和下拉功能的引脚始终处于启用状态，无法禁用。

表 6-9. 具有内部上拉和下拉功能的引脚

引脚	复位 (XRSn = 0)	设备启动	应用
GPIOx (包括 AIOs)	上拉禁用	上拉禁用 ⁽¹⁾	应用定义
GPIO35/TDI	上拉禁用		应用定义
GPIO37/TDO	上拉禁用		应用定义
TCK	上拉功能激活		
TMS	上拉功能激活		
VREGENZ	下拉功能激活		
XRSn	上拉功能激活		
Other pins	无上拉或下拉功能存在		

(1) 在给定封装中未引出的引脚将由Boot ROM启用内部上拉功能。

未使用引脚的连接

对于不需要使用设备所有功能的应用，表 6-10 列出了任何未使用引脚的可接受处理方式。当表 6-10 中列出多个选项时，任一选项均可接受。未在表 6-10 中列出的引脚必须根据第 6 节进行连接。

表 6-10. 未使用引脚的连接

信号名称	可接受的做法
模拟	
带有 DACx_OUT 的模拟输入引脚	● 不连接 ● 通过4.7千欧或更大的电阻连接到VSSA
带有 PGAx_OUTF 的模拟输入引脚	● 不连接 ● 通过4.7千欧或更大的电阻连接到VSSA
除 DACx_OUT 和 PGAx_OUTF 外的模拟输入引脚	● 不连接 ● 直接连接到VSSA ● 通过电阻连接到VSSA
PGAx_GND	连接到 VSSA
VREFHlx	连接到 VDDA（仅适用于应用中未使用 ADC 或 DAC 的情况）
VREFLOx	连接到 VSSA
数字	
FLT1（闪存测试引脚 1）	● 不连接 ● 通过4.7千欧或更大的电阻连接到VSS
FLT2（闪存测试引脚 2）	● 不连接 ● 通过4.7千欧或更大的电阻连接到VSS
GPIOx	● 无连接（输入模式，内部上拉启用） ● 无连接（输出模式，内部上拉禁用） ● 上拉或下拉电阻（任何值的电阻，输入模式，且内部上拉禁用）
GPIO35/TDI	当选择 TDI 多路复用选项时（默认），GPIO 处于输入模式。 ● 内部上拉启用 ● 外部上拉电阻
GPIO37/TDO	当选择 TDO 多路复用选项时（默认），GPIO 仅在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须偏置该引脚以避免输入缓冲器上的额外电流。 ● 内部上拉启用 ● 外部上拉电阻
TCK	● 不连接 ● 上拉电阻
TMS	上拉电阻
VREGENZ	如果不使用内部调节器，则连接到 VDDIO。
X1	连接到 VSS
X2	不连接
电源和地线	
VDD	所有 VDD 引脚必须按照信号描述章节连接。
VDDA	如果不使用专用的模拟电源，连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照信号描述章节连接。
VDDIO_SW	始终连接到 VDDIO。
VSS	所有 VSS 引脚必须连接到板地。
VSS_SW	始终连接到 VSS
VSSA	如果不使用模拟地，连接到 VSS。

规格

绝对最大额定值

超过工作空气温度范围（除非另有说明）⁽¹⁾⁽²⁾

		最小值	最大值	单位
电源电压	相对于 VSS 的 VDDIO	-0.3	4.6	V
	相对于 VSSA 的 VDDA	-0.3	4.6	
	相对于 VSS 的 VDD	-0.3	1.5	
VDDIO 和 VDDIO_SW 引脚之间的电压差		±0.3		V
输入电压	V _{IN} (3.3 V)	-0.3	4.6	V
输出电压	V _O	-0.3	4.6	V
输入钳位电流 ⁽⁴⁾	数字输入（每个引脚），I _{IK} (V _{IN} < VSS or V _{IN} > VDDIO)	-20	20	mA
	模拟输入（每个引脚） I _{IKANALOG} (V _{IN} < VSSA or V _{IN} > VDDA)	-20	20	
	所有输入的总计, I _{IKTOTAL} (V _{IN} < VSS/VSSA or V _{IN} > VDDIO/VDDA)	-20	20	
输出电流	数字输出（每个引脚），I _{OUT}	-20	20	mA
自由空气温度	T _A	-40	125	°C
工作结温	T _J	-40	150	°C
存储温度 ⁽³⁾	T _{stg}	-65	150	°C

(1) 超过绝对最大额定值下所列的应力可能会对设备造成永久性损坏。这些只是应力额定值，并不暗示设备在这些条件下或第 7.4 节所指示的任何其他条件之外的功能操作。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。

(2) 除非另有说明，所有电压值都是相对于 VSS 的。

(3) 长期高温存储或在最高温度条件下的延长使用可能会导致设备整体寿命的减少。

(4) 每个引脚的连续钳位电流为 ±2 mA。不要在这种条件下连续操作，因为 VDDIO/VDDA 电压可能在内部上升并影响其他电气规格。

ESD额定值 - 商业级

			值	单位
FDM320R0049 在 100 引脚 LQFP 封装（S 温度范围）				
V _(ESD) 静电放电	人体模型（HBM），按照 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电设备模型（CDM），按照 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	所有引脚	±500	
		100 引脚封装上的角针： 1, 25, 26, 50, 51, 75, 76, 100	±750	

(1) JEDEC 文件 JEP155 指出，500 伏 HBM（人体模型）允许使用标准的 ESD（静电放电）控制流程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250 伏 CDM（充电设备模型）允许使用标准的 ESD（静电放电）控制流程进行安全制造。

推荐操作条件

		最小值	标称值	最大值	单位
设备供电电压， VDDIO 和 VDDA	内部 BOR 启用 ⁽³⁾	$V_{BOR-VDDIO(MAX)} + V_{BOR-GB}$ ⁽²⁾	3.3	3.63	V
	内部 BOR 禁用	2.8	3.3	3.63	
设备供电电压， VDD		1.14	1.2	1.32	V
设备接地，VSS		0			V
模拟接地，VSSA		0			V
SR _{SUPPLY}	供电斜率 ⁽⁴⁾				
t _{VDDIO-RAMP}	VDDIO 供电斜率时间从 1 V 到 $V_{BOR-VDDIO(MAX)}$	10			ms
V_{BOR-GB}	VDDIO BOR 保护带 ⁽⁵⁾	0.1			V
结点温度, T _J	E 版本 ⁽¹⁾	-40		125	°C
自由空气温度, T _A					

(1) 在 T_J = 105° C 以上长时间运行将减少设备的使用寿命。

(2) 电气特性中的 VDDIO BOR 电压 ($V_{BOR-VDDIO}[MAX]$) 确定了设备运行的最低电压界限。建议系统设计者预算额外的保护带 (V_{BOR-GB})，如图 7-1 所示。

(3) 内部 BOR 默认启用。

(4) 参见电源管理模块工作条件表。

(5) 推荐使用 V_{BOR-GB} 来避免由于 3.3-V VDDIO 系统调节器的正常供电噪声或负载瞬态事件导致的 BOR 复位。良好的系统调节器设计和去耦电容（遵循系统调节器规格）对于防止在正常设备操作期间激活 BOR 很重要。 V_{BOR-GB} 的值是系统级设计的考虑因素；这里列出的电压对于许多应用来说是典型的。

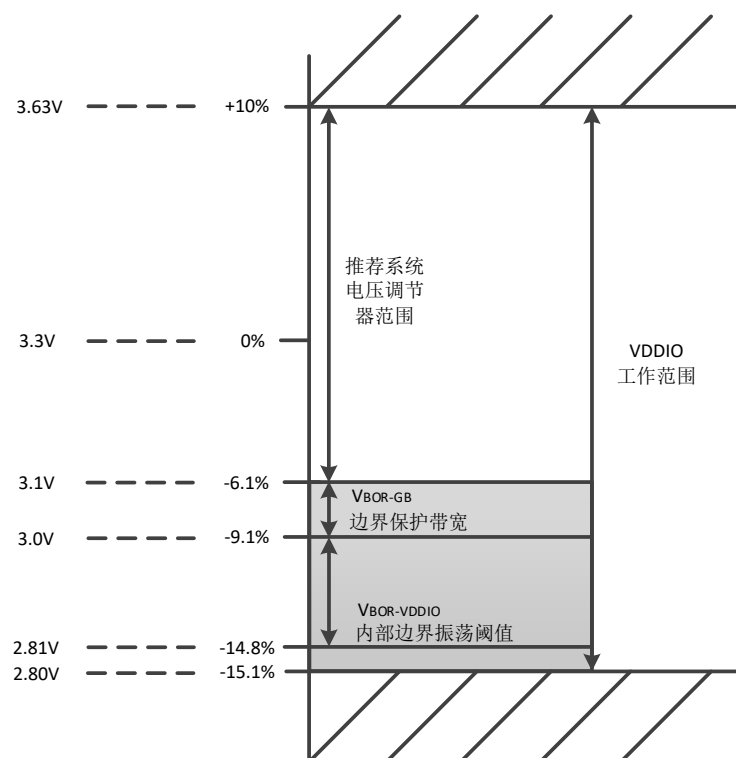


图 7-1 供电电压

功耗汇总表

本节中列出的电流值是给定测试条件下的典型值，而不是绝对最大可能值。实际应用中的设备电流将随应用代码和引脚配置而变化。

系统电流消耗（外部供电）

在整个工作自由空气温度范围内（除非另有说明）。

典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DD}	VDD 电流消耗在操作使用中 ⁽¹⁾	见节操作模式测试描述。	61	90		mA
I _{DDIO}	VDDIO 在操作使用期间的电流消耗		26	45		mA
I _{DDA}	VDDA 在操作使用期间的电流消耗		12	30		mA
空闲状态						
I _{DD}	设备处于空闲模式时的 VDD 电流消耗 ⁽¹⁾	● DSP处于IDLE模式 ● Flash已断电 ● XCLKOUT已关闭	18	40		mA
I _{DDIO}	设备处于空闲模式时的 VDDIO 电流消耗		1.2	4		mA
I _{DDA}	设备处于空闲模式时的 VDDA 电流消耗		0.9	1.2		mA
停机状态						
I _{DD}	设备处于暂停模式时的 VDD 电流消耗 ⁽¹⁾	● DSP处于HALT模式 ● Flash已断电 ● XCLKOUT已关闭	0.9	20		mA
I _{DDIO}	设备处于暂停模式时的 VDDIO 电流消耗		0.8	4		mA
I _{DDA}	设备处于暂停模式时的 VDDA 电流消耗		0.2	0.5		mA
Flash 擦除/编程操作						
● I _{DD}	VDD电流消耗在擦除/编程周期 ⁽¹⁾ ⁽²⁾	● DSP正在从Flash运行，对未使用的扇区执行擦除和编程操作。 ● VREG被禁用。 ● SYSCLK以100 MHz运行。 ● I/O设置为输入，启用上拉电阻。 ● 外设时钟已关闭。	40	70		mA
I _{DDIO}	VDDIO 电流消耗在擦除/编程周期 ⁽²⁾		33	75		mA
I _{DDA}	VDDA 电流消耗在擦除/编程周期		0.1	2.5		mA

(1) 在最大推荐工作条件下，VDD 的 I_{DD} MAX（最大电流消耗）会被报告。对于内部 VREG 和 DCDC 表格，这个 VDD 供电将处于规定的 VDD TYP（典型值）电压。因此，与内部 VREG 和 DCDC 表格相比，外部供电表中报告的电流值会显得较高。

(2) 在闪存编程过程中，如果发生掉电（Brownout）事件可能会损坏闪存数据并永久锁定设备。

系统电流消耗（内部VREG）

在整个工作自由空气温度范围内（除非另有说明）。

典型值：V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DDIO}	VDDIO 在操作使用期间的电流消耗	见节操作模式测试描述。	86	113		mA
I _{DDA}	VDDA 在操作使用期间的电流消耗		12	30		mA
空闲状态						
I _{DDIO}	设备处于空闲模式时的 VDDIO 电流消耗	● DSP处于IDLE模式 ● Flash已断电 ● XCLKOUT已关闭	19.2	36		mA
I _{DDA}	设备处于空闲模式时的 VDDA 电流消耗		0.9	1.2		mA
停机状态						
I _{DDIO}	设备处于暂停模式时的 VDDIO 电流消耗	● DSP处于HALT模式 ● Flash已断电 ● XCLKOUT已关闭	1.7	18		mA
I _{DDA}	设备处于暂停模式时的 VDDA 电流消耗		0.2	0.5		mA
Flash 擦除/编程操作						
I _{DDIO}	VDDIO 电流消耗在擦除/编程周期 ⁽¹⁾	● DSP正在从Flash运行，对未使用的扇区执行擦除和编程操作。 ● 内部VREG已启用。 ● SYSCLK以100 MHz运行。 ● I/O设置为输入，启用上拉电阻。 ● 外设时钟已关闭。	72	106		mA
I _{DDA}	VDDA 电流消耗在擦除/编程周期		0.1	2.5		mA

(1) 在闪存编程过程中，掉电（Brownout）事件可能会导致闪存数据损坏并永久锁定设备。

系统电流消耗量（DCDC）

在整个工作自由空气温度范围内（除非另有说明）。

典型值：V_{nom}，30° C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DDIO}	VDDIO 在操作使用期间的电流消耗	见节操作模式测试描述。	52	70		mA
I _{DDA}	VDDA 在操作使用期间的电流消耗		12	30		mA
空闲状态						
I _{DDIO}	设备处于空闲模式时的 VDDIO 电流消耗	● DSP处于IDLE模式 ● Flash已断电 ● XCLKOUT已关闭	9.2	28		mA
I _{DDA}	设备处于空闲模式时的 VDDA 电流消耗		0.9	1.5		mA
停机状态						
I _{DDIO}	设备处于暂停模式时的 VDDIO 电流消耗	● DSP处于HALT模式 ● Flash已断电 ● XCLKOUT已关闭	1.7	1.7		mA
I _{DDA}	设备处于暂停模式时的 VDDA 电流消耗		0.2	1.5		mA
Flash 擦除/编程操作						
I _{DDIO}	VDDIO 电流消耗在擦除/编程周期 ⁽¹⁾	● DSP 正在从 Flash 运行，对未使用的扇区执行擦除和编程操作。 ● 内部VREG已启用。 ● SYSCLK 以 100 MHz 运行。 ● I/O 设置为输入，启用上拉电阻。 ● 外设时钟已关闭。	60	85		mA
I _{DDA}	VDDA 电流消耗在擦除/编程周期		0.25	2.5		mA

(1) 在闪存编程过程中，掉电（Brownout）事件可能会导致闪存数据损坏并永久锁定设备。。

操作模式测试说明

运行模式提供了应用程序可能遇到的电流消耗估计。为获得所示数值而运行的测试用例在循环中执行以下操作。未在下列列表中的外设已禁用时钟。

- 代码从RAM执行。
- FLASH被读取并保持在活跃状态。
- 没有任何外部组件由I/O引脚驱动。
- 所有通信外设都在使用中：SPI-A至SPI-C；SCI-A至SCI-C；I2C-A；CAN-A至CAN-C；LIN-A；PMBUS-A；以及FSI-A。
- ePWM-1至ePWM-3在6个引脚上产生5-MHz输出。
- ePWM-4至ePWM-7处于HRPWM模式，在6个引脚上产生25 MHz输出。
- DSP定时器处于活跃状态。

系统

电源管理模块（PMM）

介绍

电源管理模块（PMM）处理设备运行所需的所有电源管理功能。

概览

PMM 的框图如图 7-6 所示。可以看出，PMM 由各种子组件组成，这些子组件在后续章节中有所描述。

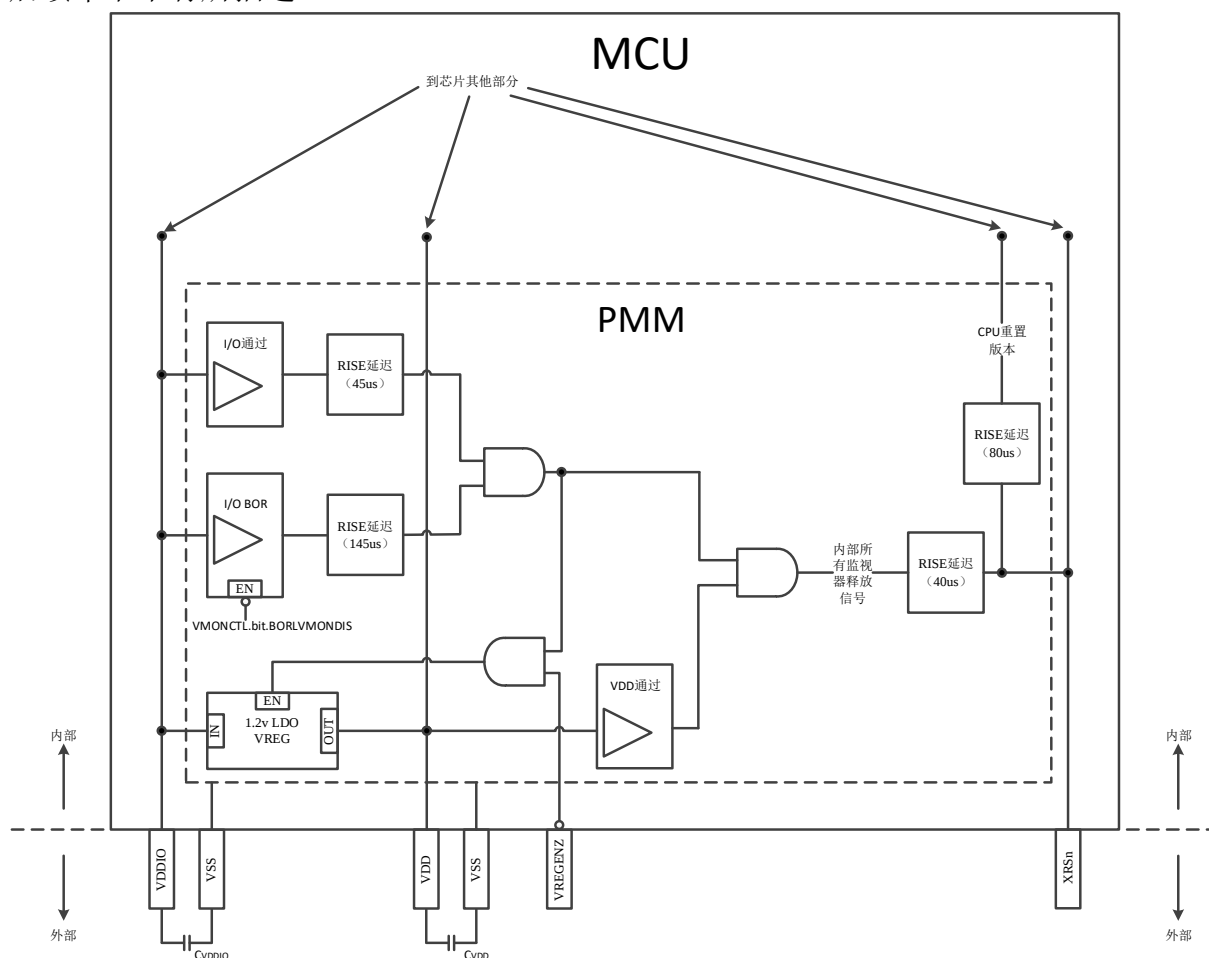


图 7-6. PMM 方框图

电源轨监控器

PMM 在电源轨上设有电压监控器，一旦电压在上电期间超过设定的阈值，就会释放高电平的 XRSn 信号。如果任何电压低于编程水平，它们也会将 XRSn 信号降低电平。各种电压监控器在后续章节中有所描述。

三个电压监控器（I/O POR、I/O BOR、VDD POR）都必须在设备开始操作之前释放各自的输出（即，XRSn 变高）。然而，如果任何一个电压监控器跳闸，XRSn 就会被驱动到低电平。当任何一个电压监控器跳闸时，I/Os 会被保持在高阻态。

输入输出POR（通电复位）监控器

I/O POR 监控器监督 VDDIO 轨。在上电期间，这是第一个释放（即，首先解除）VDDIO 的监控器。

输入输出BOR（低电压复位）监控器

I/O BOR 监控器也监督 VDDIO 轨。在上电期间，这是第二个释放（即，第二个解除）VDDIO 的监控器。与 I/O POR 相比，此监控器具有更好的容差。

任何低于推荐操作电压的电压下降都会触发 I/O BOR 并重置设备，但通过将 VMONCTL.bit.BORLVMONDIS 设置为 1，可以禁用此功能。只有在设备完全启动后才能禁用 I/O BOR。如果禁用了 I/O BOR，I/O POR 将在电压下降时重置设备。

图 7-7 显示了 I/O BOR 的工作区域。

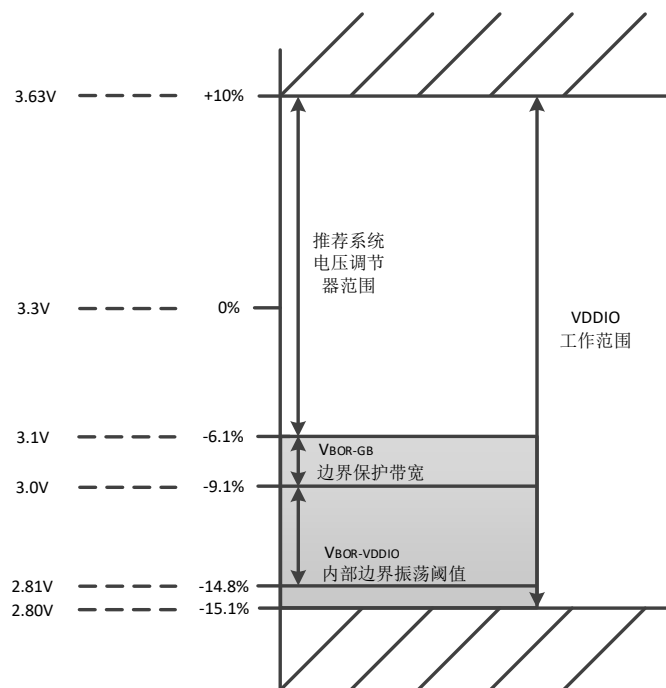


图 7-7. I/O BOR 操作区域

VDD POR（上电复位）监控器

VDD POR 监控器监督 VDD 轨。在上电期间，一旦电压超过 VDD 上的编程跳变电平，此监控器就会释放（即，解除）。

外部监控器使用情况

VDDIO 监控：支持使用 I/O BOR，因此不需要外部监控器来监控 I/O 轨。

VDD 监控：不支持使用 VDD POR。如果应用程序需要 VDD 监控，应使用外部监控器来监控 VDD 轨。

延迟块

电压监控器路径中的延迟块共同作用，以延迟电压监控器与 XRSn 之间的释放时间。这些延迟确保在外部 VREG 模式下 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 正在上升时）处于活动状态。

延迟块对电源轨的最小转换率做出了贡献，如电源管理模块电气数据和时序中所指定。

内部1.2-V低压差线性稳压器 (VREG)

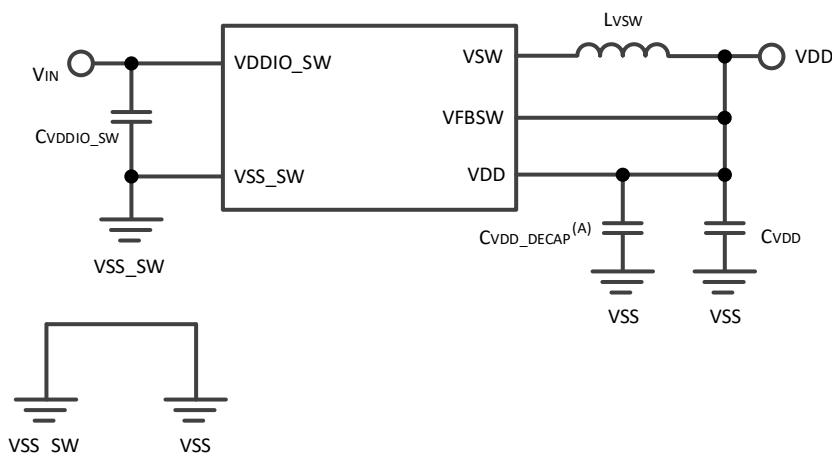
内部 VREG 由 VDDIO 轨供电，可以生成 1.2 V 电压，用于为 VDD 引脚供电。通过将 VREGENZ 引脚拉低来启用它。尽管内部 VREG 消除了使用外部电源为 VDD 供电的需要，但 VDD 引脚上仍然需要去耦电容以保持 VREG 稳定并应对瞬态变化。有关详细信息，请参见 VDD 去耦。

VREGENZ

VREGENZ（VREG 禁用）引脚控制内部 VREG 的状态。要启用内部 VREG，应将 VREGENZ 引脚拉低。对于外部供电 VDD（外部 VREG）的应用，应通过将 VREGENZ 引脚拉高来禁用内部 VREG。

内部1.2V开关调节器 (DC-DC)

内部 DC-DC 转换器在将 3.3 V 转换为 1.2 V 时提供了比 LDO 更高的效率。内部 DC-DC 转换器由 VDDIO_SW 引脚供电，并生成所需的 1.2 V 电压以供电 VDD 引脚。要使用内部开关调节器，核心域必须首先使用内部 LDO VREG 供电（将 VREGENZ 引脚拉低至 VSS），然后通过应用程序软件过渡到 DC-DC 转换器，通过设置 DCDCCTL 寄存器中的 DCDCEN 位。转换后，VREGENZ 仍必须保持低位，因为它同时控制 DC-DC 和 LDO。将 VREGENZ 拉高将禁用 DC-DC 和 LDO。DC-DC 转换器还需要外部元件（电感、输入电容和输出电容）。内部 DC-DC 转换器的输出不会内部连接到 VDD 轨，需要外部连接。图 7-8 显示了原理实施。



A. 四个 VDD 引脚中的每一个都使用一个去耦电容

图 7-8.DC-直流电路原理图

VDDIO_SW 供电引脚 (VIN) 需要 3.3 V 电平的电压。VDDIO_SW 上需要总共 20 μF 的输入电容 (CVDDIO_SW)。根据表 7-2 中详细列出的电容器规格要求, 推荐配置为两个并联的 10 μF 电容器。还应在每个 VDD 引脚上尽可能靠近设备放置 100 nF 的去耦电容器。

表 7-1. DC-DC 电感（LVSW）规格要求

值和变化	饱和时的数值	直流电阻	额定电流	饱和电流	温度
2.2 $\mu\text{H} \pm 20\%$	1.54 $\mu\text{H} \pm 20\%$	80 $\text{m}\Omega \pm 25\%$	>1000 mA	>600 mA	-40°C to 125°C

表 7-2. DC-DC 电容器（CVDDIO_SW 和 CVDD）规格要求

在 0V 时的值和变化量	1.2 V 时的值	125°C 时的值	等效串联电阻	额定电压	温度
10 $\mu\text{F} \pm 20\%$	10 $\mu\text{F} \pm 20\%$	8 $\mu\text{F} \pm 20\%$	<10 $\text{m}\Omega$	4 V or 6.3 V	-40°C to 125°C

表 7-3. DC-DC 电路元件值

组成部分	最小值	标称值	最大值	单位	注释
电感	1.76	2.2	2.64	μH	20% 误差
输入电容器	8	10	12	μF	20%误差, 两个这样的电容器并联
输出电容器	8	10	12	μF	20%误差, 两个这样的电容器并联

PCB布局 and 元件指南

为了获得最佳性能，应用板的布局和元件选择很重要。以下是布置 DC-DC 电路的高级指南：

- 建议将VDDIO_SW和VDDIO星形连接到相同的3.3-V电源。
- 所有外部元件应尽可能靠近引脚放置。
- 由VDDIO_SW、输入电容器（CVDDIO_SW）和VSS_SW形成的回路必须尽可能短。
- 反馈跟踪必须尽可能短，并远离任何噪声源，如开关输出（VSW）。
- 必须在接地层中为输入电容（CVDDIO_SW）和VSS_SW设置单独的孤岛或手术切口。
- 建议使用VDD平面将VDD节点连接到LVSW-CVDD点，以最小化寄生电阻和电感。

外部组件

去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正确运行。具体要求在后续章节中概述。

VDDIO去耦

VDDIO 上应放置最小数量的去耦电容。参见电源管理模块电气数据和时序中的 CVDDIO 参数。实际使用的去耦电容量是驱动 VDDIO 的电源的要求。以下两种配置均可接受：

- 配置1：根据CVDDIO参数，在每个VDDIO引脚上放置一个去耦电容器。
- 配置2：安装一个相当于CVDDIO * VDDIO引脚总数的单个去耦电容器。

VDD去耦

VDD 上应放置最小数量的去耦电容。参见电源管理模块电气数据和时序中的 CVDD TOTAL 参数。以下两种配置均可接受：

- 配置1：将C_{VDD} TOTAL分配到各个VDD引脚上。
- 配置2：安装一个值为C_{VDD} TOTAL的单个去耦电容器。

电源排序

供电引脚连接

强烈建议将所有 3.3-V 电源轨连接在一起，并由单一电源供电。这包括：

- VDDIO
- VDDA

此外，任何电源引脚都不应该留空不连接。

在内部 VREG 模式下，只要每个 VDD 引脚上都装有电容器，将 VDD 引脚连接在一起是可选的。

有关 VDD 去耦配置，请参见 VDD 去耦。

设备上的模拟模块具有相当高的 PSRR（电源抑制比）；因此，在大多数情况下，只有在 VDDA 上的噪声超过电源轨的推荐工作条件时，模拟模块才会看到性能下降。因此，单独为 VDDA 供电通常带来的好处最小。尽管如此，出于降低噪音的目的，在 VDDIO 和 VDDA 之间放置一个 π 型滤波器是可以接受的。

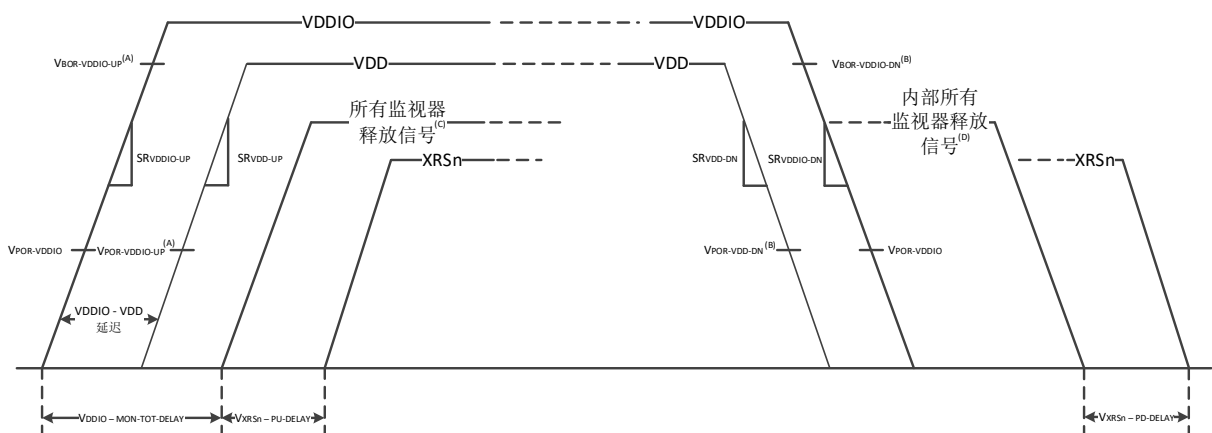
信号引脚电源序列

在给设备供电之前，任何数字引脚上施加的电压不应比 VDDIO 高出 0.3 V 或比 VSS 低出 0.3 V；任何模拟引脚（包括 VREFHI）上施加的电压不应比 VDDA 高出 0.3 V 或比 VSSA 低出 0.3 V。简单地说，只有在 XRSn 变高之后，才能驱动信号引脚，前提是所有 3.3-V 电源轨都已连接在一起。即使 VDDIO 和 VDDA 没有连接在一起，这种排序仍然是必需的。

供电引脚电源序列

外部VREG/VDD模式序列

图 7-9 描述了外部 VREG 模式下的电源排序要求。所有指示参数的值可以在电源管理模块电气数据和时序中找到。



- 该触发点是 XRSn 释放前的触发点。参见电源管理模块特性表。
- 该触发点是 XRSn 释放后的触发点。参见电源管理模块特性表。
- 在上电过程中，当所有 POR 和 BOR 监视器都释放后，所有监视器释放信号变为高电平。参见 PMM 框图。
- 在掉电过程中，如果任何一个 POR 或 BOR 监视器被触发，所有监视器释放信号将变为低电平。参见 PMM 框图。

图 7-9.外部 VREG 通电顺序

- 对于上电：

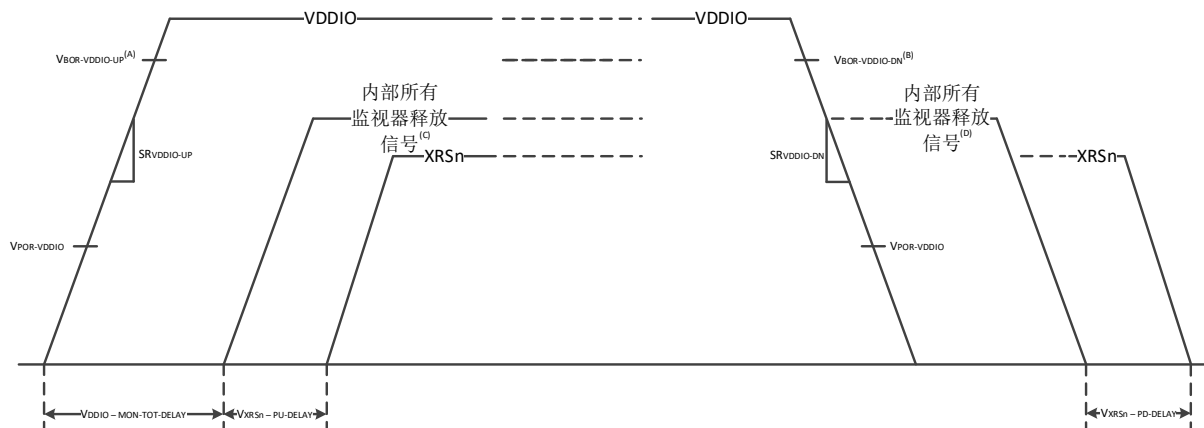
1. VDDIO（即 3.3-V 电源轨）应首先以指定的最小转换速率上升。
 2. VDD（即 1.2-V 电源轨）应在 VDDIO 之后以指定的最小转换速率上升。
 3. VDDIO 电源轨上升与 VDD 电源轨可以上升之间的时间差也被指定。
 4. 在 VDDIO-MON-TOT-DELAY 和 VXRSN-PD-DELAY 指定的时间后，XRSn 将被释放，设备开始启动序列。
- 在 XRSn 释放（即变高）与启动序列开始之间有一个额外的延迟。参见图 7-6。
5. I/O BOR 监控器在上电和断电期间有不同的释放点。
 6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前上升。

- 对于断电：

1. VDDIO 和 VDD 之间没有哪个应该先断电的要求；但是，有最小转换速率的规格。
2. I/O BOR 监控器在上电和断电期间有不同的释放点。
3. 任何在断电期间触发的 POR 或 BOR 监控器都将在 VXRSN-PD-DELAY 之后导致 XRSn 变低。

内部VREG/VDD模式序列

图 7-10 描述了内部 VREG 模式下的电源排序要求。所有指示参数的值可以在电源管理模块电气数据和时序中找到。



- A. 该触发点是 XRSn 释放前的触发点。参见电源管理模块特性表。
- B. 该触发点是 XRSn 释放后的触发点。参见电源管理模块特性表。
- C. 在上电过程中，当所有 POR 和 BOR 监视器都释放后，所有监视器释放信号变为高电平。参见 PMM 框图。
- D. 在掉电过程中，如果任何一个 POR 或 BOR 监视器被触发，所有监视器释放信号将变为低电平。参见 PMM 框图。

图 7-10. 内部 VREG 上电序列

● 对于上电：

1. VDDIO（即 3.3-V 电源轨）应以指定的最小转换速率上升。
 2. 内部 VREG 在 I/O 监控器（I/O POR 和 I/O BOR）释放后上电。
 3. 在 VDDIO-MON-TOT-DELAY 和 VXRSN-PU-DELAY 指定的时间后，XRSn 将被释放，设备开始启动序列。
- 在 XRSn 释放（即变高）与启动序列开始之间有一个额外的延迟。参见图 7-6。
4. I/O BOR 监控器在上电和断电期间有不同的释放点。

● 对于断电：

1. 断电期间对 VDDIO 的唯一要求是转换速率。
2. I/O BOR 监控器在上电和断电期间有不同的释放点。
3. I/O BOR 触发将在 VXRSN-PD-DELAY 之后导致 XRSn 变低，并且还会关闭内部 VREG。

供电排序总结及违反的影响

下面总结了轨道的可接受上电序列。“上电”在这里意味着所讨论的轨道已达到推荐的最小工作电压。

为了简化，建议将所有 3.3-V 电源轨连接在一起，并遵循供电引脚电源序列中的描述。

表 7-4. 外部 VREG 序列总结

案例	上电顺序			可接受的
	VDDIO	VDDA	VDD	
A	1	2	3	Yes
B	1	3	2	Yes
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	Yes
H	2	2	1	-

表 7-5. 内部 VREG 序列总结

案例	上电顺序		可接受的
	VDDIO	VDDA	
A	1	2	Yes
B	2	1	-
C	1	1	Yes

供电转换速率

VDDIO 有最小转换速率要求。如果未达到最小转换速率，XRSn 可能会在 VDDIO 穿过 I/O BOR 区域之前切换几次。

VDD 在外部 VREG 模式下有最小转换速率要求。如果未达到最小转换速率，设备可能在 VDD 达到最小工作电压之前从复位中释放并开始启动，这可能导致设备无法正常运行。

电源管理模块电气数据和时序

电源管理模块的运行条件

参数	测试条件	最小值	典型值	最大值	单位
常规					
C _{VDDIO}	VDDIO 上的总电容	基于外部供电 IC 要求 ⁽¹⁾		0.1	μF
C _{VDDIO_DECAP}	每个 VDDIO 引脚上的去耦电容			0.1	μF
C _{VDDA}	每个 VDDA 引脚上的电容			2.2	μF
C _{VDDIO_SW}	每个 VDDIO_SW 引脚上的电容	对于直流-直流操作 ⁽²⁾		20	μF
		仅用于 LDO 操作		0.1	
C _{VDD}	每个 VDD 引脚上的总电容	对于直流-直流操作 ⁽²⁾		20	μF
		仅用于 LDO 操作 ⁽³⁾		12 20 27	
C _{VDD_DECAP}	每个 VDD 引脚上的去耦电容	对于直流-直流操作 ⁽²⁾		0.1	μF
		仅用于 LDO 操作 ⁽³⁾		0.1 6.75	
L _{VSW}	直流-直流转换中 VSW 引脚与 VDD 节点之间的电感			2.2	μH
R _{LVS_W-DCR}	L _{VSW} 允许的直流电阻			80	mΩ
I _{SAT-LVS_W}	L _{VSW} 饱和电流			600	mA
SR _{VDDIO-UP} ⁽⁵⁾	3.3V 轨道（VDDIO）的供电上升速率	8		100	mV/μs
SR _{VDDIO-DN} ⁽⁵⁾	3.3V 轨道（VDDIO）的供电下降速率	20		100	mV/μs
外部 VREG					
C _{VDD TOTAL} ⁽⁴⁾ ⁽⁶⁾	总 VDD 电容 ⁽⁸⁾	10			μF
SR _{VDD-UP} ⁽⁵⁾	1.2V 轨道（VDD）的供电上升速率	3.5		100	mV/μs
SR _{VDD-DN} ⁽⁵⁾	1.2V 轨道（VDD）的供电下降速率	10		100	mV/μs
V _{DDIO} - V _{DD} Delay ⁽⁷⁾	VDDIO 和 VDD 之间的斜坡延迟	0		无限制	μs

(1) 此供电上的总电容应基于供电 IC 要求。

(2) 详见节内部 1.2 伏开关稳压器 (直流-直流转换器)。

(3) 详见节内部 1.2 伏低压差线性稳压器 (LDO)。

(4) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。

(5) 参见供电转换速率部分。供电斜坡速率快于最大值可能会触发片上 ESD 保护。

(6) 参见电源管理模块 (PMM) 部分, 了解总去耦电容的可能配置。

(7) 3.3-V 轨道上升与 1.2-V 轨道上升之间的延迟。参见 VREG 序列总结表, 了解允许的供电斜坡序列。

(8) 最大电容容差应为 20%。

电源管理模块的特性

超出推荐的操作条件（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部电压调节器输出		1.14	1.2	1.32	V
$V_{VREG-PU}$	内部电压调节器上电时间				350	μs
$V_{VREG-INRUSH}^{(5)}$	内部电压调节器涌入电流			650		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	在 XRSn 释放之前和之后		2.3		V
$V_{BOR-VDDIO-UP}^{(1)}$	上电时 VDDIO 欠压复位电压	在 XRSn 释放之前		2.7		V
$V_{BOR-VDDIO-DN}^{(1)}$	断电时 VDDIO 欠压复位电压	在 XRSn 释放之后	2.81		3.0	V
$V_{POR-VDD-UP}^{(2)}$	上电时 VDD 上电复位电压	在 XRSn 释放之前		1		V
$V_{POR-VDD-DN}^{(2)}$	断电时 VDD 上电复位电压	在 XRSn 释放之后		1		V
$V_{XRSn-PU-DELAY}^{(3)}$	上电期间供电斜坡上升后 XRSn 释放延迟	这是最终的延迟。		40		μs
$V_{XRSn-PD-DELAY}^{(4)}$	断电期间供电斜坡下降后 XRSn 跳变延迟			2		μs
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监控器（POR, BOR）路径中的总延迟			145		μs
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件后 XRSn 释放延迟	供电在操作范围内		40		μs
	在 VDDIO BOR 之后 XRSn 释放延迟			140		μs
	在 VDDIO POR 事件后 XRSn 释放延迟			185		μs

(1) 参见供电电压图。

(2) $V_{POR-VDD}$ 不受支持，其设置在低于推荐操作条件的水平上跳变。如果需要监控 VDD，则需要外部监控器。

(3) 供电在越过各自轨道的最小推荐操作条件后被视为完全斜坡上升。所有 POR 和 BOR 监控器需要在延迟生效之前释放。RC 网络延迟将增加这一点。

(4) 断电时，任何跳变的 POR 或 BOR 监控器将立即使 XRSn 跳变。此延迟是任何 POR、BOR 监控器跳变与 XRSn 变低之间的时间。它是可变的，取决于供电的下降速率。RC 网络延迟将增加这一点。

(5) 这是内部 VREG 开启时 VDDIO 轨道上的瞬态电流。因此，当 VREG 开启时，VDDIO 轨道上可能会有一些电压下降，这可能导致 VREG 分步上升。这对设备没有损害，但如果希望通过在 VDDIO 上使用足够的去耦电容或选择能够提供这种瞬态电流的 LDO/DC-DC 来减少这种影响，则可以这样做。

电源电压

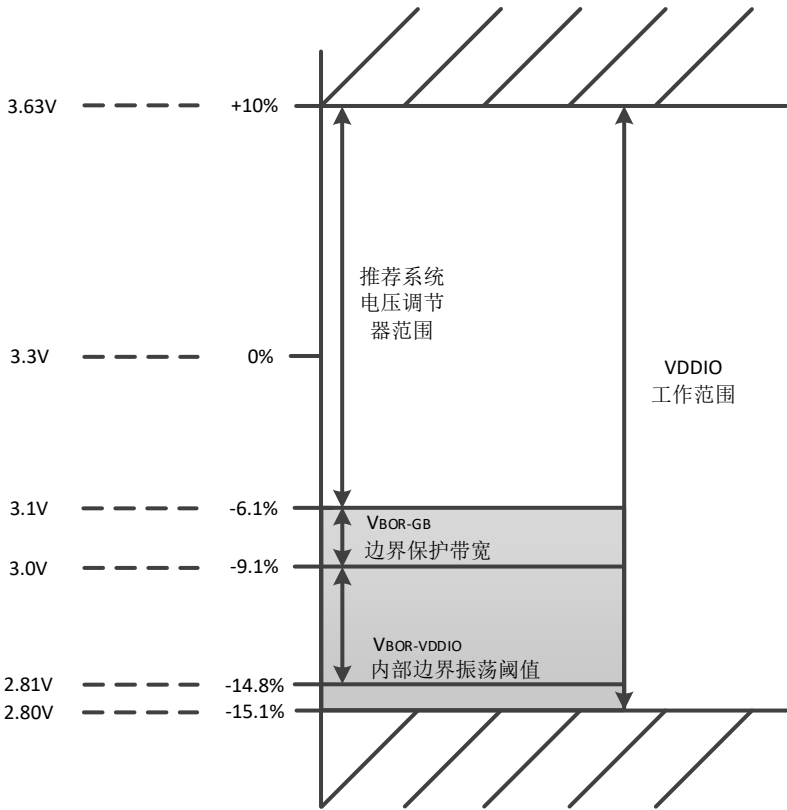


图 7-11 供电电压

重置定时

XRSn 是设备复位引脚。它既作为输入又作为开漏输出。设备内置有上电复位 (POR)。在上电期间, POR 电路将 XRSn 引脚驱动为低电平。看门狗或 NMI 看门狗复位也将使该引脚变为低电平。外部电路可以驱动该引脚以断言设备复位。

应在 XRSn 和 VDDIO 之间放置一个电阻值在 $2.2\text{ k}\Omega$ 到 $10\text{ k}\Omega$ 之间的电阻器。应在 XRSn 和 VSS 之间放置一个电容用于噪声过滤, 其值应为 100 nF 或更小。这些值将允许看门狗在 512 OSCCLK 周期内将 XRSn 引脚正确地驱动到 VOL, 当看门狗复位被断言时。图 7-12 显示了推荐的复位电路。

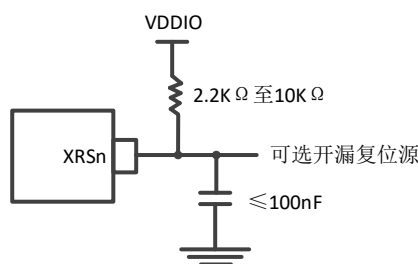


图 7-12. 复位电路

复位源

表 7-6 总结了各种复位信号及其对设备的影响。

表 7-6. 重置信号

复位源	DSP 核心复位 (CISC,FPU,VCU)	外设复位	JTAG/调试逻辑	I/Os	XRSn 输出
POR	是	是	是	Hi-Z	是
XRSn Pin	是	是	否	Hi-Z	—
WDRS	是	是	否	Hi-Z	是
NMIWDRS	是	是	否	Hi-Z	是
SYSRS (Debugger Reset)	是	是	否	Hi-Z	否
SCCRESET	是	是	否	Hi-Z	否

参数 $t_{h(\text{boot-mode})}$ 必须考虑到从这些来源中的任何一个发起的复位。

参阅手册中系统控制章节的复位部分。

重置电气数据和时序

图 7-13 展示了上电重置。图 7-14 展示了热重置。

重置（XRSn）时序要求

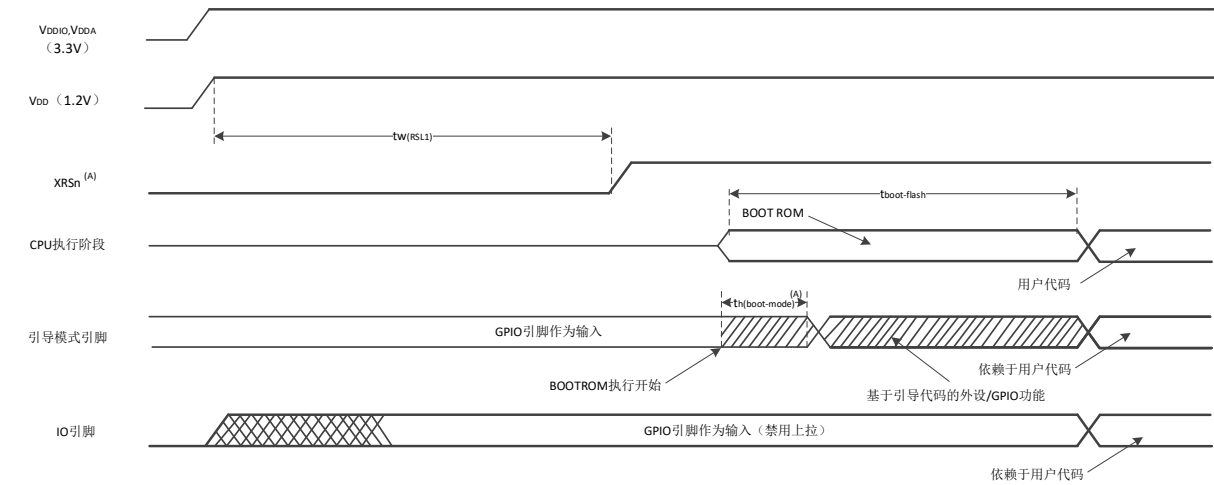
		最小值	最大值	单位
$t_{h(\text{boot-mode})}$	启动模式引脚的保持时间	1.5		ms
$t_{w(\text{RSL2})}$	脉冲持续时间, XRSn 在温复位时较低	所有情况	3.2	μs
	应用中使用的低功耗模式以及 $\text{SYSCLKDIV} > 16$ 的情况		$3.2 * (\text{SYSCLKDIV}/16)$	

复位（XRSn）开关特性

超出推荐的操作条件（除非另有说明）

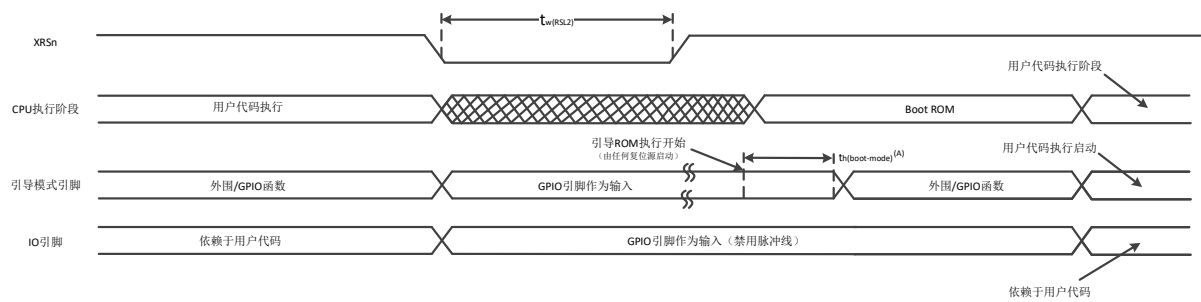
参数	最小值	标称值	最大值	单位
$t_{w(\text{RSL1})}$	脉冲持续时间, 电源稳定后设备驱动 XRSn 为低电平		100	μs
$t_{w(\text{WDRS})}$	脉冲持续时间, 由看门狗产生的重置脉冲		$512t_{c(\text{OSCCLK})}$	周期
$t_{\text{boot-flash}}$	从 Boot-ROM 到首次从闪存中获取指令的执行时间		900	μs

复位时序图



- A. XRSn 引脚可以通过外部的上拉电阻或监督器来驱动，参见引脚属性。片内 POR 逻辑会将该引脚保持低电平，直到电源处于有效范围。
- B. 在从任何源复位后（参见复位源），启动 ROM 代码会对启动模式引脚进行采样。根据启动模式引脚的状态，启动代码会分支到目标存储器或启动代码功能。如果在上电条件后执行启动 ROM 代码（在调试器环境中），启动代码的执行时间取决于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可能启用或不启用 PLL。

图 7-13.通电复位



A. 在从任何源复位后（参见复位源），启动 ROM 代码会对启动模式引脚进行采样。根据启动模式引脚的状态，启动代码会分支到目标存储器或启动代码功能。如果在上电条件后执行启动 ROM 代码（在调试器环境中），启动代码的执行时间取决于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可能启用或不启用 PLL。

图 7-14.热复位

时钟规格

时钟源

表 7-7 列出了三种可能的时钟源。图 7-15 展示了时钟系统。图 7-16 展示了系统 PLL（锁相环）。

表 7-7.可能的参考时钟来源

时钟源模块	模块时钟	注释
INTOSC1	可用于为以下部分提供时钟： - 看门狗模块 - 主 PLL（锁相环） - DSP 定时器 2	内部振荡器 1。 零引脚上 10 兆赫兹内部振荡器。
INTOSC2 ⁽¹⁾	可用于为以下部分提供时钟： - 主 PLL（锁相环） - DSP 定时器 2	内部振荡器 2。 零引脚上 10 兆赫兹内部振荡器。
X1 (XTAL)	可用于为以下部分提供时钟： - 主 PLL（锁相环） - DSP 定时器 2	外部晶体或谐振器连接在 X1 和 X2 引脚之间，或者单端时钟连接到 X1 引脚。

(1) 在重置时，内部振荡器 2（INTOSC2）是系统 PLL（OSCCLK）的默认时钟源。

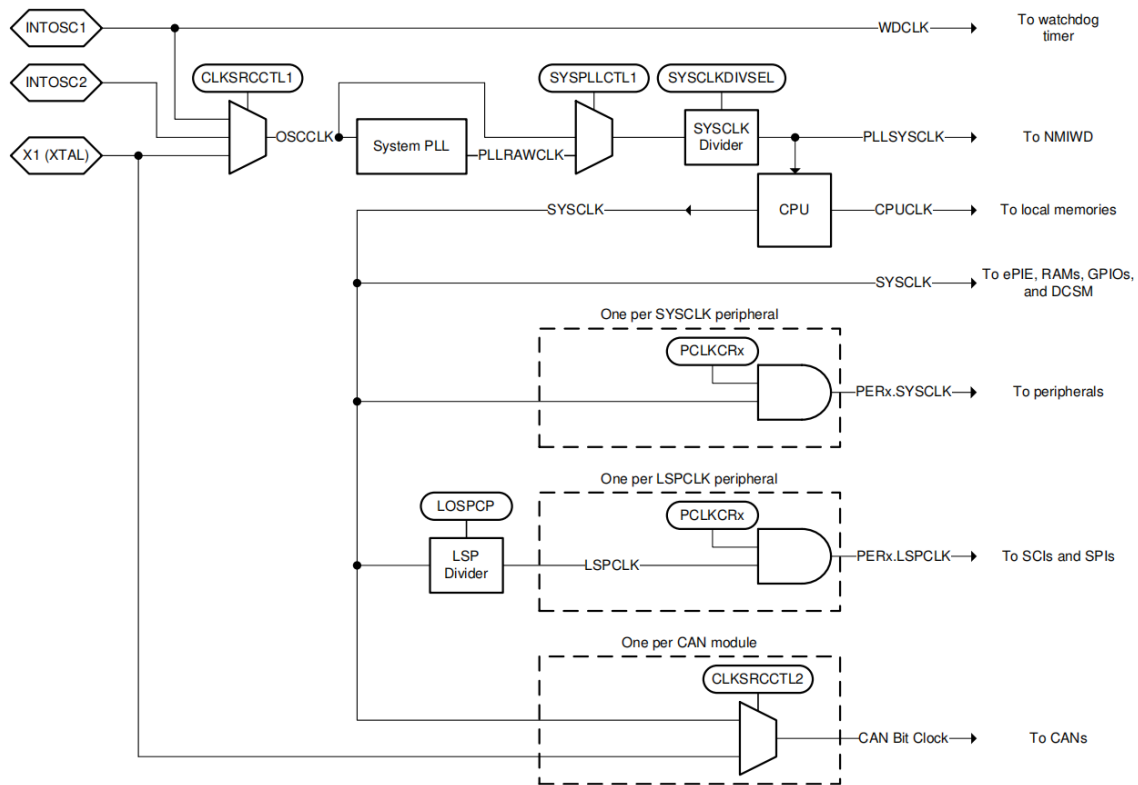


图 7-15 时钟系统

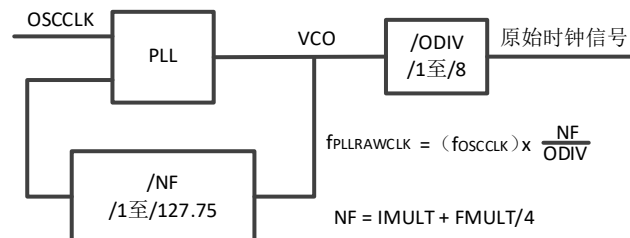


图 7-16.系统 PLL

时钟的频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和切换特性。

输入时钟频率和时序要求，PLL 锁定时间

输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	2	20	MHz

XTAL振荡器特性

超出推荐的操作条件（除非另有说明）

参数	最小值	标称值	最大值	单位
X1 V_{IL} 有效低电平输入电压	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH} 有效高电平输入电压	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

X1定时要求

	最小值	最大值	单位
$t_{f(X1)}$ 下降时间，X1		6	ns
$t_{r(X1)}$ 上升时间，X1		6	ns
$t_{w(X1L)}$ 脉冲持续时间，X1 低电平作为 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$ 脉冲持续时间，X1 高电平作为 $t_{c(X1)}$ 的百分比	45%	55%	

PLL锁定时间

	最小值	标称值	最大值	单位
$t_{(PLL)}$ 锁定时间，主 PLL		$25.5 \mu s + 1024 * t_{c(OSCCLK)}$		μs

内部时钟频率

下节提供了内部时钟的时钟频率。

内部时钟频率

		最小值	标称值	最大值	单位
f(SYSCLK)	频率, 设备 (系统) 时钟	2		100	MHz
t _c (SYSCLK)	周期, 设备 (系统) 时钟	10		500	ns
f(VCO)	频率, PLL VCO (在输出分频器之前)	120		400	MHz
f(PLLRAWCLK)	频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)	15		200	MHz
f(PLL)	频率, PLLSYSCLK	2		100	MHz
f(LSP)	频率, LSPCLK	2		100	MHz
t _c (LSPCLK)	周期, LSPCLK	10		500	ns
f(OSCCLK)	频率, OSCCLK (INTOSC1 或 INTOSC2 或 XTAL 或 X1)	参见各自的时钟			MHz
f(HRPWM)	频率, HRPWMCLK	60		100	MHz

输出时钟的频率和开关特性

XCLKOUT切换特性

超出推荐的操作条件 (除非另有说明)

参数 ⁽¹⁾		最小值	最大值	单位
t _f (XCO)	下降时间, XCLKOUT		5	ns
t _r (XCO)	上升时间, XCLKOUT		5	ns
t _w (XCOL)	脉冲持续时间, XCLKOUT 低电平	$H - 2^2$	$H + 2^2$	ns
t _w (XCOH)	脉冲持续时间, XCLKOUT 高电平	$H - 2^2$	$H + 2^2$	ns
f(XCO)	频率, XCLKOUT		50	MHz

(1) 这些参数假设负载为 40 pF。

(2) $H = 0.5t_{c(XCO)}$

输入时钟和pll

除了内部的 0 针振荡器外，还支持三种类型的外部时钟源：

- 一个3.3V的单端外部时钟。时钟信号应连接到X1，如图7-17所示，并将XTALCR.SE位设置为1。

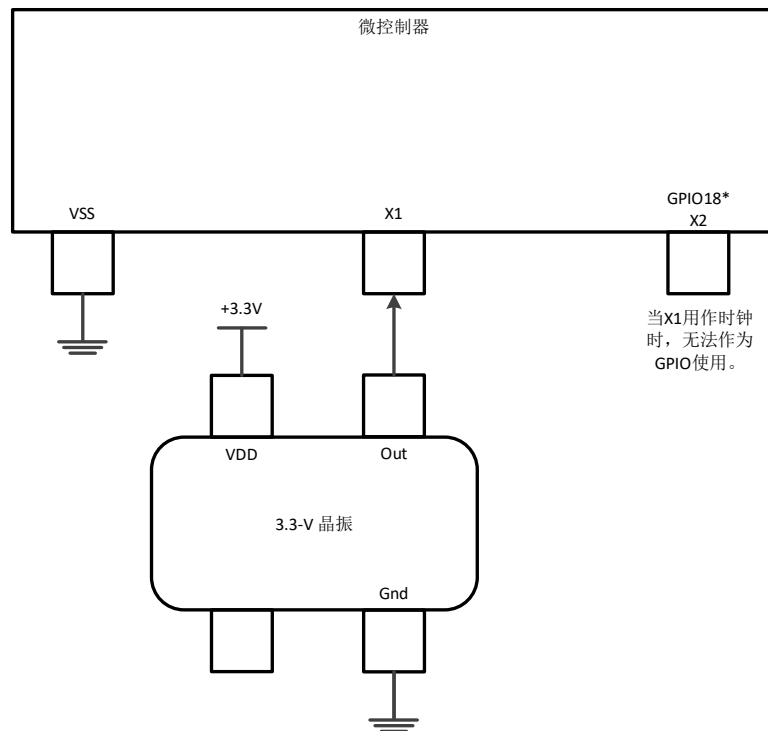


图 7-17. 单端 3.3V 外部时钟

- 一个外部晶体。晶体应跨接在X1和X2上，其负载电容连接到VSS，如图7-18所示。

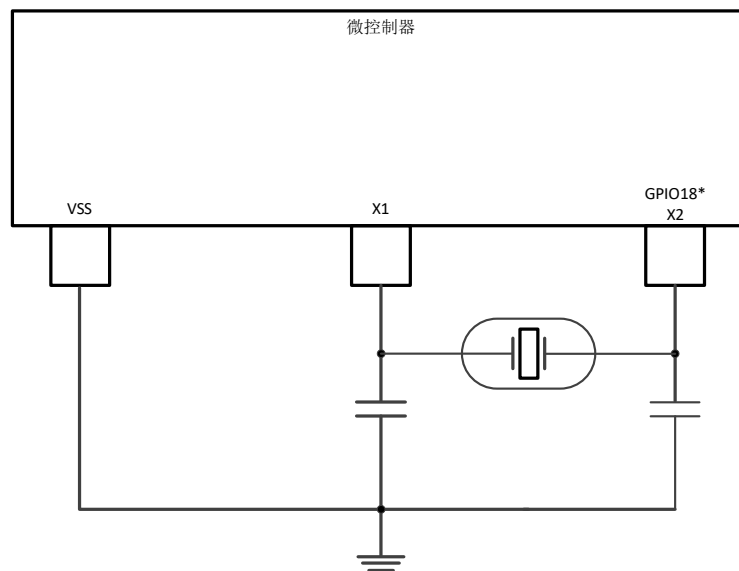


图 7-18 外部晶体

- 一个外部谐振器。谐振器应跨接在X1和X2上，其接地连接到VSS，如图7-19所示。

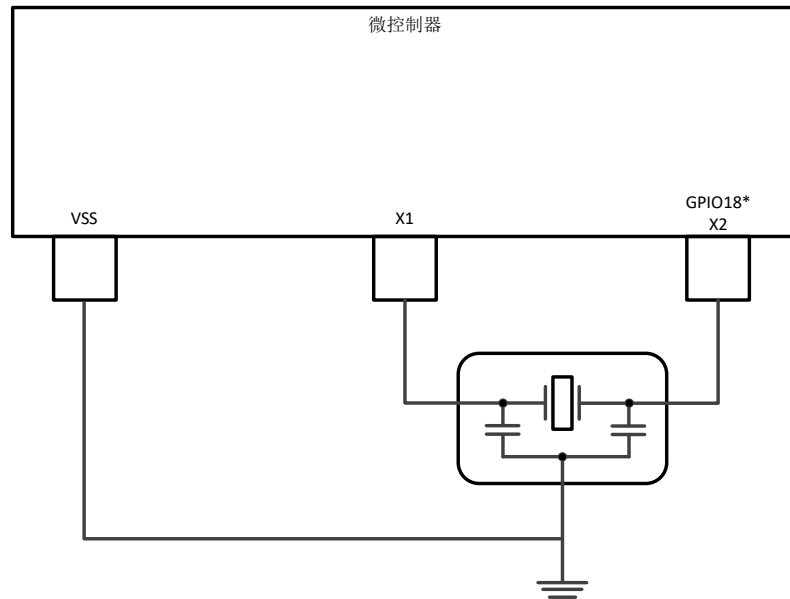


图 7-19. 外部谐振器

晶体（XTAL）振荡器

介绍

本设备中的晶体振荡器是一种嵌入式电子振荡器，当与兼容的石英晶体(或陶瓷谐振器)配合使用时，可以生成设备所需的系统时钟。

概述

下面的部分描述了电振荡器和晶体的组件。

电子振荡器

该设备中的电气振荡器是皮尔斯振荡器。它是一个正反馈逆变电路，需要一个调谐电路才能振荡。当这个振荡器与兼容的晶体配对时，就形成了一个谐振电路。这个谐振电路在晶体的基本频率下振荡。在这个设备上，由于并联电容器（C0）和所需的负载电容（CL），振荡器被设计为以并联谐振模式工作。图 7-20 展示了电气振荡器和谐振电路的组件。

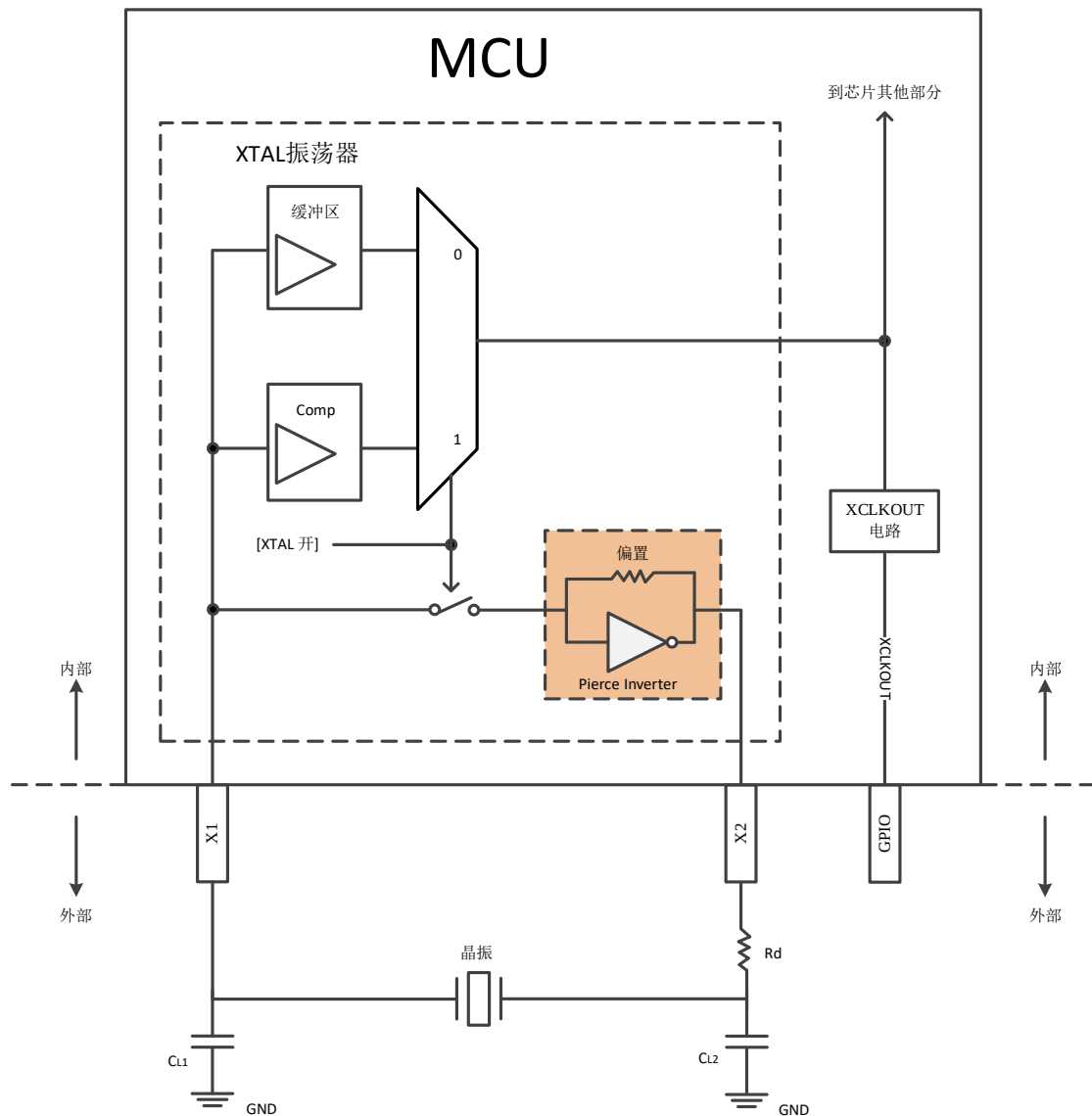


图 7-20.电振荡器方框图

操作模式

该装置中的电振荡器有两种工作模式：晶体模式和单端模式。

晶体操作模式

在晶体模式下，带有负载电容器的石英晶体必须连接到 X1 和 X2。

当 $[XTAL\ On] = 1$ 时，通过设置 $XTALCR.OSCOFF = 0$ 和 $XTALCR.SE = 0$ 来启动这种操作模式。反馈环路有一个内部偏置电阻，因此不应使用外部偏置电阻。添加外部偏置电阻将与内部 R_{bias} 形成并联电阻，移动操作的偏置点，可能导致波形削波、超出规格的占空比以及有效负电阻降低。

在这种操作模式下，X1 上产生的时钟通过一个比较器（Comp）传递到芯片的其余部分。X1 上的时钟需要满足比较器的 V_{IH} 和 V_{IL} 。参见 XTAL 振荡器特性表以了解比较器的 V_{IH} 和 V_{IL} 要求。

单端操作模式

在单端模式下，时钟信号连接到 X1，而 X2 保持未连接。在这种模式下不应使用石英晶体。

这种模式在 $[XTAL\ On] = 0$ 时启用，可以通过设置 $XTALCR.OSCOFF = 1$ 和 $XTALCR.SE = 1$ 来实现。

在这种操作模式下，X1 上的时钟通过一个缓冲器（Buffer）传递到芯片的其余部分。参见使用外部时钟源（非晶体）时的 X1 输入电平特性表以了解缓冲器的输入要求。

XTAL在XCLKOUT上的输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈送到芯片其余部分的电子振荡器的输出引出到 XCLKOUT 进行观察。参见 GPIO 多路复用引脚表以获取 XCLKOUT 所输出的 GPIO 列表。

晶振

从电气角度来看，石英晶体可以用一个 LCR（电感-电容-电阻）电路来表示。然而，与 LCR 电路不同，晶体由于低运动阻尼而具有非常高的 Q 值，并且也是欠阻尼的。图 7-21 展示了晶体的组件并在下面进行了解释。

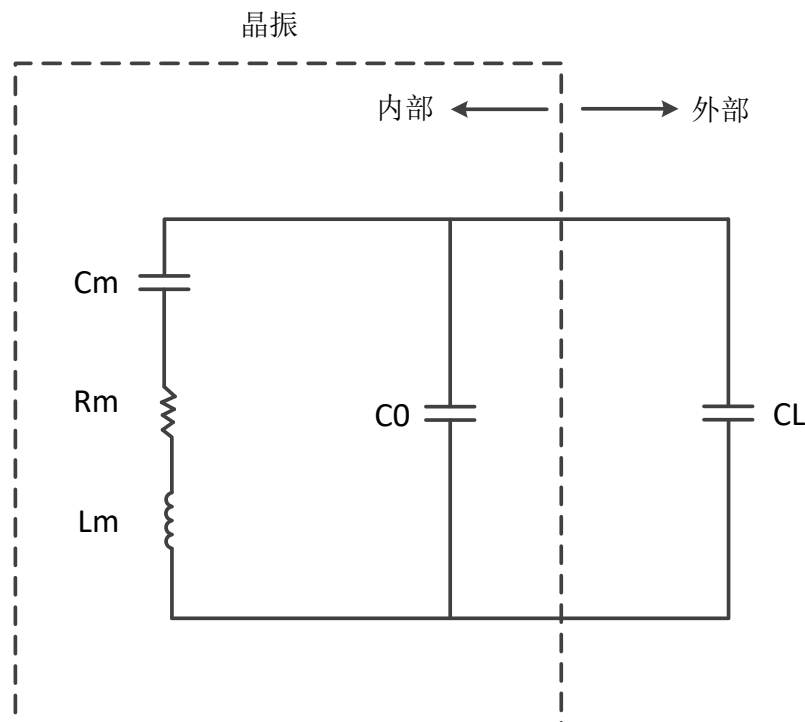


图 7-21. 晶振电气表示

动态电容 (Cm)：表示晶体的弹性。

动态电阻 (Rm)：表示晶体内的电阻损耗。这不是晶体的等效串联电阻（ESR），但可以根据晶体的其他组件值近似为这样。

动态电感 (Lm)：表示晶体的振动质量。

并联电容 (C0)：由两个晶体电极和杂散封装电容形成的电容。

负载电容 (CL)：这是晶体在其电极处看到的有效电容。它在晶体外部。晶体数据表中指定的频率 ppm 通常与 CL 参数有关。

注意，大多数晶体制造商指定 CL 为晶体引脚处看到的有效电容，而一些晶体制造商指定 CL 为仅一个晶体引脚上的电容。请向晶体制造商咨询如何指定 CL，以便在计算中使用正确的值。

从图 7-20 中，CL1 和 CL2 是串联的；因此，要找到晶体看到的有效总电容，必须应用电容串联公式，如果 CL1 = CL2，则简单评估为 [CL1]/2。

建议将杂散 PCB 电容添加到此值中。3 pF 到 5 pF 是合理的估计，但实际值将取决于所讨论的 PCB。

注意，负载电容是电子振荡器和晶体的要求。选择的值必须满足电子振荡器和晶体

的要求。

负载电容 CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常导致与标称频率的偏差小于 10ppm（百万分之一）。

GPIO操作模式

在本设备上，根据 XTAL 的操作模式，X2 可以用作 GPIO18。请参阅手册的外部振荡器（XTAL）部分。

功能操作

有效串联电阻

有效串联电阻是晶体在谐振时对电子振荡器呈现的电阻性负载。ESR 越高，Q 值越低，晶体启动或维持振荡的可能性就越小。ESR 与晶体组件之间的关系如下所示。

$$ESR = R_m * \left(1 + \frac{C_0}{CL}\right)^2$$

注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远大于并联电容，则可以近似为这样。

Rneg - 负电阻

负电阻是电子振荡器对晶体呈现的阻抗。这是电子振荡器必须提供给晶体的能量，以克服振荡过程中产生的损耗。Rneg 描述了一个提供而不是消耗能量的电路，也可以视为电路的总增益。

通常接受的做法是让 Rneg > 3x ESR 到 5x ESR，以确保在所有条件下晶体都能启动。需要注意的是，启动晶体所需的能量略多于维持振荡所需的能量；因此，如果能确保在启动时满足负电阻要求，那么维持振荡就不会有问题。

图 7-22 和图 7-23 显示了该设备的负电阻与晶体组件之间的变化关系。从图中可以看出，晶体并联电容（C0）和有效负载电容（CL）极大地影响了电子振荡器的负电阻。请注意，这些是典型图表；因此，请参考表 7-8 以获取设计考虑事项的最小值和最大值。

启动时间

启动时间是选择晶体电路元件时的一个重要考虑因素。正如在 Rneg - 负电阻部分提到的，为了在所有条件下可靠启动，建议 Rneg > 3x ESR 到 5x ESR 的晶体。

晶体 ESR 和阻尼电阻（Rd）极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常是晶体和组件不匹配的迹象。

请参考晶体振荡器规格了解典型的启动时间。请注意，这里指定的数字只是提供指导的典型数字。实际启动时间很大程度上取决于所讨论的晶体和外部组件。

DL - 驱动电平

驱动电平指的是电子振荡器提供的并由晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著降低使用寿命的情况下能够耗散的最大值。另一方面，电子振荡器指定的驱动电平是它能提供的最大功率。电子振荡器实际提供的功率不一定是最大功率，这取决于晶体和电路板组件。

在实际驱动电平超过晶体的最大驱动电平规格的情况下，应安装一个阻尼电阻（Rd）以限制电流并减少晶体耗散的功率。请注意，Rd 会降低电路增益；因此，应评估要使用的实际应用值，以确保满足启动和持续振荡的所有其他条件。

如何选择合适的晶振

参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20 MHz）。
2. 检查晶体的ESR $\leq 50 \Omega$ ，符合20 MHz的规格要求。
3. 检查晶体制造商的负载电容要求在6 pF和12 pF之间，符合20 MHz的规格要求。
 - 如前所述，CL1和CL2是串联的；因此，只要CL1 = CL2，有效负载电容CL=[CL1]/2。
 - 在此基础上加上电路板杂散电容，得到CL = [CL1]/2 + Cstray
4. 检查晶体的最大驱动电平 $\geq 1 \text{ mW}$ 。如果不符合此要求，可以使用阻尼电阻Rd。关于使用Rd时要考虑的其他点，请参阅DL - 驱动电平。

测试

建议用户让晶体制造商使用他们的电路板对晶体进行全面特性测试，以确保晶体始终能够启动并保持振荡。

以下是一些可以进行的测量的简要概述：

由于晶体电路对电容非常敏感，建议不要将示波器探头连接到 X1 和 X2。如果必须使用示波器探头来监测 X1/X2，应使用 $<1\text{-pF}$ 电容的有源探头。

频率

1. 将 XTAL 引出到 XCLKOUT。
2. 测量此频率作为晶体频率。

负电阻

1. 将XTAL引出到XCLKOUT。
2. 在负载电容器之间与晶体串联放置一个电位器。
3. 增加电位器的电阻，直到XCLKOUT上的时钟停止。
4. 这个电阻加上晶体的实际ESR就是电子振荡器的负电阻。

启动时间

1. 关闭XTAL。
2. 将XTAL引出到XCLKOUT。
3. 打开XTAL并测量XCLKOUT上的时钟保持在45%和55%占空比内所需的时间。

常见的问题和调试提示

晶体无法启动

- 请仔细阅读“如何选择晶体”部分，确保没有违反规定。

晶体启动时间过长

- 如果安装了阻尼电阻Rd，则其值过高。
- 如果没有安装阻尼电阻，可能是晶体的ESR过高或由于负载电容过大导致整体电路增益过低。

晶体振荡器技术规格

晶体振荡器参数

		最小值	最大值	单位
CL1, CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

晶体等效串联电阻（ESR）要求

晶体等效串联电阻（ESR）要求表：

1. 晶体并联电容（C0）应小于或等于 7 pF。
2. $ESR = \text{负电阻}/3$

表 7-8. 晶体等效串联电阻（ESR）要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12 pF)	最大 ESR (Ω) (CL1 = CL2 = 24 pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

负电阻与 10MHz 晶体

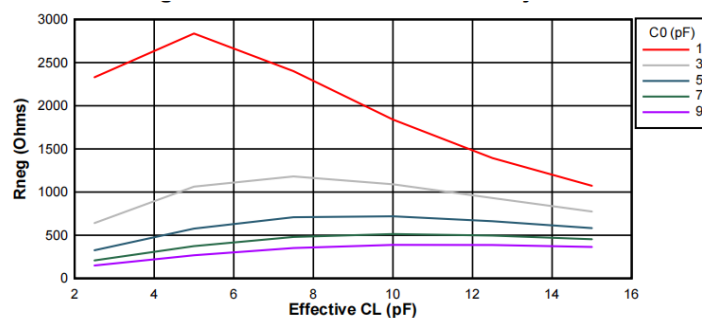


图 7-22. 10MHz 时的负电阻变化

负电阻与 20MHz 晶体相比

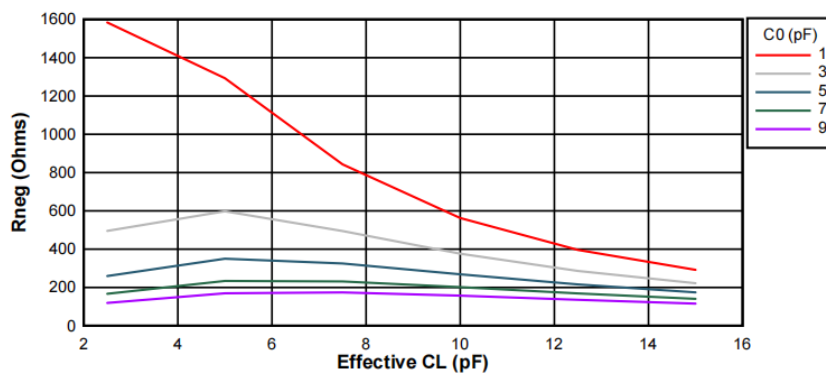


图 7-23. 在 20MHz 时的负电阻变化

晶体振荡器的电气特性

超出推荐的操作条件（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10 MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24 pF C0 = 7 pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24 pF C0 = 7 pF		2		ms
晶体驱动电平 (DL)					1	mW

(1) 启动时间依赖于晶体和储能电路元件。推荐晶体供应商对所选晶体的应用进行特性描述。

内部振荡器

为了降低生产板卡成本和应用开发时间，设备包含两个独立的内部振荡器，分别称为 INTOSC1 和 INTOSC2。默认情况下，这两个振荡器在上电时都会被启用。

INTOSC2 被设置为系统参考时钟 (OSCCLK) 的源，而 INTOSC1 被设置为备份时钟源。INTOSC1 也可以手动配置为系统参考时钟 (OSCCLK)。

INTOSC特性

超出推荐的操作条件（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f _{INTOSC}	频率，INTOSC1 和 INTOSC2	9.7	10	10.3	MHz
f _{INTOSC-STABILITY}	在室温下的频率稳定性	30° C，标称 VDD	±0.1%		
	频率稳定性超过 VDD	30°C	±0.2%		
	频率稳定度		-3%	3%	
t _{INTOSC-ST}	启动和结算时间			20	μs

闪存参数

表 7-9 列出了不同时钟源和频率的最小闪光等待状态。

表 7-9. 不同 DSPCLK 频率下所需的最小闪存等待状态 (FRDCNTL[RWAIT])

DSPCLK (MHz)	闪存读取、执行、编程或擦除	闪存体/泵在低功耗模式 (LPM) 中或 进入/退出低功耗模式 活动 → 休眠 → 活动 或 活动 → 待机 → 活动
$80 < \text{DSPCLK} \leq 100$	4	5
$60 < \text{DSPCLK} \leq 80$	3	4
$40 < \text{DSPCLK} \leq 60$	2	3
$20 < \text{DSPCLK} \leq 40$	1	2
$10 < \text{DSPCLK} \leq 20$	0	1
$\text{DSPCLK} \leq 10$	0	0

设备拥有一个改进的 128 位预取缓冲区，可在等待状态下提供高效的闪存代码执行效率。图 7-24 和图 7-25 展示了与前一代设备（带有 64 位预取缓冲区）相比，在不同等待状态设置下的典型效率。带有预取缓冲区的等待状态执行效率将取决于应用软件中存在的分支数量。提供了线性代码和 if-then-else 代码的两个示例。

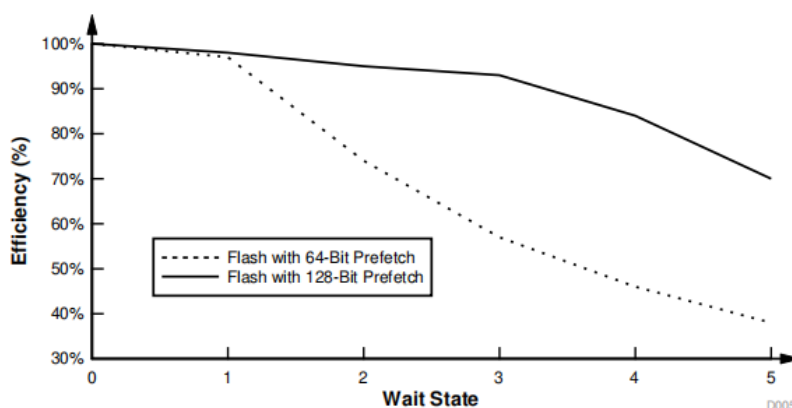


图 7-24 包含大量 32 位浮点数数学指令的应用代码

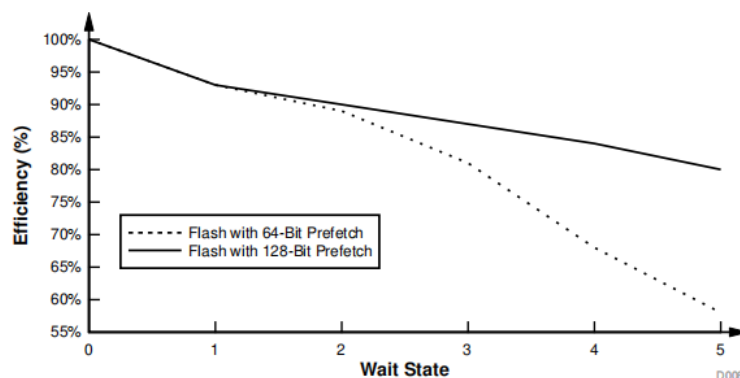


图 7-25 包含 16 位 if-else 指令的应用代码

表 7-10 列出了 Flash 参数。

表 7-10. 闪存参数

参数		最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	128 个数据位 + 16 个 ECC 位		150	300	μs
	8KB 扇区		50	100	ms
擦除时间 ⁽²⁾ at < 25 W/E 循环	8KB 扇区		15	100	ms
在 1000 W/E 循环时的擦除时间 ⁽²⁾	8KB 扇区		25	350	ms
在 2000 W/E 循环时的擦除时间 ⁽²⁾	8KB 扇区		30	600	ms
在 20K W/E 循环时的擦除时间 ⁽²⁾	8KB 扇区		120	4000	ms
每个扇区的 N _{wec} 写入/擦除循环次数				20000	循环
整个闪存的 N _{wec} 写入/擦除循环次数 (合并所有扇区) ⁽³⁾				100000	循环
t _{retention} 在 TJ = 85° C 时的数据保留 时间		20			年

(1) 编程时间是在设备最大频率下进行的。编程时间包括闪存状态机的开销，但不包括以下内容转移到 RAM 中的时间：

- 使用闪存 API 编程闪存的代码
- 闪存 API 本身
- 要编程的闪存数据

换句话说，此表中指示的时间适用于所有所需的代码/数据已存在于设备 RAM 中，准备好进行编程。传输时间将根据使用的 JTAG 调试探针的速度而有很大差异。

编程时间的计算基于在指定的操作频率下一次编程 144 位。编程时间包括 DSP 的程序验证。编程时间不会因写入/擦除 (W/E) 循环而降低，但擦除时间会，因此提供了 25 W/E 循环、1K W/E 循环、2K W/E 循环和 20K W/E 循环的擦除时间。

擦除时间包括 DSP 的擦除验证，并且不涉及任何数据传输。

(2) 擦除时间包括 DSP 的擦除验证。

(3) 每个扇区本身只能被擦除/编程 20,000 次。如果您选择像 EEPROM 一样使用一个（或多个）扇区，您只能在不擦除/编程整个闪存的情况下擦除/编程那些扇区（仍限于 20,000 次循环）。因此，从设备角度来看，W/E 循环的总数可以超过 20,000 次。然而，即使这个数字也不应该超过 100,000 次循环。

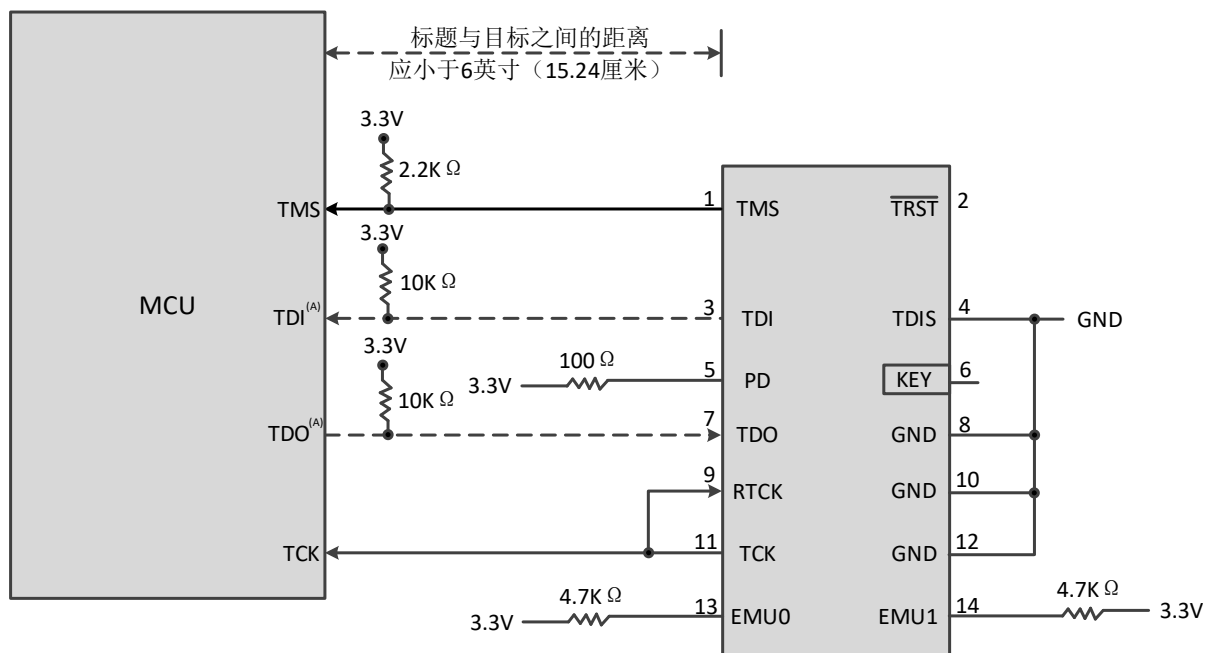
仿真/JTAG

JTAG（IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG（IEEE 标准 1149.7-2009 用于减少引脚和增强功能的测试访问端口和边界扫描架构）端口是一个紧凑型 JTAG 接口，只需要两个引脚（TMS 和 TCK），这使得其他设备功能可以复用至传统的 GPIO35（TDI）和 GPIO37（TDO）引脚上。

通常，当 MCU 目标与 JTAG 头之间的距离小于 6 英寸（15.24 厘米），并且 JTAG 链上没有其他设备时，JTAG 信号上不需要缓冲器。否则，每个信号都应进行缓冲。此外，对于大多数在 10 MHz 下运行的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻。然而，如果预期高仿真速度（大约 35 MHz），应在每个 JTAG 信号上串联放置 22-Ω 电阻。

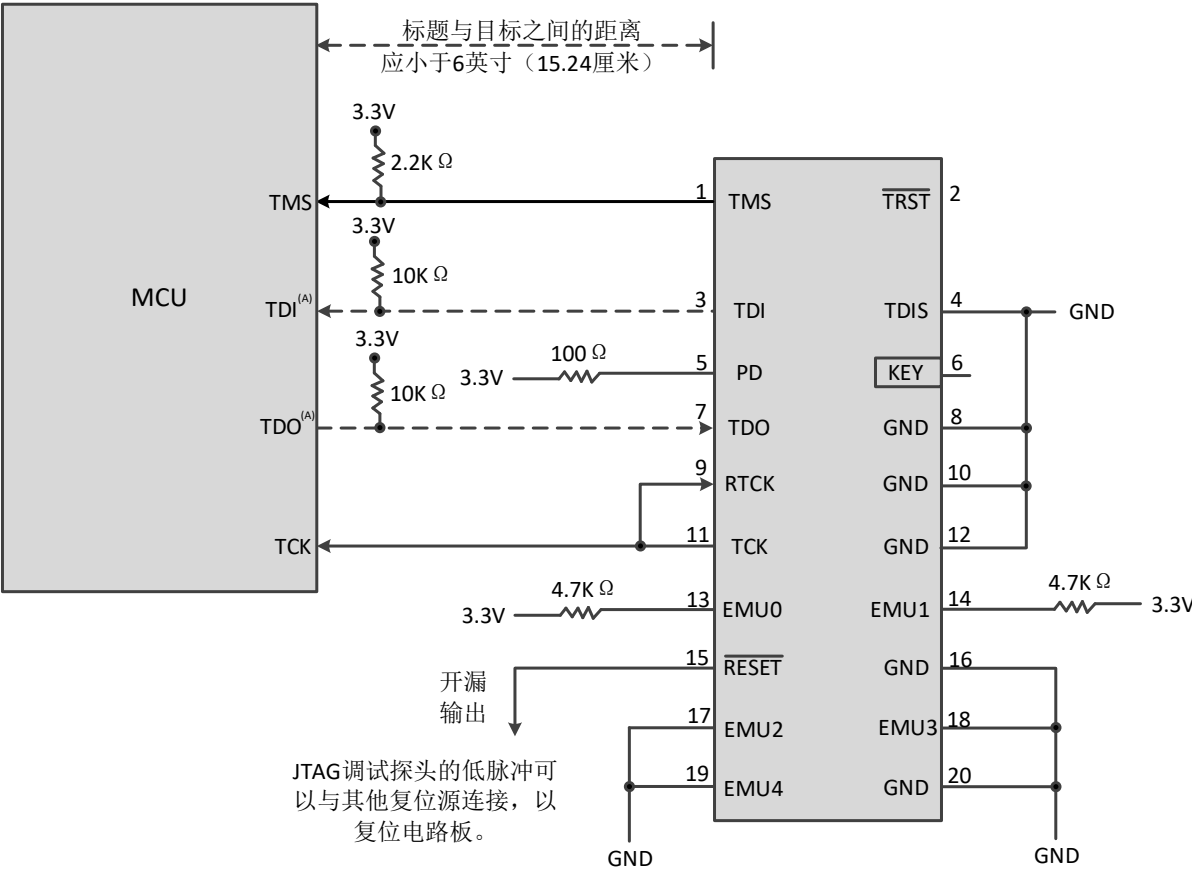
JTAG 调试探针头的 PD（电源检测）端子应连接到电路板的 3.3-V 供电。头插座的 GND 端子应连接到板地。TDIS（电缆断开检测）也应连接到板地。JTAG 时钟应从头插座的 TCK 输出端子循环回到头的 RTCK 输入端子（以通过 JTAG 调试探针感知时钟连续性）。此 MCU 不支持存在于 14 引脚和 20 引脚仿真头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对板载上拉电阻在仿真头处上拉，电阻值范围从 2.2 kΩ 到 4.7 kΩ（取决于调试器端口的驱动强度）。通常使用 2.2-kΩ 的值。

头插座的 RESET 端子是来自 JTAG 调试探针头的一个开漏输出，它使得能够通过 JTAG 调试探针命令复位板卡组件（仅通过 20 引脚头可用）。图 7-26 显示了 14 引脚 JTAG 头如何连接到 MCU 的 JTAG 端口信号。图 7-27 显示了如何连接到 20 引脚 JTAG 头。



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可以用作 GPIO。

图 7-26. 连接到 14 针的 JTAG 插头



A. 对于 cJTAG 选项，不需要 TDI 和 TDO 连接，这些引脚可以用作 GPIO。

图 7-27.连接到 20 针的 JTAG 插头

JTAG的电气数据和时序

JTAG定时要求

编号		最小值	最大值	单位
1	$t_c(TCK)$ 循环时间 TCK	66.66		ns
1a	$t_w(TCKH)$ TCK 脉冲持续时间，TCK 高电平（占周期的 40%）	26.66		ns
1b	$t_w(TCKL)$ TCK 脉冲持续时间，TCK 低电平（占周期的 40%）	26.66		ns
3	$t_{su}(TDI-TCKH)$ 输入建立时间，TDI 在 TCK 上升前有效	13		ns
	$t_{su}(TMS-TCKH)$ 输入建立时间，TMS 在 TCK 上升前有效	13		
4	$t_h(TCKH-TDI)$ 输入保持时间，TDI 在 TCK 上升后保持有效	7		ns
	$t_h(TCKH-TMS)$ 输入保持时间，TMS 在 TCK 上升后保持有效	7		

JTAG开关特性

在推荐操作条件之外（除非另有说明）

编号.	参数	最小值	最大值	单位
2	$t_d(TCKL-TDO)$ 延迟时间，从 TCK 低到 TDO 有效	6	25	ns

JTAG时序图

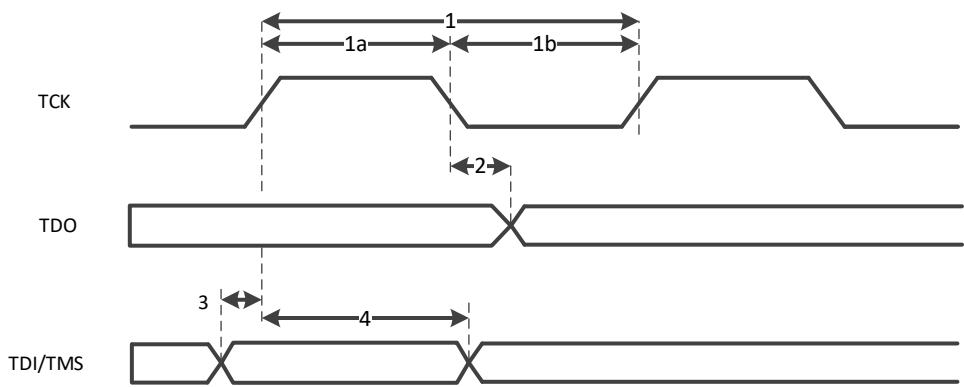


图 7-28. JTAG 时序图

电气数据和时序

cJTAG时序要求

编号.		最小值	最大值	单位
1	$t_{c(TCK)}$ TCK 的周期时间	100		ns
1a	$t_{w(TCKH)}$ TCK 高电平的脉冲持续时间, 占周期的 40%	40		ns
1b	$t_{w(TCKL)}$ TCK 低电平的脉冲持续时间, 占周期的 40%	40		ns
3	$t_{su(TMS-TCKH)}$ 输入建立时间, TMS 在 TCK 上升前的有效时间	15		ns
	$t_{su(TMS-TCKL)}$ 输入建立时间, TMS 在 TCK 下降前的有效时间。	15		ns
4	$t_{h(TCKH-TMS)}$ 输入保持时间, TMS 在 TCK 上升后需保持有效的时间	2		ns
	$t_{h(TCKL-TMS)}$ 输入保持时间, TMS 在 TCK 下降后需保持有效的时间	2		ns

cJTAG开关特性

超出推荐的操作条件（除非另有说明）

编号.	参数	最小值	最大值	单位
2	$t_{d(TCKL-TMS)}$ 延迟时间, 从 TCK 低电平到 TMS 有效	6	20	ns
5	$t_{dis(TCKH-TMS)}$ 延迟时间, 从 TCK 高电平到 TMS 失效		20	ns

cJTAG时序图

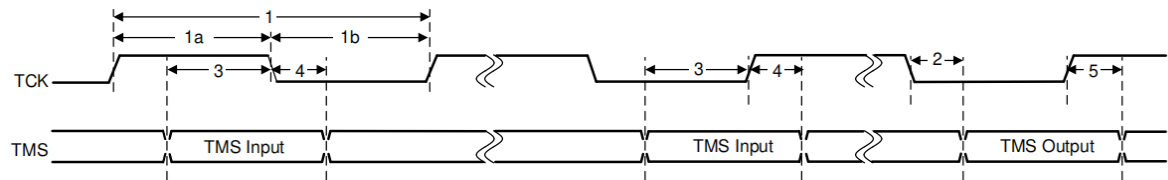


图 7-29. cJTAG 计时

GPIO电气数据和时序

外设信号与通用输入输出（GPIO）信号复用。在复位时，GPIO 引脚被配置为输入。对于特定输入，用户还可以选择输入限定周期的数量，以过滤不需要的噪声毛刺。

GPIO 模块包含一个输出 X-BAR，它允许将各种内部信号路由到 GPIO 复用位置，标记为 OUTPUTXBARx 的 GPIO。GPIO 模块还包含一个输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断。有关详细信息，请参阅手册中的 X-BAR 章节。

GPIO – 输出时序

通用输出切换特性

超出推荐的操作条件（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPIO)}$	上升时间，GPIO 从低到高的切换时间	除 GPIO23_VSW 外的所有 GPIO		8 ⁽¹⁾	ns
$t_{f(GPIO)}$	下降时间，GPIO 从高到低的切换时间	所有 GPIO 除了 GPIO23_VSW		8 ⁽¹⁾	ns
f_{GPIO}	切换频率，除 GPIO23_VSW 外的所有 GPIO			25	MHz

(1) 上升时间和下降时间随负载变化。这些值假设负载为40皮法拉。

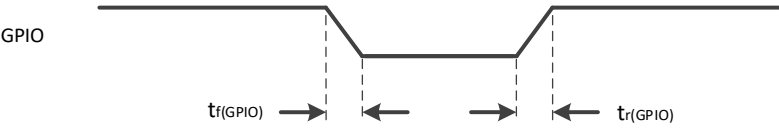


图 7-30。通用输出时间

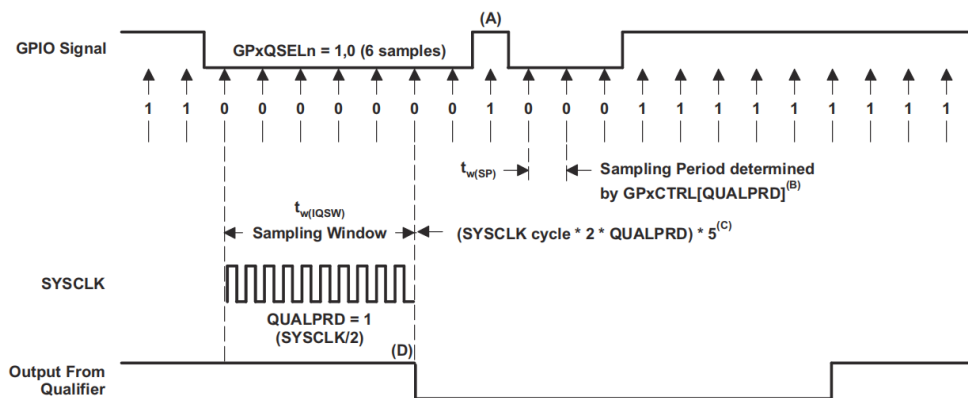
GPIO – 输入时序

通用输入时序要求

表 7-11. 通用输入时序要求

		最小值	最大值	单位
$t_w(SP)$	取样周期	QUALPRD = 0	$1t_c(SYSCLK)$	周期
		QUALPRD ≠ 0	$2t_c(SYSCLK) * QUALPRD$	
$t_w(IQSW)$	输入限定器采样窗口		$t_w(SP) * (n^{(1)} - 1)$	周期
$t_w(GPI)^{(2)}$	脉冲持续时间，GPIO 低/高	同步模式	$2t_c(SYSCLK)$	周期
		带输入限定器	$t_w(IQSW) + t_w(SP) + 1t_c(SYSCLK)$	

- (1) "n" 表示由 GPxQSELn 寄存器定义的限定样本数量。
- (2) 对于 $t_w(GPI)$ ，脉冲宽度是从 VIL 到 VIL 测量的（对于一个低电平有效信号），以及从 VIH 到 VIH 测量的（对于一个高电平有效信号）。



- A. 这种毛刺将被输入限定器忽略。QUALPRD 位字段指定了限定采样周期。它可以从 00 变化到 0xFF。如果 QUALPRD = 00，那么采样周期是 1 个 SYSCLK 周期。对于任何其他值 “n”，限定采样周期为 2n 个 SYSCLK 周期（即，每 2n 个 SYSCLK 周期，GPIO 引脚将被采样一次）。
- B. 通过 GPxCTRL 寄存器选择的限定周期适用于八组 GPIO 引脚。
- C. 限定块可以采取三个或六个样本。GPxQSELn 寄存器选择使用哪种采样模式。
- D. 在所示的示例中，为了让限定器检测到变化，输入应在 10 个 SYSCLK 周期或更长时间内保持稳定。换句话说，输入应在 $(5 \times \text{QUALPRD} \times 2)$ SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，一个 13-SYSCLK 宽的脉冲确保了可靠的识别。

图 7-31. 采样模式

输入信号的采样窗口宽度

以下部分总结了各种输入限定配置下输入信号的采样窗口宽度。

采样频率表示相对于 SYSCLK 信号的采样频率。

采样频率 = $\text{SYSCLK} / (2 \times \text{QUALPRD})$ ，如果 $\text{QUALPRD} \neq 0$

采样频率 = SYSCLK，如果 $\text{QUALPRD} = 0$

采样周期 = SYSCLK 周期 $\times 2 \times \text{QUALPRD}$ ，如果 $\text{QUALPRD} \neq 0$

在之前的等式中，SYSCLK 周期表示 SYSCLK 的时间段。

采样周期 = SYSCLK 周期，如果 $\text{QUALPRD} = 0$

在给定的采样窗口中，对输入信号进行 3 次或 6 次采样以确定信号的有效性。这由写入 GPxQSELn 寄存器的值决定。

情况 1:

使用 3 次采样进行限定

采样窗口宽度 = $(\text{SYSCLK 周期} \times 2 \times \text{QUALPRD}) \times 2$ ，如果 $\text{QUALPRD} \neq 0$

采样窗口宽度 = $(\text{SYSCLK 周期}) \times 2$ ，如果 $\text{QUALPRD} = 0$

情况 2:

使用 6 次采样进行限定

采样窗口宽度 = $(\text{SYSCLK 周期} \times 2 \times \text{QUALPRD}) \times 5$ ，如果 $\text{QUALPRD} \neq 0$

采样窗口宽度 = $(\text{SYSCLK 周期}) \times 5$ ，如果 $\text{QUALPRD} = 0$

图 7-32 显示了通用输入时序。

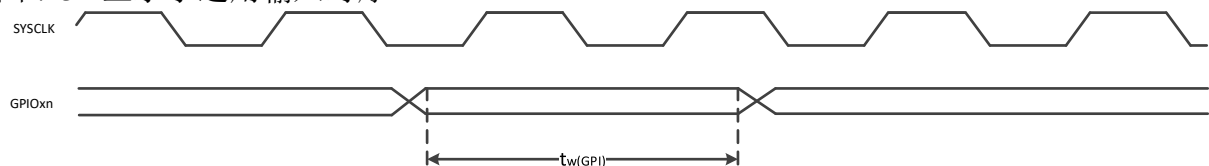


图 7-32. 通用输入时序

中断

DSP 拥有十四个外设中断线。其中两个（INT13 和 INT14）分别直接连接到 DSP 定时器 1 和 2。其余十二个通过增强型外设中断扩展（ePIE）模块连接到外设中断信号。ePIE 模块将多达十六个外设中断多路复用到每个 DSP 中断线，并且扩展向量表以允许每个中断拥有自己的 ISR。这使得 DSP 能够支持大量的外设。

中断路径分为三个阶段——外设、ePIE 和 DSP。每个阶段都有自己的启用和标志寄存器。此系统允许 DSP 在处理一个中断的同时，其他中断处于待定状态，通过软件实现和优先化嵌套中断，并在执行某些关键任务时禁用中断。

图 7-33 显示了该设备的中断架构。

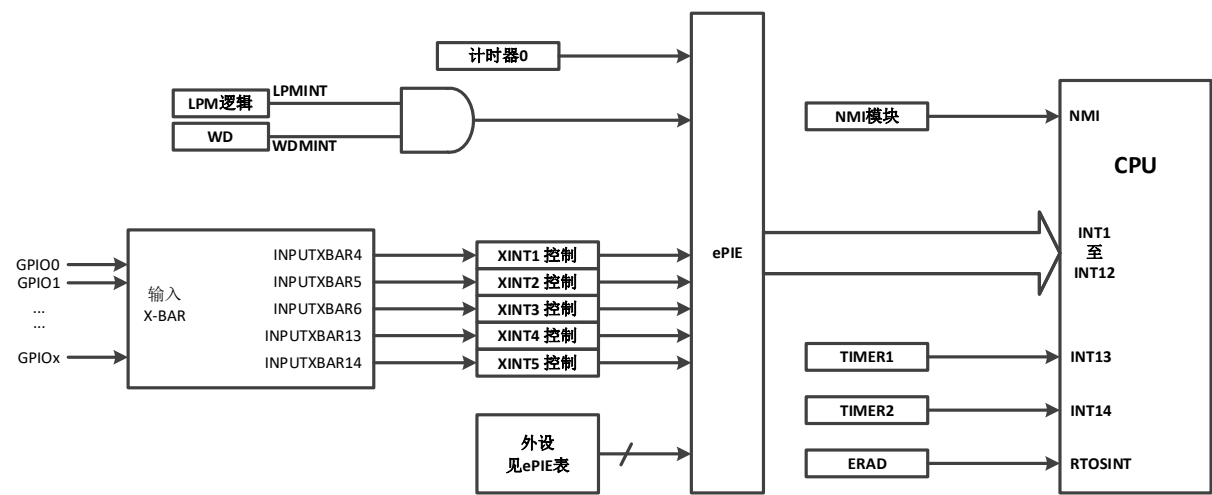


图 7-33.设备中断的体系结构

外部中断（XINT）电气数据和时序

外部中断时序要求

			最小值	最大值	单位
t _w (INT)	脉冲持续时间，INT 输入低/高	同步	2t _c (SYSCCLK)		周期
		带限定符 ⁽¹⁾	t _w (IQSW) + t _w (SP) + 1t _c (SYSCCLK)		

外部中断切换特性

超出推荐的操作条件（除非另有说明）

参数		最小值	最大值	单位
$t_{d(INT)}$	延迟时间，从 INT 低/高到中断向量获取 ⁽¹⁾	$t_{w(IQSW)} + 14t_{c(SYSCCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCCLK)}$	周期

(1) 这假设 ISR 位于单周期内存中。

中断时序图

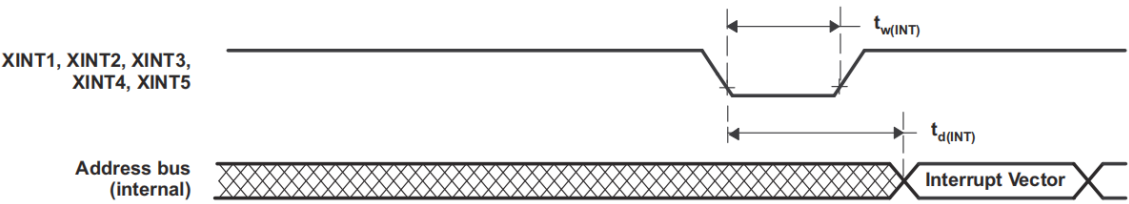


图 7-34. 外部中断时序

低功耗模式

该设备具有 HALT 和 IDLE 两种时钟门控低功耗模式。该设备不支持 STANDBY 模式。

所有低功耗模式的进一步细节以及进入和退出程序可以在手册的低功耗模式部分找到。

时钟门控低功耗模式

该设备的 IDLE 和 HALT 模式与其他设备上的模式相似。表 7-12 描述了在进入任何时钟门控低功耗模式时对系统的影响。

表 7-12. 时钟门控低功耗模式对设备的影响

模块/时钟域	IDLE	HALT
SYSCLK	有效	门控
DSPCLK	门控	门控
连接到 PERx.SYSCLK 的模块时钟	有效	门控
WDCLK	有效	如果 CLKSRCCTL1.WDHALTI = 0，则为门控
PLL	供电	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
Flash ⁽¹⁾	供电	供电
XTAL ⁽²⁾	供电	供电

(1) Flash 模块在任何低功耗模式下都不会被硬件断电。如果应用需要，可以使用软件断电。

(2) 在任何低功耗模式下，XTAL 都不会被硬件断电。可以通过将 XTALCR.OSCOFF 位设置为 1 来通过软件断电。

如果在应用程序中不需要 XTAL，可以在任何时候执行此操作。

低功耗模式唤醒时序

IDLE模式时序要求

		最小值	最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定符 ⁽¹⁾	$2t_c(SYSCLK)$	周期
		带输入限定符 ⁽¹⁾	$2t_c(SYSCLK) + t_{w(IQSW)}$	

(1) 关于输入限定符参数的解释，请参见节通用输入时序要求。

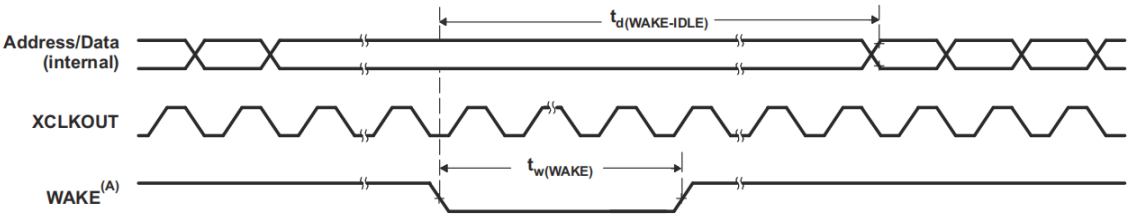
IDLE模式切换特性

超出推荐的操作条件（除非另有说明）

参数		测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，从外部唤醒信号到程序执行恢复 ⁽²⁾				周期
	● 从Flash唤醒 - Flash 模块处于活动状态	无输入限定符 ⁽¹⁾		$40t_c(SYSCLK)$	
		带输入限定符 ⁽¹⁾		$40t_c(SYSCLK) + t_{w(WAKE)}$	
	● 从Flash唤醒 - Flash 模块处于休眠状态	无输入限定符 ⁽¹⁾		$6700t_c(SYSCLK)^{(3)}$	
		带输入限定符 ⁽¹⁾		$6700t_c(SYSCLK)^{(3)} + t_{w(WAKE)}$	
	● 从RAM唤醒	无输入限定符 ⁽¹⁾		$25t_c(SYSCLK)$	
		带输入限定符 ⁽¹⁾		$25t_c(SYSCLK) + t_{w(WAKE)}$	

- (1) 关于输入限定符参数的解释，请参见节通用输入时序要求。
- (2) 这是开始执行紧接在 IDLE 指令之后的指令所需的时间。执行一个 ISR（由唤醒信号触发）涉及额外的延迟。
- (3) 这个值基于 Flash 电源启动时间，这是 SYSCLK 频率、Flash 等待状态（RWAIT）和 FPAC1[PSLEEP]的函数。

IDLE模式时序图



A. WAKE 可以是任何使能的中断、WDINT 或 XRSn。在执行 IDLE 指令后，需要至少五个 OSCCLK 周期的延迟才能发出唤醒信号。

图 7-35. IDLE 进入和退出时序图

HALT模式时序要求

	最小值	最大值	单位
$t_{w(WAKE-GPIO)}$ 脉冲持续时间, GPIO 唤醒信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$ 脉冲持续时间, XRSn 唤醒信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		周期

(1) 对于使用X1/X2作为振荡器时钟（OSCCLK）的应用，用户必须根据电路/布局外部的特定情况来表征其振荡器的启动时间。更多信息请参见晶体振荡器电气特性。对于使用INTOSC1或INTOSC2作为振荡器时钟（OSCCLK）的应用，请参阅内部振荡器部分以了解 t_{oscst} 。振荡器启动时间不适用于在X1引脚上使用单端晶体的应用，因为它是在设备外部供电的。

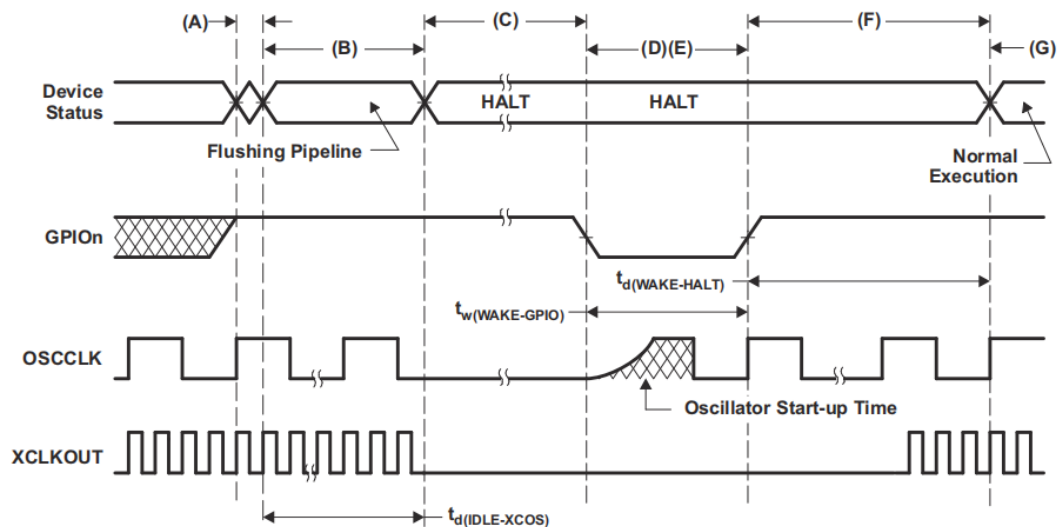
HALT模式切换特性

超出推荐的操作条件（除非另有说明）

参数		最小值	最大值	单位
$t_d(IDLE-XCOS)$	延迟时间, 从执行 IDLE 指令到 XCLKOUT 停止		$16t_{c(INTOSC1)}$	周期
$t_d(WAKE-HALT)$	延迟时间, 从外部唤醒信号结束到 DSP 程序执行恢复			周期
	● 从闪存唤醒 - 闪存模块处于激活状态		$75t_{c(OSCCLK)}$	
	● 从闪存唤醒 - 闪存模块处于休眠状态		$17500t_{c(OSCCLK)}^{(1)}$	
	● 从RAM唤醒		$75t_{c(OSCCLK)}$	

(1) 此值基于闪存上电时间，这是SYSCLK频率、闪存等待状态（RWAIT）和FPAC1[PSLEEP]的函数。更多信息，请参见手册中的“Flash/OTP和泵功率模式及唤醒”部分。

HALT模式时序图



A. 执行 IDLE 指令使设备进入 HALT 模式。

B. LPM 模块对 HALT 信号做出响应，SYSCLK 在被关闭前会保持最多 16 个 INTOSC1 时钟周期。这个延迟使得 CPU 流水线和任何其他待处理操作能够正确刷新。

C. 外设的时钟被关闭，PLL 也被关闭。如果使用石英晶体或陶瓷谐振器作为时钟源，内部振荡器也会被关闭。设备现在处于 HALT 模式，消耗很少的功率。可以在 HALT 模式下保持零引脚内部振荡器（INTOSC1 和 INTOSC2）和看门狗运行。通过将 1 写入 CLKSRCCTL1.WDHALTI 来实现这一点。执行 IDLE 指令后，需要至少五个 OSCCLK 周期的延迟才能发出唤醒信号。

D. 当用于使设备退出 HALT 模式的 GPIO_n 引脚被拉低时，振荡器被打开，并启动振荡器唤醒序列。仅在振荡器稳定后，GPIO 引脚才应被拉高。这使得在 PLL 锁定序列期间能够提供干净的时钟信号。由于 GPIO 引脚的下降沿异步地开始唤醒过程，因此在进入和处于 HALT 模式时，应保持低噪声环境。

E. 发送到 GPIO 引脚以唤醒设备的唤醒信号必须满足最小脉冲宽度要求。此外，该信号必须没有毛刺。如果向 GPIO 引脚发送嘈杂的信号，设备的唤醒行为将不是确定的，并且设备可能不会在后续的唤醒脉冲时退出低功耗模式。

F. 当核心的 CLKIN 使能时，设备将在一些延迟后对中断（如果使能）做出响应。现在退出了 HALT 模式。

G. 恢复正常操作。

H. 用户必须在 HALT 唤醒后重新锁定 PLL，以确保 PLL 锁定稳定。

图 7-36. HALT 进入和退出时序图

模拟外设

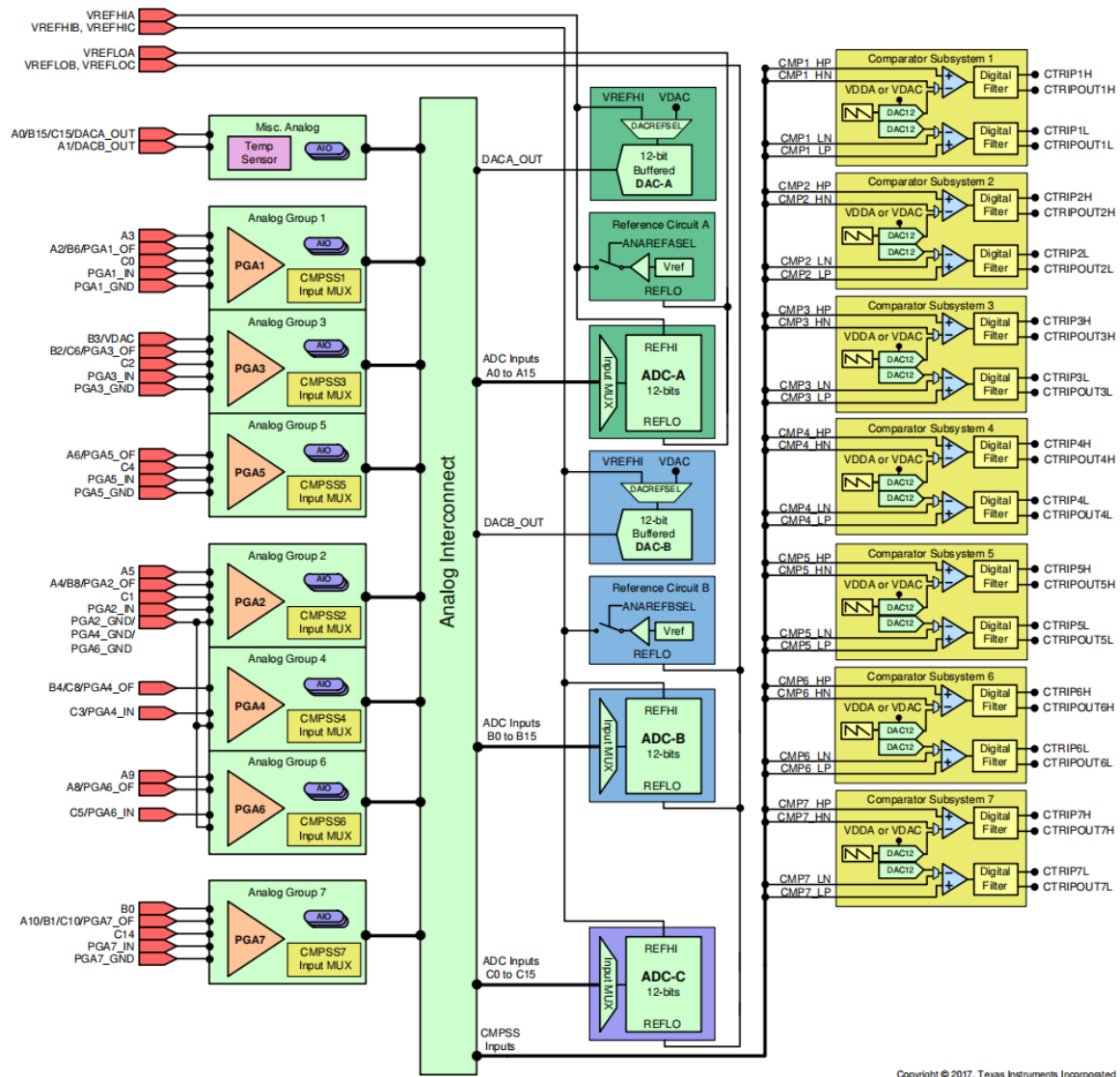
本部分描述了模拟子系统模块。

该设备上的模拟模块包括 ADC、PGA、温度传感器、缓冲 DAC 和 CMPSS。

模拟子系统具有以下特点：

- 灵活的电压参考
 - ADC参考于VREFHI_x和VREFLO_x引脚。
 - ◆ VREFHI_x引脚电压可以外部驱动或由内部带隙电压参考生成。
 - ◆ 内部电压参考范围可以选择为0 V至3.3 V或0 V至2.5 V。
- 缓冲DAC参考于VREFHI_x和VREFLO_x。
 - 或者，这些DAC可以参照VDAC引脚和VSSA。
- 比较器DAC参考于VDDA和VSSA。
 - 或者，这些DAC可以参照VDAC引脚和VSSA。
- 灵活的引脚使用
 - 缓冲DAC输出、比较器子系统输入、PGA功能和数字输入与ADC输入多路复用
 - 所有ADC上都有到VREFLO的内部连接，用于偏移自校准

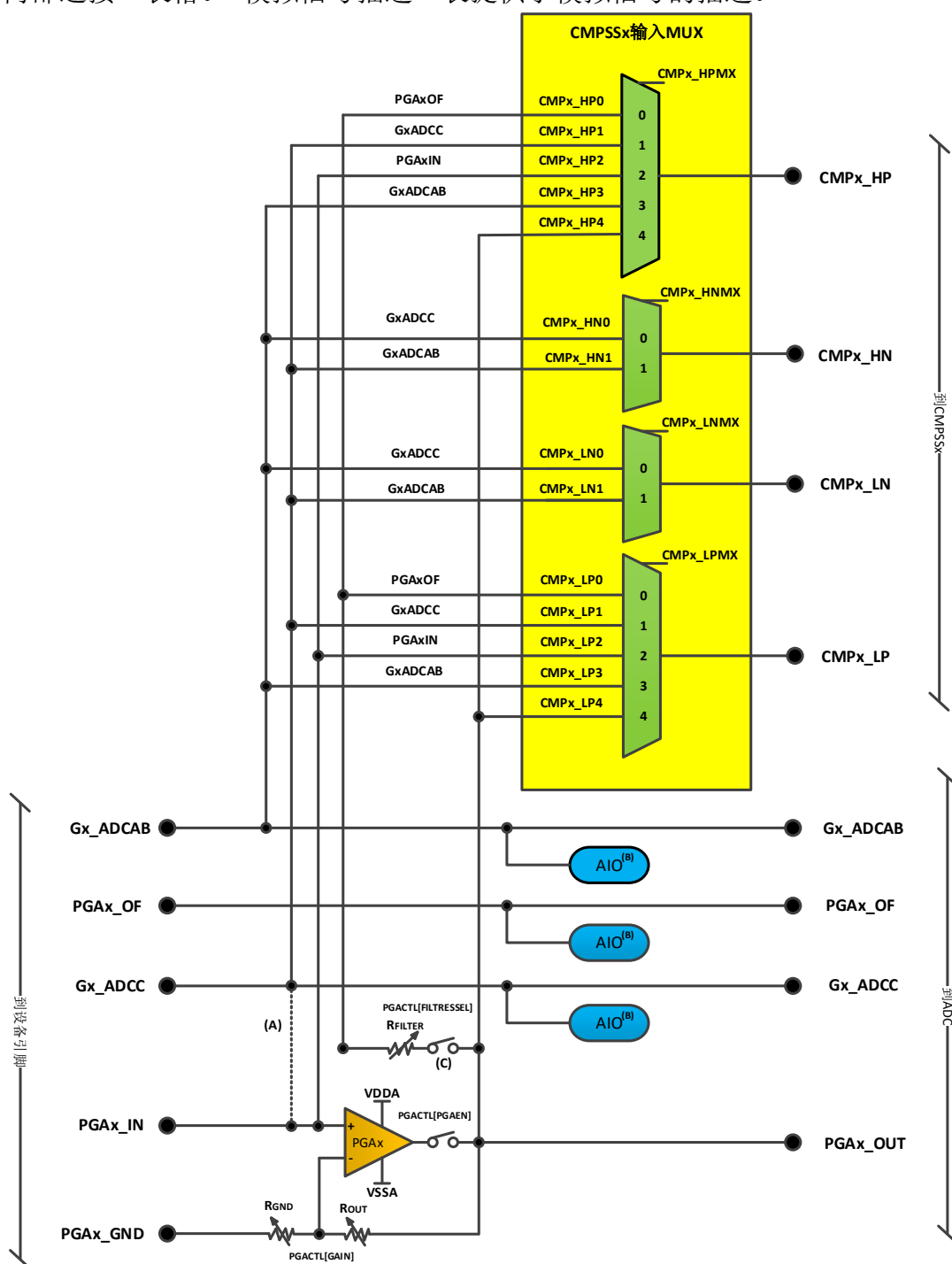
图 7-37 显示了 100 引脚 LQFP 的模拟子系统框图。



Copyright © 2017, Texas Instruments Incorporated

图 7-37. 模拟子系统框图（100 引脚 LQFP）

图 7-40 展示了模拟组连接。每个封装的每个组的具体连接信息，请参考“模拟引脚和内部连接”表格。“模拟信号描述”表提供了模拟信号的描述。



- A. 在低引脚数封装中，Gx_ADCC 的输入将与 PGA 输入共享一个引脚。如果未使用 PGA 输入，则 ADCC 输入允许该引脚用作 ADC 输入、负比较器输入或数字输入。
- B. AIOs 仅支持数字输入模式。
- C. 在某些设备版本上不可用 PGA RFILTER 路径。

图 7-40. 模拟组连接

表 7-13. 模拟引脚与内部连接

PIN 名称	组名	封装 始终连接(NO MUX)						比较器子系统 (MUX)				AIO 输入
		100 引脚	ADCA	ADCB	ADCC	PGA	DAC	高正性	高负性	低正性	低负性	
VREFHIA	-	25										
VREFHIB	-	24										
VREFHIC	-											
VREFLOA	-	27	A13									
VREFLOB	-	26		B13								
VREFLOC	-				C13							
模拟组 1								CMP1				
A3	G1_ADCAB	10	A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSE L= 3	LNMXSE L= 0	AIO233
A2/B6/PGA1_OF	PGA1_OF	9	A2	B6		PGA1_OF		HPMXSEL = 0		LPMXSE L= 0		AIO224
C0	G1_ADCC	19			C0			HPMXSEL = 1	HNMXSEL = 1	LPMXSE L= 1	LNMXSE L= 1	AIO237
PGA1_IN	PGA1_IN	18				PGA1_IN		HPMXSEL = 2		LPMXSE L= 2		
PGA1_GND	PGA1_GND	14				PGA1_GN D						
-	PGA1_OUT		A11	B7		PGA1_OU T		HPMXSEL = 4		LPMXSE L= 4		
模拟组 2								CMP2				
A5	G2_ADCAB	35	A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSE L= 3	LNMXSE L= 0	AIO234
A4/B8/PGA2_OF	PGA2_OF	36	A4	B8		PGA2_OF		HPMXSEL = 0		LPMXSE L= 0		AIO225
C1	G2_ADCC	29			C1			HPMXSEL = 1	HNMXSEL = 1	LPMXSE L= 1	LNMXSE L= 1	AIO238
PGA2_IN	PGA2_IN	30				PGA2_IN		HPMXSEL = 2		LPMXSE L= 2		
PGA2_GND	PGA2_GND	32				PGA2_GN D						
-	PGA2_OUT		A12	B9		PGA2_OU T		HPMXSEL = 4		LPMXSE L= 4		
模拟组 3								CMP3				
B3/VDAC	G3_ADCAB	8		B3			VDA C	HPMXSEL = 3	HNMXSEL = 0	LPMXSE L= 3	LNMXSE L= 0	AIO242
B2/C6/PGA3_OF	PGA3_OF	7		B2	C6	PGA3_OF		HPMXSEL = 0		LPMXSE L= 0		AIO226
C2	G3_ADCC	21			C2			HPMXSEL = 1	HNMXSEL = 1	LPMXSE L= 1	LNMXSE L= 1	AIO244
PGA3_IN	PGA3_IN	20				PGA3_IN		HPMXSEL = 2		LPMXSE L= 2		

表 7-13. 模拟引脚与内部连接（续）

PIN 名称	组名	封装	始终连接(NO MUX)					比较器子系统 (MUX)				AIO 输入
		100 引脚	ADCA	ADCB	ADCC	PGA	DAC	高正性	高负性	低正性	低负性	
PGA3_GND	PGA3_GND	15				PGA3_G N D						
-	PGA3_OUT			B10	C7	PGA3_O U T		HPMXSEL= 4		LPMXSE L= 4		
模拟组 4								CMP4				
B5	G4_ADCAB			B5				HPMXSEL= 3	HNMXSE L= 0	LPMXSE L= 3	LNMXS EL= 0	AIO243
B4/C8/PGA4_OF	PGA4_OF	39		B4	C8	PGA4_OF		HPMXSEL= 0		LPMXSE L= 0		AIO227
C3	G4_ADCC				C3			HPMXSEL= 1	HNMXSE L= 1	LPMXSE L= 1	LNMXS EL= 1	AIO245
PGA4_IN	PGA4_IN	31				PGA4_IN		HPMXSEL= 2		LPMXSE L= 2		
PGA4_GND	PGA4_GND	32				PGA4_G N D						
-	PGA4_OUT			B11	C9	PGA4_O U T		HPMXSEL= 4		LPMXSE L= 4		
模拟组 5								CMP5				
A7	G5_ADCAB		A7					HPMXSEL= 3	HNMXSE L= 0	LPMXSE L= 3	LNMXS EL= 0	AIO235
A6/PGA5_OF	PGA5_OF	6	A6			PGA5_OF		HPMXSEL= 0		LPMXSE L= 0		AIO228
C4	G5_ADCC	17			C4			HPMXSEL= 1	HNMXSE L= 1	LPMXSE L= 1	LNMXS EL= 1	AIO239
PGA5_IN	PGA5_IN	16				PGA5_IN		HPMXSEL= 2		LPMXSE L= 2		
PGA5_GND	PGA5_GND	13				PGA5_G N D						
-	PGA5_OUT		A14			PGA5_O U T		HPMXSEL= 4		LPMXSE L= 4		
模拟组 6								CMP6				
A9	G6_ADCAB	38	A9					HPMXSEL= 3	HNMXSE L= 0	LPMXSE L= 3	LNMXS EL= 0	AIO236
A8/PGA6_OF	PGA6_OF	37	A8			PGA6_OF		HPMXSEL= 0		LPMXSE L= 0		AIO229
C5	G6_ADCC				C5			HPMXSEL= 1	HNMXSE L= 1	LPMXSE L= 1	LNMXS EL= 1	AIO240
PGA6_IN	PGA6_IN	28				PGA6_IN		HPMXSEL= 2		LPMXSE L= 2		
PGA6_GND	PGA6_GND	32				PGA6_G N D						

表 7-13. 模拟引脚与内部连接（续）

PIN 名称	组名	封装	始终连接(NO MUX)					比较器子系统 (MUX)				AIO 输入
		100 引脚	ADCA	ADCB	ADCC	PGA	DAC	高正性	高负性	低正性	低负性	
-	PGA6_OUT		A15			PGA6_O UT		HPMXSE L= 4		LPMXSE L= 4		
模拟组 7								CMP7				
B0	G7_ADCAB	41		B0				HPMXSE L= 3	HNMXSE L= 0	LPMXSE L= 3	LNMXSE L= 0	AIO241
A10/B1/C10/PGA7_ OF	PGA7_OF	40	A10	B1	C10	PGA7_OF		HPMXSE L= 0		LPMXSE L= 0		AIO230
C14	G7_ADCC	44			C14			HPMXSE L= 1	HNMXSE L= 1	LPMXSE L= 1	LNMXSE L= 1	AIO246
PGA7_IN	PGA7_IN	43				PGA7_IN		HPMXSE L= 2		LPMXSE L= 2		
PGA7_GND	PGA7_GND	42				PGA7_G ND						
-	PGA7_OUT			B12	C11	PGA7_O UT		HPMXSE L= 4		LPMXSE L= 4		
Other Analog												
A0/B15/C15/DACA_ OUT		23	A0	B15	C15		DACA_O UT					AIO231
A1/DACB_OUT		22	A1				DACB_O UT					AIO232
C12					C12							AIO247
-	TempSensor			B14								

表 7-14. 模拟信号描述

信号名称	描述
AIOx	ADC 引脚上的数字输入
Ax	ADC A 输入
Bx	ADC B 输入
Cx	ADC C 输入
CMPx_DACH	比较器子系统高 DAC 输出
CMPx_DACL	比较器子系统低 DAC 输出
CMPx_HNy	比较器子系统高比较器的负输入
CMPx_HPy	比较器子系统高比较器的正输入
CMPx_LNy	比较器子系统低比较器的负输入
CMPx_LPy	比较器子系统低比较器的正输入
DACx_OUT	缓冲 DAC 输出
PGAx_GND	PGA 地线
PGAx_IN	PGA 输入
PGAx_OF	滤波器的 PGA 输出
PGAx_OUT	PGA 输出到内部 ADC
TempSensor	内部温度传感器
VDAC	可选外部参考电压供片上 DACs 使用。此引脚与 VSSA 之间有一个 100-pF 的电容器，无论用于 ADC 输入还是 DAC 参考，该电容都不能禁用。如果此引脚用作片上 DACs 的参考，请在此引脚上放置至少一个 1-μF 的电容器。

模拟-数字转换器（ADC）

本文所述的 ADC 模块是一个分辨率为 12 位的逐次逼近（SAR）型 ADC。这一部分将转换器的模拟电路称为“核心”，包括通道选择多路复用器、采样保持（S/H）电路、逐次逼近电路、电压参考电路以及其他模拟支持电路。转换器的数字电路被称为“包装器”，包括可编程转换逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及与其他片上模块的接口。

每个 ADC 模块包含一个单一的采样保持（S/H）电路。ADC 模块被设计为在同一芯片上多次复制，允许多个 ADC 同时采样或独立操作。

每个 ADC 都具有以下特点：

- 分辨率为12位
- 由VREFHI/VREFLO设置的比例式外部参考
- 可选的2.5 V或3.3 V内部参考
- 单端信号传输
- 具有多达16个通道的输入多路复用器
- 16个可配置的SOCs
- 16个独立寻址的结果寄存器
- 多个触发源
 - S/W：软件立即启动
 - 所有ePWMs：ADCSOC A或B
 - GPIO XINT2
 - DSP定时器0/1/2
 - ADCINT1/2
- 四个灵活的PIE中断
- 突发模式触发选项
- 四个后处理模块，每个模块包括：
 - 饱和偏移校准
 - 设定点误差计算
 - 高、低和零交叉比较，具有中断和ePWM触发功能
 - 从触发到采样延迟捕获

ADC 核心和 ADC 包装器的框图如图 7-41 所示。

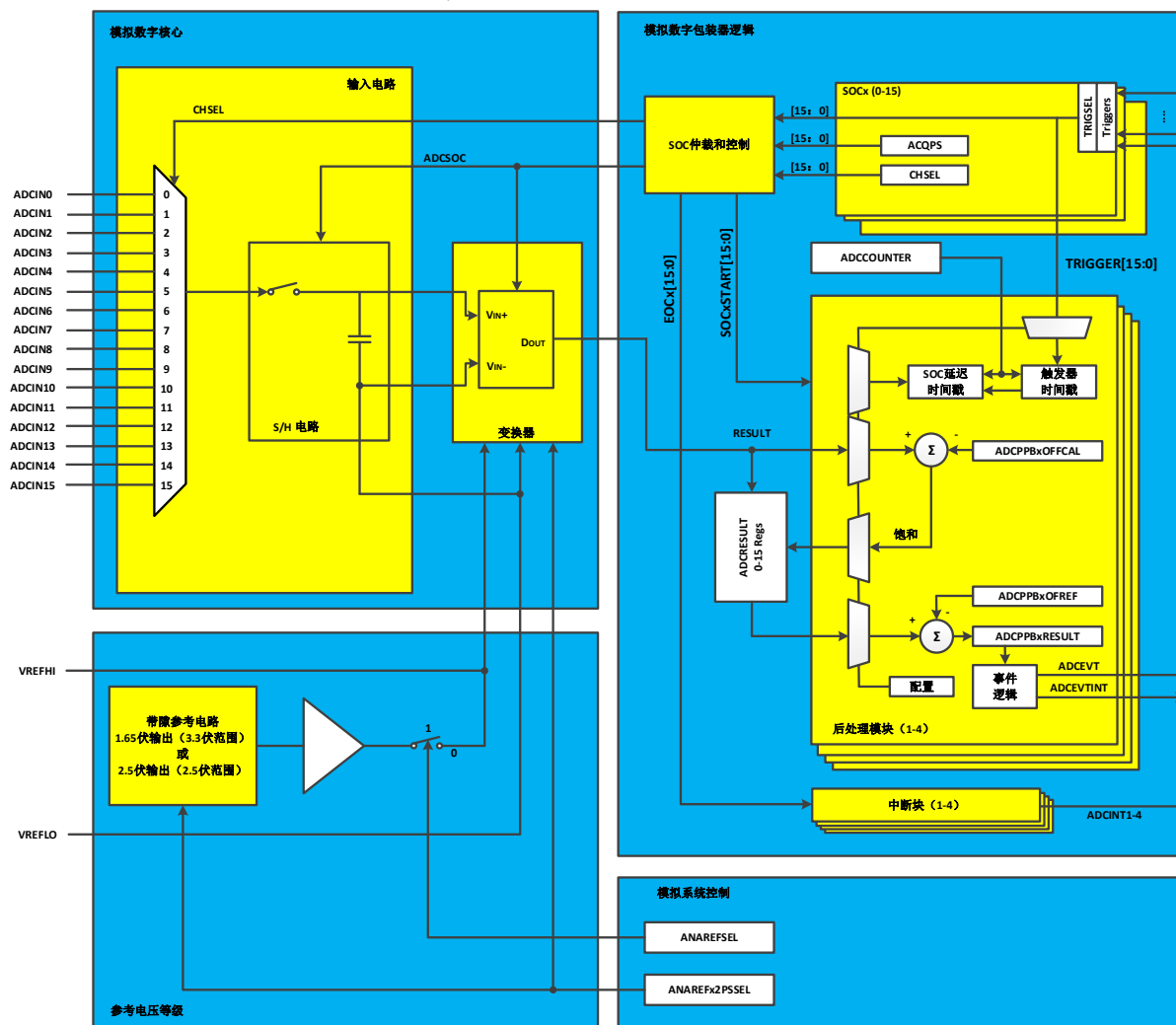


图 7-41. ADC 模块框图

结果寄存器映射

ADC 结果和 ADC PPB 结果在系统中的每个存储器总线控制器上都有副本。总线控制器包括特定系列和编号部件上的 DSP、CLA 和 DMA。对于每个总线控制器，无需配置即可读取结果寄存器，并且即使多个总线控制器同时尝试读取 ADC 结果，也不会发生冲突。

ADC 可配置性

某些 ADC 配置由 SOC 单独控制，而其他配置则按每个 ADC 模块全局控制。表 7-15 总结了基本的 ADC 选项及其配置级别。

表 7-15. ADC 选项和配置级别

选项	可配置性
时钟	按模块 ⁽¹⁾
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
参考电压源	按模块
触发源	按 SOC ⁽¹⁾
转换通道	按 SOC
采集窗口持续时间	按 SOC ⁽¹⁾
EOC 位置	按模块
突发模式	按模块 ⁽¹⁾

(1) 向不同的 ADC 模块写入这些值的不同可能会导致 ADC 异步操作。关于 ADC 何时同步或异步操作的指导，请参阅模拟-数字转换器（ADC）章节的“确保同步操作”部分。

信号模式

ADC 支持单端信号模式。在单端模式下，转换器的输入电压通过单个引脚（ADCINx）采样，参考电压为 VREFLO。图 7-42 显示了单端信号模式。

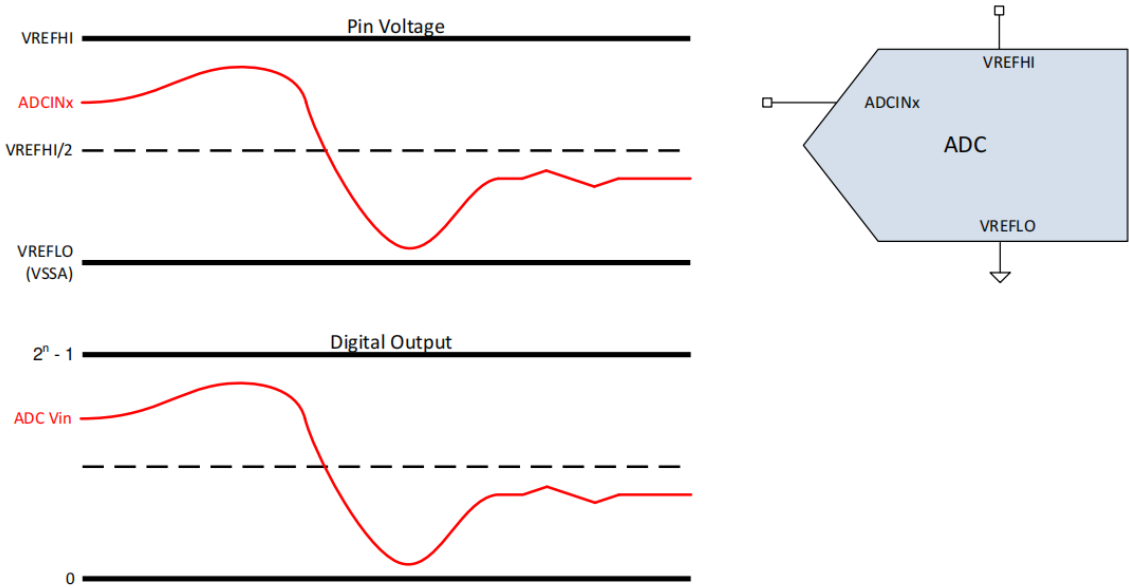


图 7-42. 单端信号模式

ADC电气数据和时序

表 5-41 列出了 ADC 的操作条件。表 5-42 列出了 ADC 的电气特性。

ADC操作条件

超过工作空气温度范围（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
ADCCLK（来自 PERx.SYSCLK）		5		50	MHz
采样率	100-MHz SYSCLK			3.45	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置） ⁽¹⁾	50 Ω 或更小的 R _s	75			ns
VREFHI	外部参考	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽²⁾	内部参考=3.3V 范围		1.65		V
	内部参考=2.5V 范围		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI - VREFLO	外部参考	2.4		VDDA	V
转换范围	内部参考=3.3 V 范围	0		3.3	V
	内部参考=2.5 V 范围	0		2.5	V
	外部参考	VREFLO		VREFHI	V

(1) 为了确保 ADC 正确操作，采样窗口的长度至少必须为 1 个 ADCCLK 周期。

(2) 在内部参考模式下，设备会从 VREFHI 引脚输出参考电压。用户在此模式下不应向该引脚输入电压。

ADC特性

超出工作自由空气温度范围（除非另有说明）

参数	试验条件	最小值	标称值	最大值	单位
通用					
ADCCLK 转换周期	100-MHz SYSCLK	10.1		11	ADCCLKs
上电时间	外部参考模式			500	μs
	内部参考模式			5000	μs
	内部参考模式，当在 2.5V 范围和 3.3V 范围之间切换时。			5000	μs
VREFHI 输入电流 ⁽¹⁾			130		μA
内部参考电容器值 ⁽²⁾		2.2			μF
外部参考电容器值 ⁽²⁾		2.2			μF
直流特性					
增益误差	内部参考	-45		45	LSB
	外部参考	-5	±3	5	
偏移误差		-5	±2	5	LSB
通道间增益误差			±2		LSB
通道间偏移误差			±2		LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 相同		±4		LSB
ADC 间偏移误差	所有 ADC 的 VREFHI 和 VREFLO 相同		±2		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5 V，同步 ADC	-1		1	LSBs
	VREFHI = 2.5 V，异步 ADC		不支持		
交流特性					
SNR ⁽³⁾	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1		68.8		dB
	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1		60.1		
	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1，VDD 由内部 DC-DC 调节器供电 ⁽⁴⁾		67.5		
THD ⁽³⁾	VREFHI = 2.5 V，f _{in} = 100 kHz		-80.6		dB
SFDR ⁽³⁾	VREFHI = 2.5 V，f _{in} = 100 kHz		79.2		dB
SINAD ⁽³⁾	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1		68.5		dB
	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 INTOSC		60.0		
ENOB ⁽³⁾	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1，单 ADC		11.0		bits
	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1，同步 ADC		11.0		
	VREFHI = 2.5 V，f _{in} = 100 kHz，SYSCLK 来自 X1，异步 ADC		不支持		

ADC特性（续）

超出工作自由空气温度范围（除非另有说明）

参数	试验条件	最小值	标称值	最大值	单位
PSRR	VDD = 1.2V DC + 100mV DC 至 1kHz 的正弦波		60		dB
	VDD = 1.2V DC + 100mV DC 至 300kHz 的正弦波		57		
	VDDA = 3.3V DC + 200mV DC 至 1kHz 的正弦波		60		
	VDDA = 3.3V DC + 200mV 900kHz 的正弦波		57		

- (1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 优先选择封装尺寸为 0805 或更小的陶瓷电容器。允许容差达到±20%。
- (3) 作为最佳实践的一部分，在靠近 ADC 输入和 VREFHI 引脚的引脚上，将 IO 活动减至最少，以减少电容耦合和串扰。
- (4) DCDC 调节器对 ADC 的噪声影响将强烈依赖于 PCB 布局。

ADC输入模型

ADC 的输入特性见表 7-16 和图 7-43。

表 7-16 输入模型参数

	描述	参考模式	数值
C _p	寄生输入电容	全部	请参考表 7-17
R _{on}	采样开关电阻	外部参考，2.5V 内部参考	500 Ω
		3.3V 内部参考	860 Ω
C _h	采样电容器	外部参考，2.5V 内部参考	12.5 pF
		3.3V 内部参考	7.5 pF
R _s	标称源阻抗	全部	50 Ω

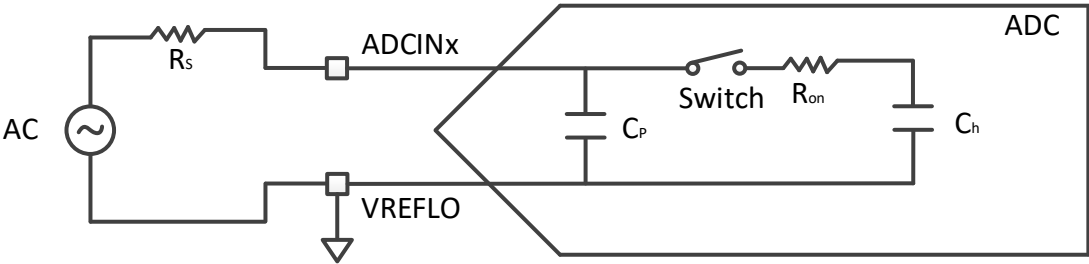


图 7-43 输入模型

此输入模型应与实际信号源阻抗一起使用，以确定采集窗口持续时间。有关更多信息，请参阅模拟到数字转换器（ADC）章节的选择采集窗口持续时间部分。

表 7-17 列出了每个通道上的寄生电容。

表 7-17. 每个通道的寄生电容

ADC 通道	C _p (pF)	
	比较器禁用	比较器启用
ADCINA0	12.7	15.2
ADCINA1	13.7	16.2
ADCINA2	9.2	11.7
ADCINA3	6.9	9.4
ADCINA4	9.2	11.7
ADCINA5	7.5	10
ADCINA6	8.0	10.5
ADCINA7	7.0	9.5
ADCINA8	10.0	12.5
ADCINA9	8.1	10.6
ADCINA10	9.3	11.8
ADCINB0	7.1	9.6
ADCINB1	9.3	11.8
ADCINB2	9.6	12.1
ADCINB3 ⁽¹⁾	125.6	128.1
ADCINB4	8.8	11.3
ADCINB5	7.1	9.6
ADCINB6	9.2	11.7
ADCINB8	9.2	11.7
ADCINB15	12.7	15.2
ADCINC0	6.4	8.9
ADCINC1	6.1	8.6
ADCINC2	5.24	7.74
ADCINC3	5.5	8
ADCINC4	6.2	8.7
ADCINC5	5.6	8.1
ADCINC6	9.6	12.1
ADCINC8	8.8	11.3
ADCINC10	9.3	11.8
ADCINC12	4.1	6.6
ADCINC14	4.5	7
ADCINC15	12.7	15.2

(1) 此引脚也用于为 COMPDAC 和 GPDAC 提供参考电压，并且包括一个内部去耦电容。

ADC时序图

图 7-44 展示了在以下假设条件下两个 SOC 的 ADC 转换时序：

- SOC0和SOC1被配置为使用相同的触发源。
- 当触发发生时，没有其他SOC正在转换或等待转换。
- 轮询指针处于一个状态，使得SOC0首先进行转换。
- ADCINTSEL被配置为在SOC0转换结束时设置ADCINT标志（无论此标志是否通过PIE模块传递给DSP以引起中断，取决于PIE模块中的配置）。

表 7-18 列出了 ADC 时序参数的描述。表 7-19 列出了 ADC 的时序。

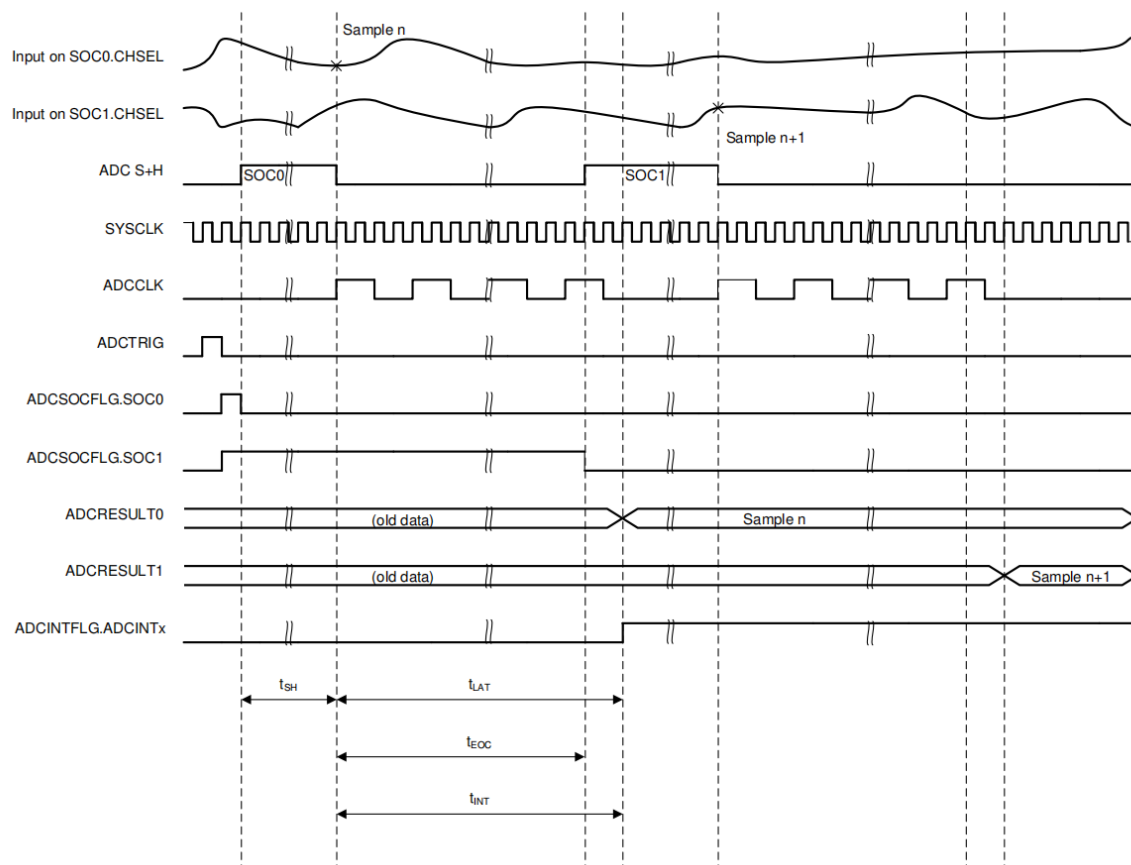


图 7-44. ADC 时序图

表 7-18. ADC 时序参数

参数	描述
t_{SH}	采样保持窗口的持续时间。 在此窗口结束时，S+H 电容器上的值变为要转换为数字值的电压。持续时间由 $(ACQPS + 1) \text{ SYSCLK}$ 周期给出。可以为每个 SOC 单独配置 ACQPS，因此不同 SOC 的 t_{SH} 不一定相同。 注意：无论设备时钟设置如何，S+H 电容器上的值将在 S+H 窗口结束前约 5 纳秒被捕获。
t_{LAT}	从采样保持窗口结束到 ADC 结果锁存在 ADCRESULTx 寄存器中的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，将返回先前的转换结果。
t_{EOC}	从采样保持窗口结束到下一个 ADC 转换的采样保持窗口可以开始的时间。在转换结果被锁存之前，后续样本可以开始。
t_{INT}	从采样保持窗口结束到设置 ADCINT 标志的时间（如果已配置）。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被设置， t_{INT} 将与转换结果被锁存到结果寄存器中的时间相吻合。 如果 INTPULSEPOS 位为 0， t_{INT} 将与采样保持窗口的结束相吻合。如果 t_{INT} 触发了对 ADC 结果寄存器的读取（直接通过 DMA 或间接通过触发读取结果的 ISR），则需注意确保读取发生在结果锁存之后（否则，将读取先前的结果）。 如果 INTPULSEPOS 位为 0，且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前将有 OFFSET SYSCLK 周期的延迟。此延迟可用于在样本准备就绪时精确进入 ISR 或触发 DMA。

表 7-19. ADC 时序

ADCCLK 预分频		SYSCLK 周期数				ADCCLK 周期数
ADCCTL2 [PRESCALE]	ADCCLK 与 SYSCLK 的比率	t_{EOC}	t_{LAT}	$t_{INT(EARLY)}^{(1)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11
2	2	21	23	1	21	10.5
4	3	31	34	1	31	10.3
6	4	41	44	1	41	10.3
8	5	51	55	1	51	10.2
10	6	61	65	1	61	10.2
12	7	71	76	1	71	10.1
14	8	81	86	1	81	10.1

(1) 默认情况下，如果 INTPULSEPOS 为 0， t_{INT} 将在 S+H 窗口后一个 SYSCLK 周期发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来更改。

可编程增益放大器 (PGA)

可编程增益放大器（PGA）用于放大输入电压，目的是提高下游 ADC 和 CMPSS 模块的有效分辨率。

集成的 PGA 有助于减少许多控制应用的成本和设计工作，这些应用传统上需要外部、独立的放大器。片上集成确保了 PGA 与下游的 ADC 和 CMPSS 模块兼容。可通过软件选择的增益和滤波器设置使得 PGA 能够适应各种性能需求。

PGA 具有以下特点:

- 四个可编程增益模式：3倍、6倍、12倍、24倍
- 由VDDA和VSSA内部供电
- 支持使用PGA_GND引脚进行Kelvin接地连接
- 内置串联电阻用于RC滤波

PGA 中的有源元件是一个嵌入式运算放大器（运放），它被配置为具有内部反馈电阻的同相放大器。这些内部反馈电阻值是成对出现的，以产生可通过软件选择的电压增益。

设备引脚上有三个 PGA 信号可用:

- PGA_IN是PGA运放的正输入。应用到这个引脚的信号将被PGA放大。
- PGA_GND是PGA_IN信号的Kelvin接地参考。理想情况下，PGA_GND参考等于VSSA；然而，PGA可以容忍与VSSA的小电压偏移。
- PGA_OF支持使用RC组件进行运放输出滤波。滤波后的信号可供内部ADC和CMPSS模块采样和监控。

PGA_OUT 是运放输出处的一个内部信号。它可供内部 ADC 和 CMPSS 模块进行采样和监控。图 7-45 显示了 PGA 的框图。

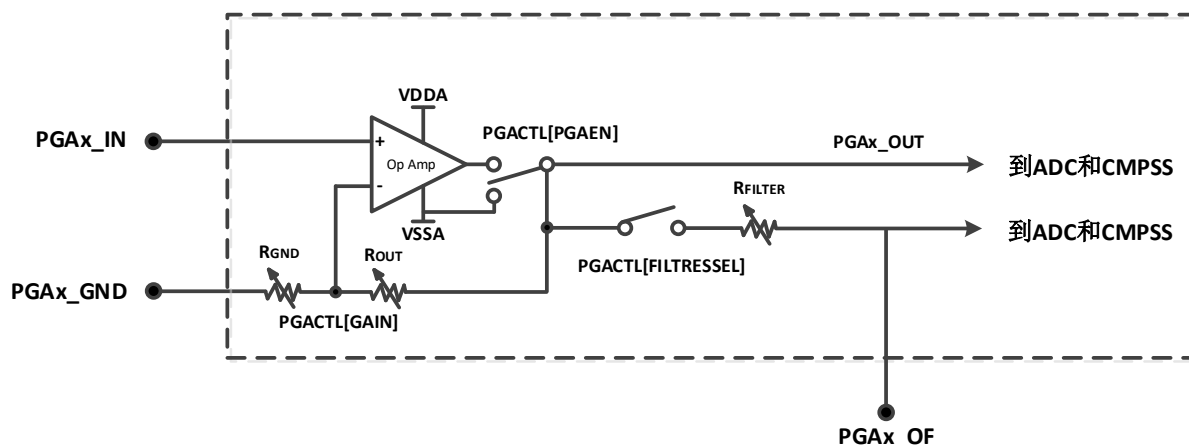


图 7-45. PGA 框图

PGA电气数据和时序

PGA工作条件

超过推荐的工作条件（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
PGA 输出范围 ⁽¹⁾		VSSA + 0.35		VDDA – 0.35	V
PGA GND 范围		–50		200	mV
最小 ADC S+H (无滤波器；增益=3、6、12)	在±1 ADC LSB 精度内稳定	160			ns
最小 ADC S+H (无滤波器；增益=24)	在±2 ADC LSB 精度内稳定	200			ns

(1) 这是PGA的线性输出范围。PGA可以输出超出此范围的电压，但电压将不会是线性的。

PGA特性

超过推荐的工作条件（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
通用					
增益设置		3, 6, 12, 24			
输入偏置电流		2			nA
短路电流		35			mA
全量程阶跃响应（无滤波器）	在 ± 2 ADC LSB（最小可检测信号）精度内稳定	450			ns
稳定时间	增益切换	10			μ s
摆率	Gain = 3	15	20	V/ μ s	
	Gain = 6	31	37	V/ μ s	
	Gain = 12	61	73	V/ μ s	
	Gain = 24	78	98	V/ μ s	
R _{GND}	Gain = 3	9			k Ω
	Gain = 6	4.5			k Ω
	Gain = 12	2.25			k Ω
	Gain = 24	1.125			k Ω
R _{OUT}	Gain = 3	18			k Ω
	Gain = 6	22.5			k Ω
	Gain = 12	24.75			k Ω
	Gain = 24	25.875			k Ω
R _{FILT}	Gain = 3	40	Ω		
	Gain = 6	50			
	Gain = 12	80			
	Gain = 24	100			
滤波器电阻目标	R _{FILT} = 200 Ω	145	190	234	Ω
	R _{FILT} = 160 Ω	117	153	188	Ω
	R _{FILT} = 130 Ω	95	125	154	Ω
	R _{FILT} = 100 Ω	71	96	120	Ω
	R _{FILT} = 80 Ω	55	77	98	Ω
	R _{FILT} = 50 Ω	31	49	66	Ω
上电时间		500			μ s

PGA特性（续）

超过推荐的工作条件（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
DC 特性⁽⁵⁾					
增益误差 ⁽¹⁾	Gain = 3, 6, 12	−0.5		0.5	%
	Gain = 24	−0.8		0.8	%
增益温度系数			±0.004		%/C
偏移误差 ⁽²⁾	输入端参考	−1.5		1.5	mV
偏移温度系数	输入端参考		±5.5		μV/C
DC 码扩散			2.5		12b LSB
AC 特性					
带宽 ⁽³⁾	Gain = 3（小信号）		30		MHz
	Gain = 6（小信号）		27		MHz
	Gain = 12（小信号）		13		MHz
	Gain = 24（小信号）		9		MHz
	Gain = 3（大信号）		15		MHz
	Gain = 6（大信号）		14		MHz
	Gain = 12（大信号）		9		MHz
	Gain = 24（大信号）		6		MHz
THD ⁽⁴⁾	DC		−78		dB
	最高 100 kHz		−70		dB
CMRR	DC		−60		dB
	最高 100 kHz		−50		dB
PSRR ⁽⁴⁾	DC		−75		dB
	最高 100 kHz		−50		dB
Noise PSD ⁽⁴⁾	1 kHz		200		nV/sqrt(Hz)
积分噪声（输入端） ⁽⁴⁾	3 Hz 至 30 MHz		100		μV

(1) 包括外部参考模式下的 ADC 增益误差。

(2) 包括外部参考模式下的 ADC 偏移误差。

(3) 3dB 带宽。

(4) 仅 PGA 的性能。

(5)PGA 的 DNL/INL 在 ADC 的 DNL/INL 容差范围内，因此未单独显示。

PGA典型特性图

图 7-46 显示了输入偏置电流与温度的关系。

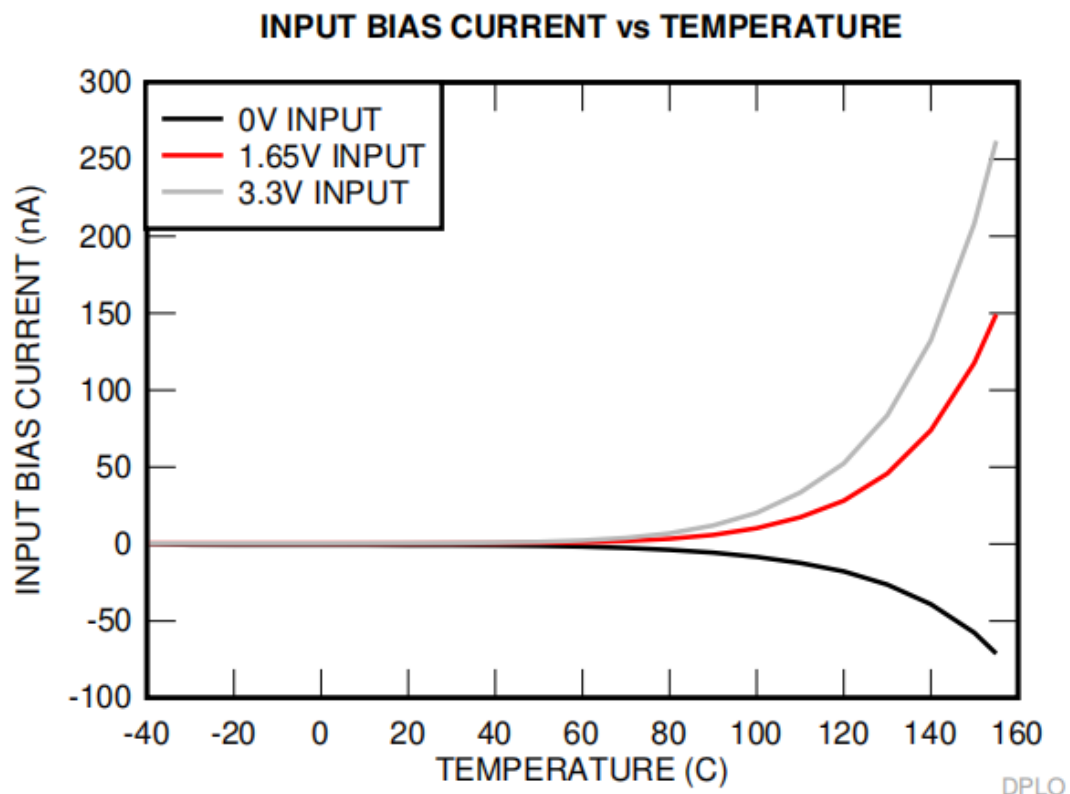


图 7-46. 输入偏置电流与温度的关系

温度传感器

温度传感器电气数据和时序特性

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过提供的软件转换为温度值。在采样温度传感器时，ADC 必须满足采集时间要求。

温度传感器特性

超过推荐的工作条件（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
T _{acc}	温度准确性	外部参考		±15		°C
t _{startup}	启动时间 (TSNSCTL[ENABLE]到 采样温度传感器)			500		μs
t _{SH}	ADC 采样保持时间		450			ns

缓冲数字到模拟转换器（DAC）

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型负载更重的负载，可以在负载大小和输出电压摆幅之间进行权衡。关于缓冲 DAC 的负载条件，请参见第 7.10.4.1 节。缓冲 DAC 是一个通用 DAC，可用于生成 DC 电压或 AC 波形，如正弦波、方波、三角波等。软件对 DAC 值寄存器的写入可以立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 都具有以下特点：

- 12位分辨率
- 可选参考电压源
- 使用内部VREFHI时的x1和x2增益模式
- 能够与EPWMSYNCO同步

缓冲 DAC 的框图如图 7-47 所示。

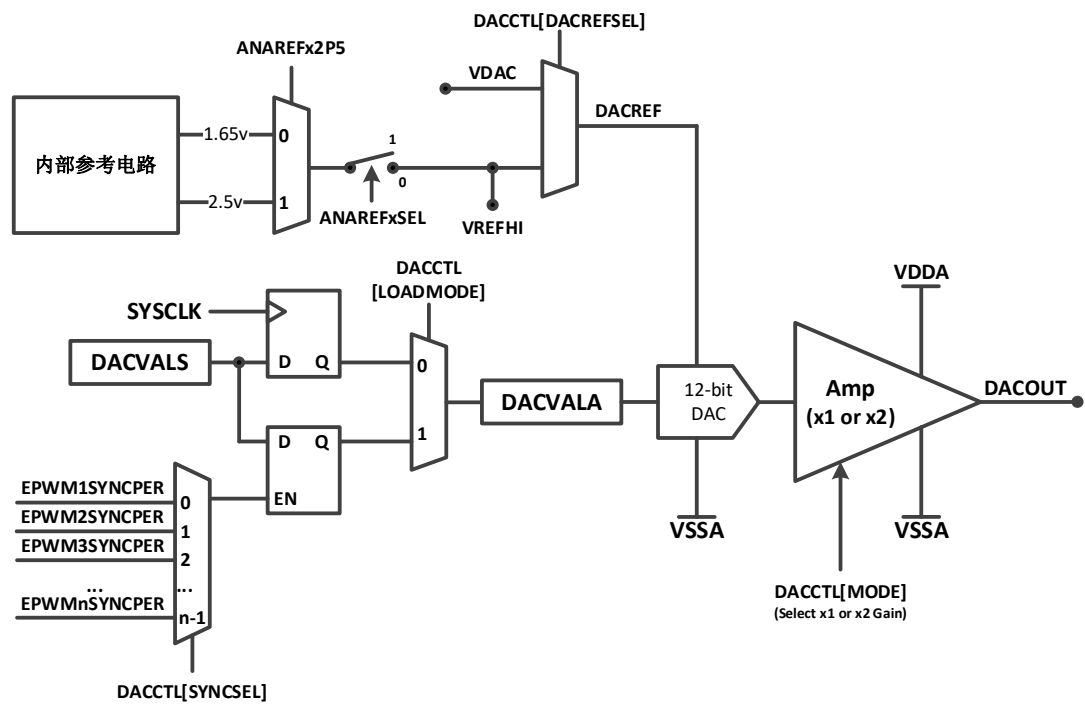


图 7-47. DAC 模块框图

缓冲DAC电气数据和时序特性

缓冲DAC工作条件

超过推荐的工作条件（除非另有说明）⁽¹⁾

参数	测试条件	最小值	标称值	最大值	单位
R _L 电阻负载 ⁽²⁾		5			kΩ
C _L 电容负载				100	pF
V _{OUT} 有效输出电压范围 ⁽³⁾	R _L = 5 kΩ	0.3		VDDA – 0.3	V
	R _L = 1 kΩ	0.6		VDDA – 0.6	V
参考电压 ⁽⁴⁾	VDAC 或 VREFHI	2.4	2.5 or 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3 V 和 VREFLO = 0 V 的条件下测量的，除非另有说明。最小和最大值是在 VREFHI = 2.5 V 和 VREFLO = 0 V 的条件下测试或表征的。

(2) DAC 可以驱动最小 1 kΩ 的电阻负载，但输出范围将受到限制。

(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围之外的电压，但由于缓冲器的原因，输出电压将不会是线性的。

(4) 为了获得最佳的 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

缓冲DAC电气特性

超过推荐的工作条件（除非另有说明）⁽¹⁾

参数	测试条件	最小值	标称值	最大值	单位
通用					
分辨率			12		bits
负载调节		-1		1	mV/V
毛刺能量			1.5		V-ns
满量程电压输出稳定时间	0.3V 到 3V 转换后稳定到 2 LSB			2	μs
1/4 满量程电压输出稳定时间	0.3V 到 0.75V 转换后稳定到 2 LSB			1.6	μs
电压输出摆率	0.3V 到 3V 转换的摆率	2.8		4.5	V/μs
负载瞬态稳定时间 ⁽⁶⁾	5-kΩ 负载			328	ns
	1-kΩ 负载			557	ns
参考输入电阻 ⁽²⁾	VDAC 或 VREFHI	160	200	240	kΩ
TPU 上电时间	外部参考模式			500	μs
	内部参考模式			5000	μs
DC 特性					
Offset 偏移误差	中点	-10		10	mV
Gain 增益误差 ⁽³⁾		-2.5		2.5	% of FSR
DNL 微分非线性 ⁽⁴⁾	终点校正	-1	±0.4	1	LSB
INL 积分非线性	终点校正	-5	±2	5	LSB
AC 特性					
输出噪声	从 100 Hz 到 100 kHz 的积分噪声		600		μVrms
	10 kHz 时的噪声密度		800		nVrms/√Hz
SNR 信噪比	1 kHz, 200 KSPS		64		dB
THD 总谐波失真	1 kHz, 200 KSPS		-64.2		dB
SFDR 无杂散动态范围	1 kHz, 200 KSPS		66		dB
SINAD 信号与噪声及失真比	1 kHz, 200 KSPS		61.7		dB
PSRR 电源抑制比 ⁽⁵⁾	DC		70		dB
	100 kHz		30		dB

(1) 典型值是在 VREFHI = 3.3 V 和 VREFLO = 0 V 的条件下测量的，除非另有说明。最小和最大值是在 VREFHI = 2.5 V 和 VREFLO = 0 V 的条件下测试或表征的。

(2) 每个激活的缓冲 DAC 模块。

(3) 增益误差是针对线性输出范围计算的。

(4) DAC 输出是单调的。

(5) VREFHI = 3.2 V, VDDA = 3.3 V DC + 100 mV Sine。

(6) 稳定在 3LSBs 内。

缓冲DAC示例图

图 7-48 显示了缓冲 DAC 的偏移。图 7-49 显示了缓冲 DAC 的增益。图 7-50 显示了缓冲 DAC 的线性度。

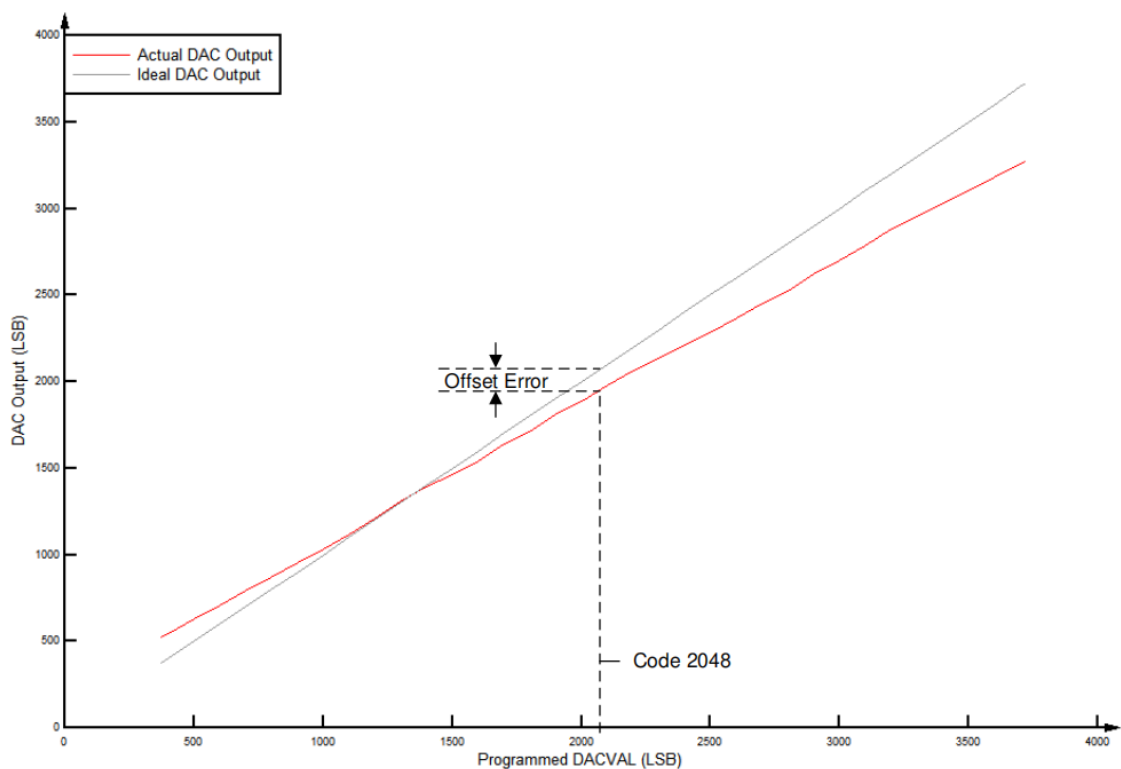


图 7-48. 缓冲 DAC 偏移

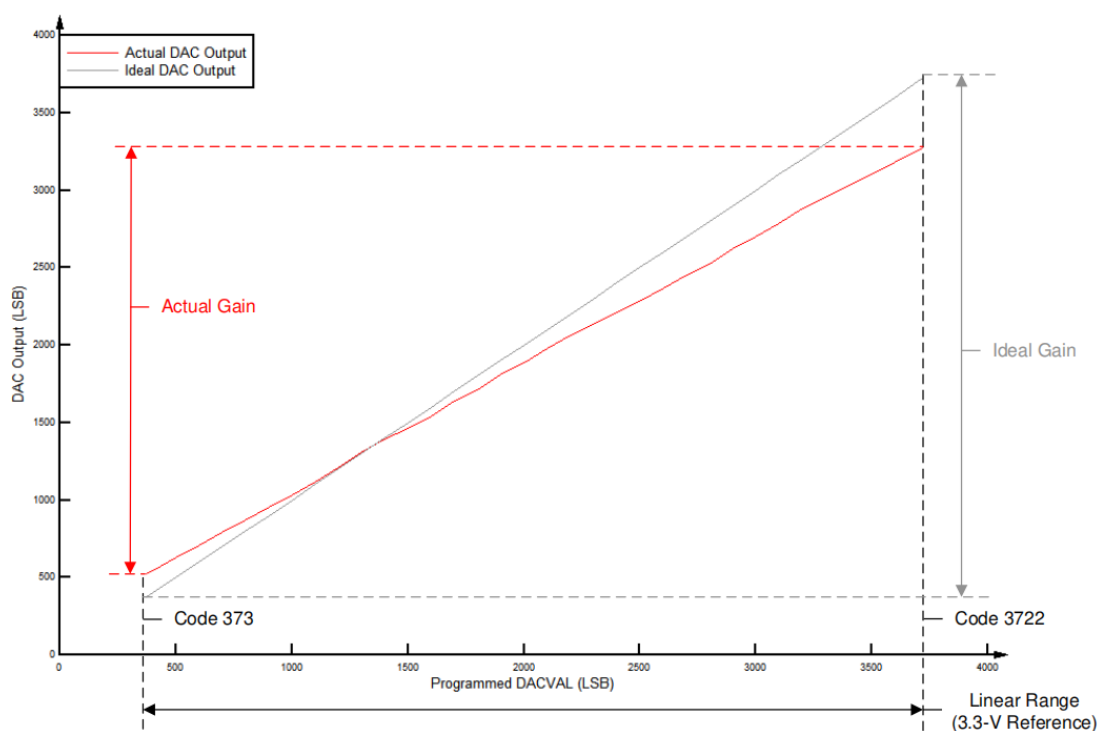


图 7-49. 缓冲 DAC 增益

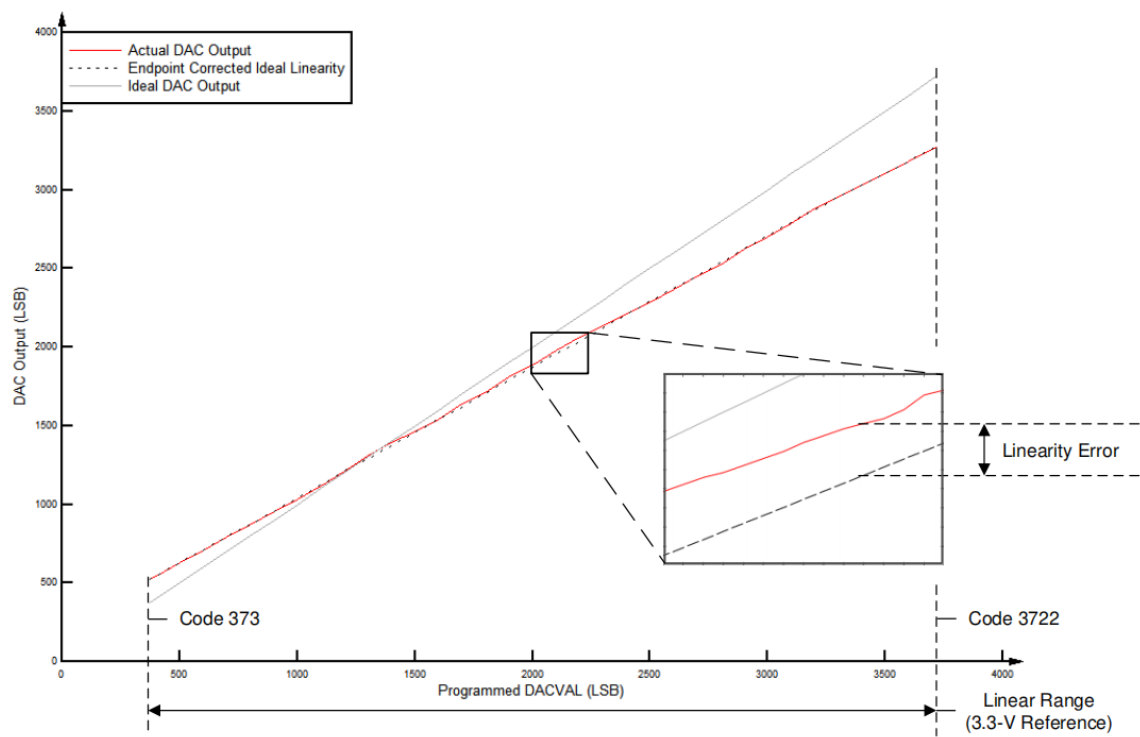


图 7-50. 缓冲 DAC 线性度

缓冲DAC典型特性图

图 7-51 至图 7-56 显示了缓冲 DAC 某些参数的典型性能。图 7-51 显示了 DNL。图 7-52 显示了 INL。图 7-53 显示了毛刺响应（511 至 512 DACVAL），图 7-54 显示了毛刺响应（512 至 511 DACVAL）。请注意，毛刺仅在 MSB 转换时发生，511 至 512 和 512 至 511 的转换为最差情况。图 7-55 显示了 1-k Ω 负载瞬态。图 7-56 显示了 5-k Ω 负载瞬态。

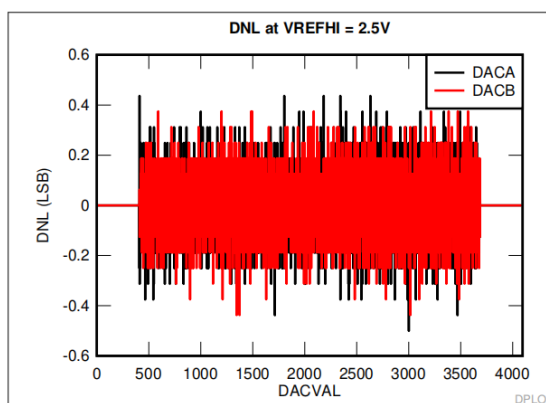


Figure 7-51. DNL

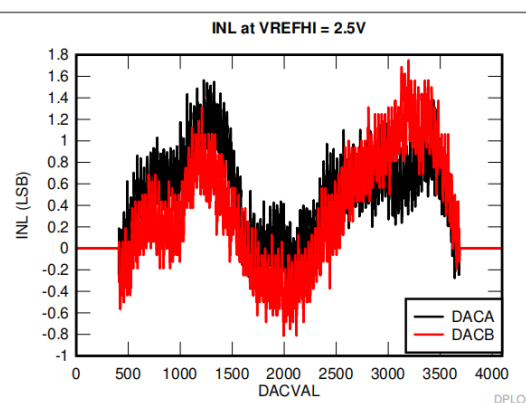


Figure 7-52. INL

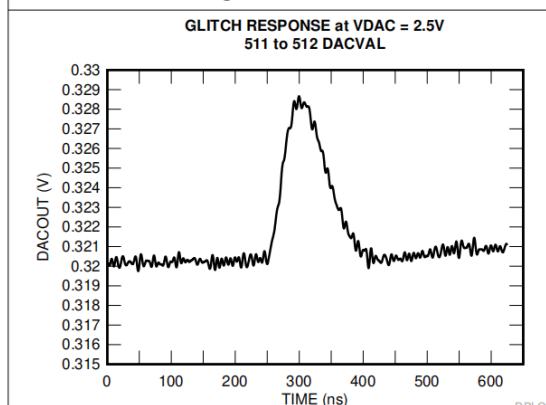


Figure 7-53. Glitch Response – 511 to 512 DACVAL

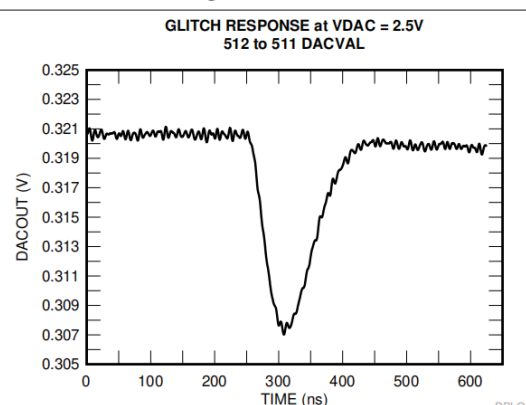
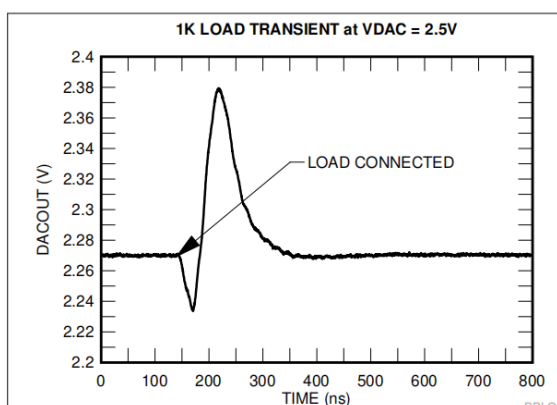
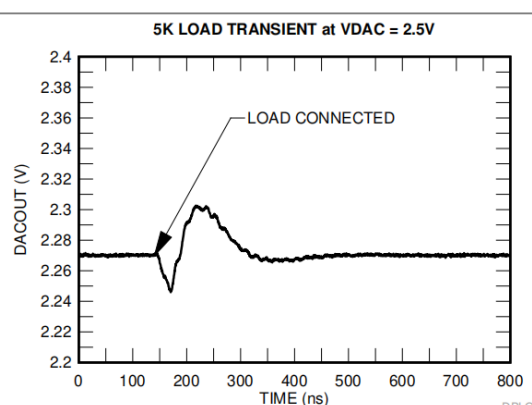


Figure 7-54. Glitch Response – 512 to 511 DACVAL

Figure 7-55. 1-k Ω Load TransientFigure 7-56. 5-k Ω Load Transient

比较器子系统（CMPSS）

每个 CMPSS 包含两个比较器、两个参考 12 位 DAC、两个数字滤波器和一个斜坡发生器。在每个模块内，比较器被标记为“H”或“L”，其中“H”和“L”分别代表高和低。每个比较器生成一个数字输出，指示正输入上的电压是否大于负输入上的电压。比较器的正输入可以由外部引脚或 PGA 驱动。负输入可以由外部引脚或可编程参考 12 位 DAC 驱动。每个比较器的输出通过一个可编程数字滤波器，该滤波器可以移除伪跳变信号。如果不需要进行滤波，也可以使用未滤波的输出。斜坡发生器电路可选地用于控制子系统中高比较器的参考 12 位 DAC 值。每个 CMPSS 模块有两个输出。这两个输出通过数字滤波器和交叉开关，然后连接到 ePWM 模块或 GPIO 引脚。图 7-57 显示了 CMPSS 的连接性。

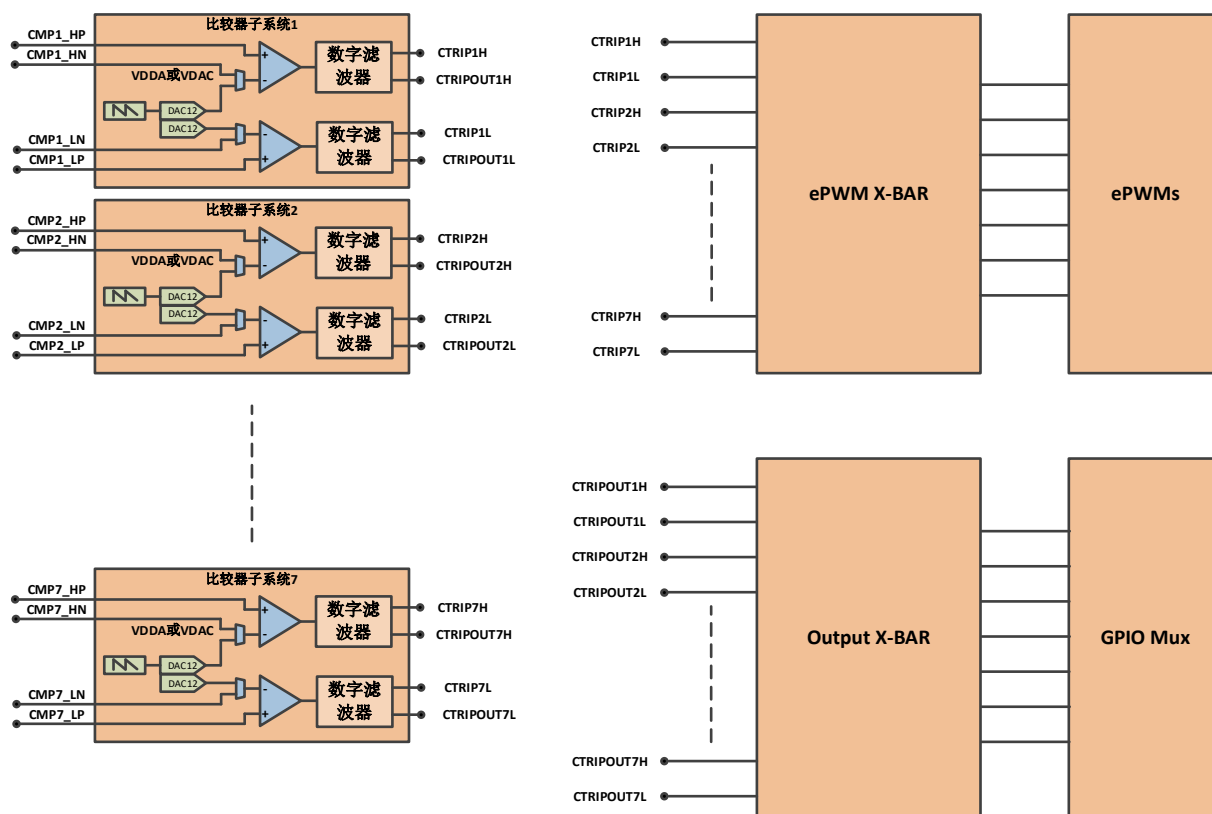


图 7-57. CMPSS 连接性

CMPSS电气数据和时序特性

比较器电气特性

在推荐的工作条件下（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
TPU 上电时间				500	μs
比较器输入（CMPIN _{xx} ）范围		0		VDDA	V
输入相关偏移误差	低共模，反相输入设置为 50 毫伏	-20		20	mV
滞后 ⁽¹⁾	1x		12		LSB
	2x		24		
	3x		36		
	4x		48		
响应时间（从 CMPIN _x 输入变化到 ePWM X-BAR 或输出 X-BAR 上的输出延迟）	阶跃响应		21	60	ns
	斜坡响应（1.65 V/ μs ）		26		
	斜坡响应（8.25 mV/ μs ）		30		ns
PSRR 电源抑制比	高达 250 kHz		46		dB
CMRR 共模抑制比		40			dB

(1) CMPSS DAC 被用作参考，以确定应用多少滞后。因此，滞后将随 CMPSS DAC 参考电压而缩放。所有比较器输入源配置都有滞后功能。

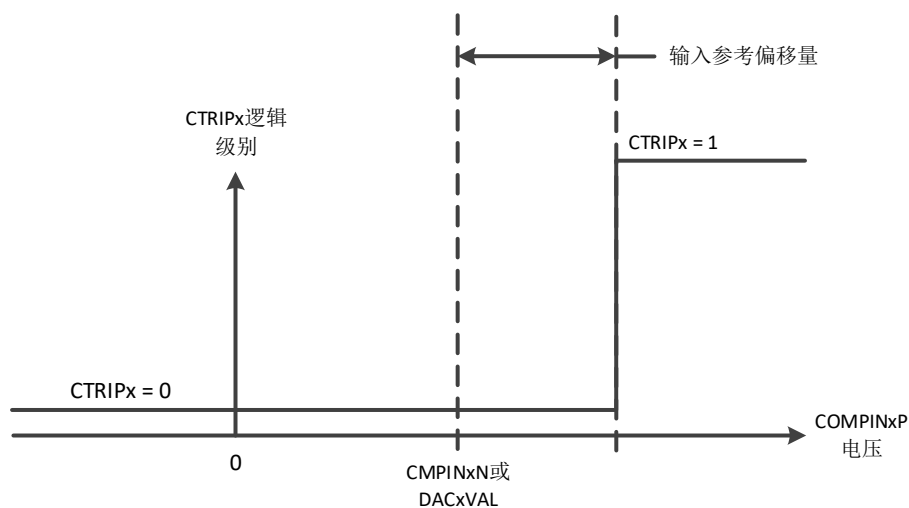


图 7-58. CMPSS 比较器输入相关偏移量

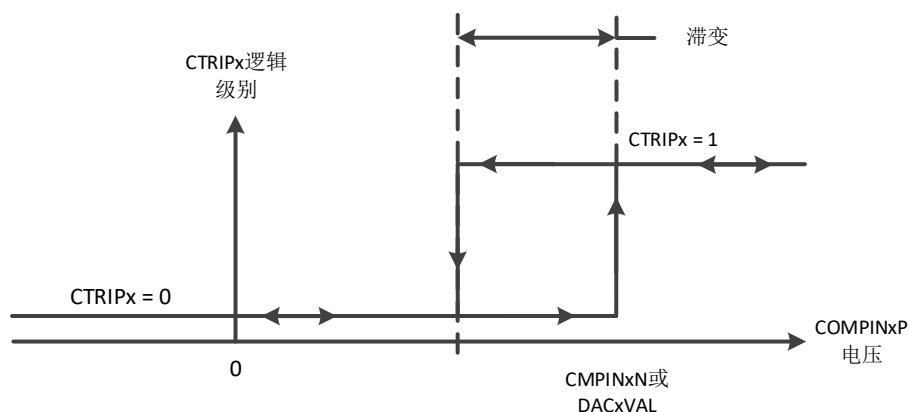


图 7-59. CMPSS 比较器滞后现象

下节列出了 CMPSS DAC 的静态电气特性。

CMPSS DAC静态电气特性

在推荐的工作条件下（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
CMPSS DAC 输出范围	内部参考	0		VDDA	V
	外部参考	0		VDAC ⁽⁴⁾	
静态偏移误差 ⁽¹⁾		-25		25	mV
静态增益误差 ⁽¹⁾		-2		2	% of FSR
静态 DNL	端点校正	>-1		4	LSB
静态 INL	端点校正	-16		16	LSB
建立时间	全量程输出变化后稳定到 1LSB			1	μs
分辨率			12		bits
CMPSS DAC 输出扰动 ⁽²⁾	同一 CMPSS 模块内比较器跳变或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 扰动时间 ⁽²⁾				200	ns
VDAC 参考电压	当 VDAC 是参考时	2.4	2.5 or 3.0	VDDA	V
VDAC 负载 ⁽³⁾	当 VDAC 是参考时	6	8	10	kΩ

(1)包括比较器输入相关的误差。

(2)在比较器跳变后的一段时间内，CMPSS DAC 输出上可能存在扰动误差。

(3)每个激活的 CMPSS 模块。

(4)当 VDAC > VDDA 时，最大输出电压为 VDDA。

CMPSS 示意图形

图 7-60 显示了 CMPSS DAC 的静态偏移。图 7-61 显示了 CMPSS DAC 的静态增益。图 7-62 显示了 CMPSS DAC 的静态线性。

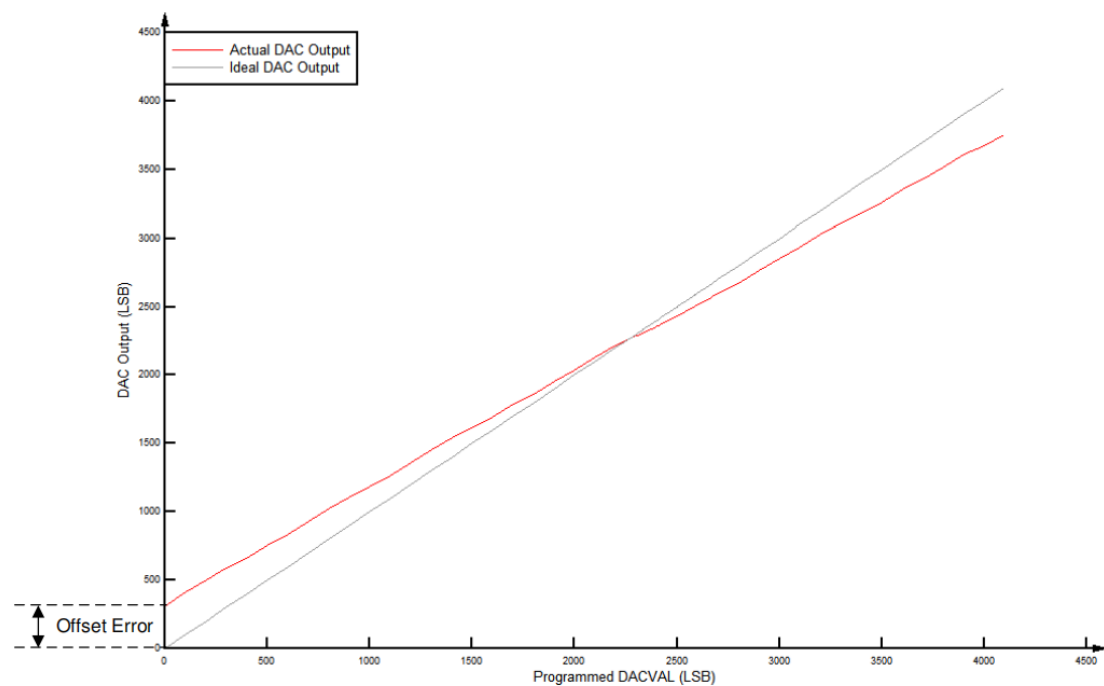


图 7-60 CMPSS DAC 的静态偏移

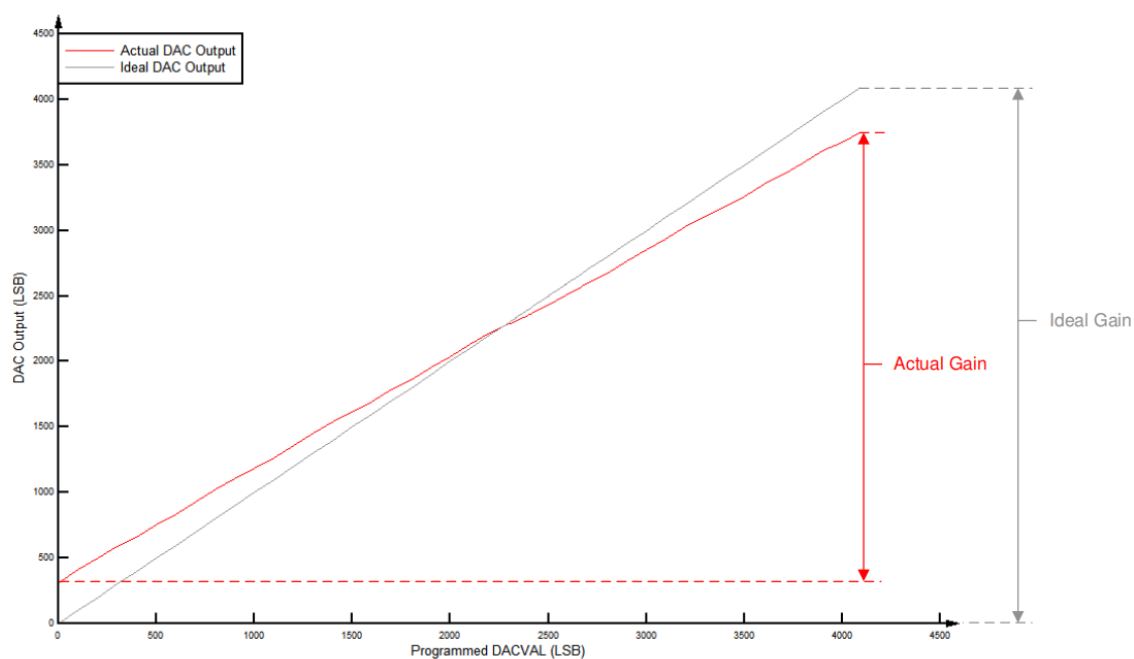


图 7-61 CMPSS DAC 的静态增益

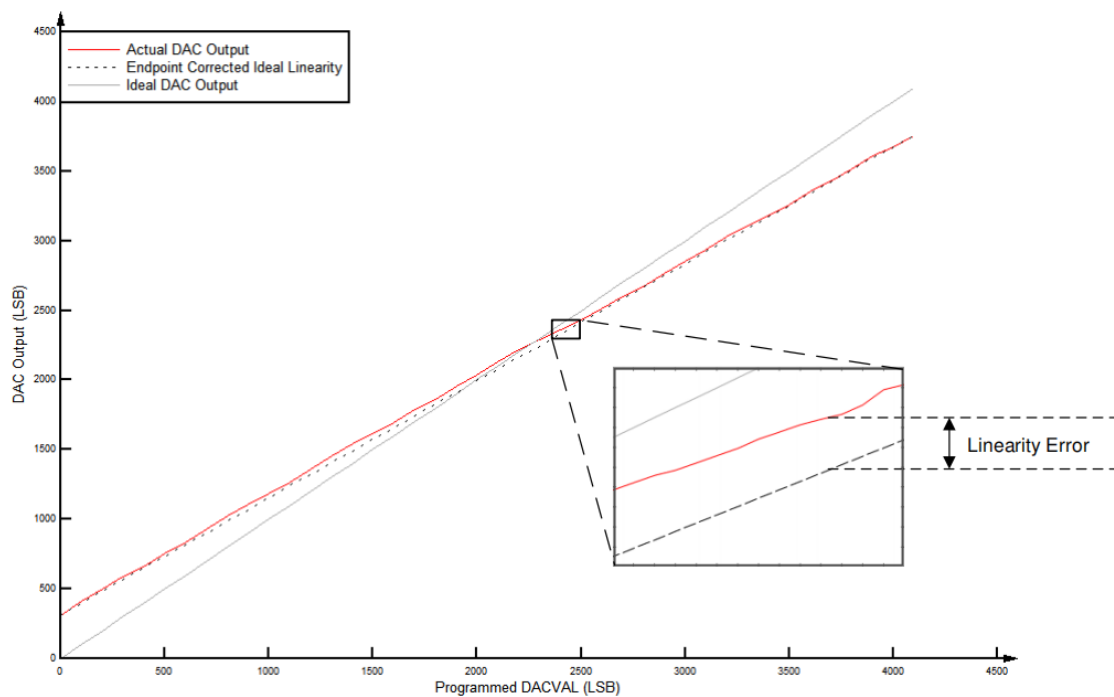


图 7-62 CMPSS DAC 的静态线性

控制外设

增强捕获（eCAP）

Type 1 增强捕获（eCAP）模块用于对外部事件的精确计时非常重要的系统中。

eCAP 模块的应用包括：

- 旋转机械的速度测量（例如，通过霍尔传感器检测的齿形链轮）
- 位置传感器脉冲之间的经过时间测量
- 脉冲信号串的周期和占空比测量
- 解码从占空比编码的电流/电压传感器得出的当前或电压振幅

eCAP 模块包含以下特性：

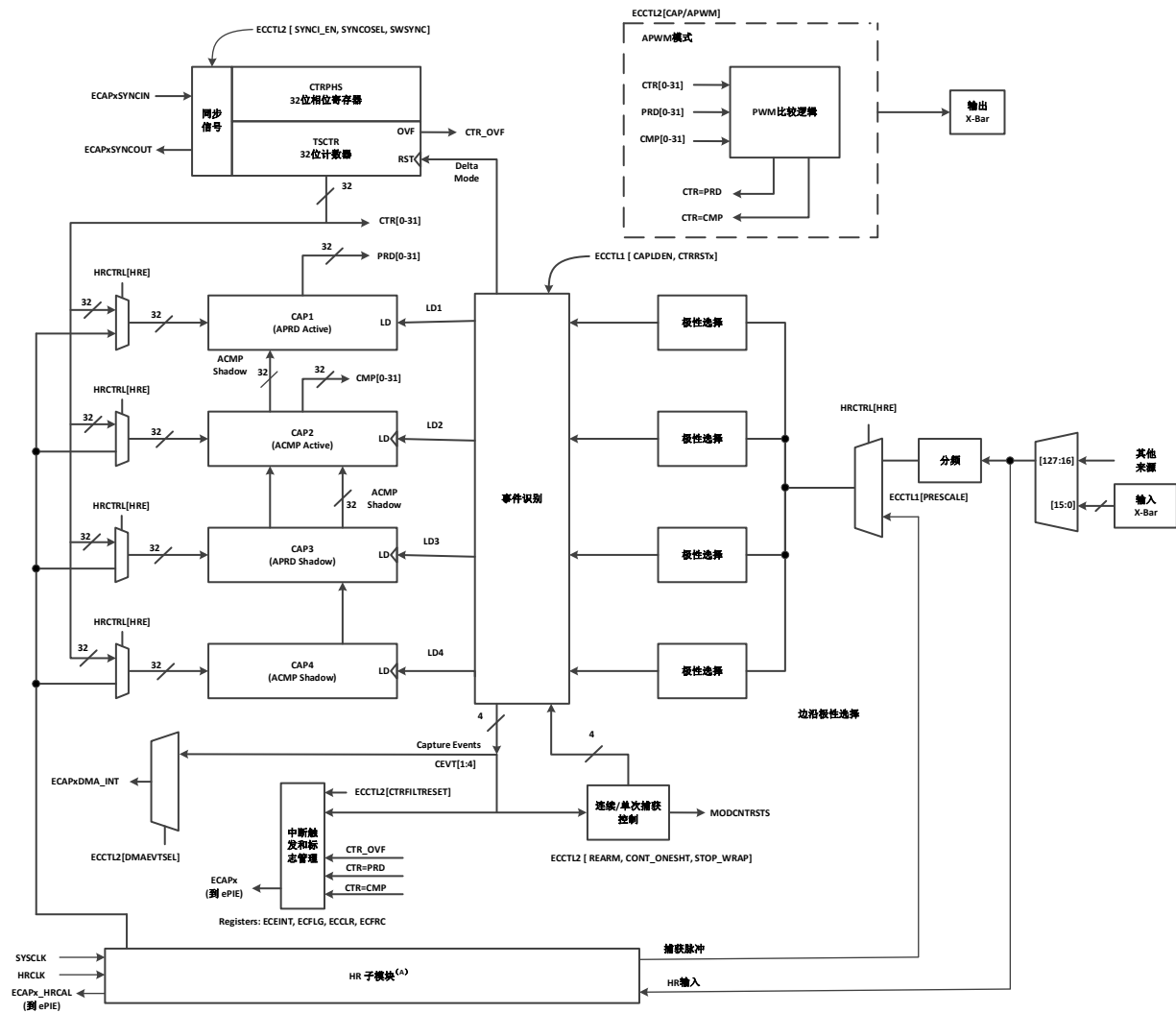
- 4个事件时间戳寄存器（每个32位）
- 多达四个顺序时间戳捕获事件的边沿极性选择
- 四个事件中的任何一个上的DSP中断
- 独立的DMA触发
- 单次捕获多达四个事件时间戳
- 在4深度循环缓冲区中连续捕获时间戳
- 绝对时间戳捕获
- 差分（增量）模式时间戳捕获
- 128:1输入多路复用器
- 事件预分频器
- 当不用于捕获模式时，eCAP模块可以配置为单个通道PWM输出。

Type 1 eCAP 的捕获功能从 0 型 eCAP 增强，增加了以下功能：

- 事件过滤器重置位
 - ◆ 向ECCTL2[CTRFILTRRESET]写入1将清除事件过滤器、模数计数器和任何未决中断标志。这对于初始化和调试很有用。
- 模数计数器状态位
 - ◆ 模数计数器（ECCTL2[MODCTRSTS]）指示下一个将加载哪个捕获寄存器。在0型eCAP中，不可能知道模数计数器的当前状态。
- DMA触发源
 - ◆ eCAPxDMA被添加为DMA触发。CEVT[1 - 4]可以配置为eCAPxDMA的来源。
- 输入多路复用器
 - ◆ ECCTL0[输入SEL]选择128个输入信号之一。
- EALLOW保护
 - ◆ 对关键寄存器添加了EALLOW保护。

必须使用输入 X-BAR 将设备输入管脚连接到模块。必须使用 Output X-BAR 将输出信号连接到 OUTPUTXBARx 输出位置。

图 7-63 显示了 eCAP 方框图。



(A) HRCAP子模块并非在所有eCAP模块上都可用；在这种情况下，高分辨率多路复用器和硬件没有实现。

图 7-63. ecap 模块方框图

eCAP电气数据和时序

eCAP时序要求

		最小值	标称值	最大值	单位
t _w (CAP)	捕获输入脉冲宽度	异步	2t _c (SCO)		ns
		同步	2t _c (SCO)		
		带输入限定符	1t _c (SCO) + t _{w_} (QSW)		

eCAP开关特性

超过推荐操作条件（除非另有说明）

参数		最小值	典型值	最大值	单位
t _w (APWM)	脉冲持续时间，APWMx 输出高/低	20			ns

高分辨率捕获子模块（HRCAP6 - HRCAP7）

该设备包含多达两个高分辨率捕获（HRCAP）子模块。HRCAP 子模块测量脉冲之间的时间差，这一过程与系统时钟异步进行。这个子模块是 eCAP 1 型模块的新功能，相比于 0 型 HRCAP 模块有许多增强。

HRCAP 的应用包括：

- 电容触摸应用
- 脉冲周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包括以下特性：

- 非高分辨率或高分辨率模式下的脉冲宽度捕获
- 绝对模式脉冲宽度捕获
- 连续或“单次”捕获
- 在下降沿或上升沿进行捕获
- 4深度缓冲区中连续模式的脉冲宽度捕获
- 精确高分辨率捕获的硬件校准逻辑
- 使用输入X-BAR，列表中的所有资源都可以在任何引脚上使用。

HRCAP 子模块包括一个高分辨率捕获通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，且没有“停机时间”。由于 HRCAP 子模块现在使用与其相应的 eCAP 相同的硬件，如果使用了 HRCAP，相应的 eCAP 将不可用。

每个具备高分辨率功能的通道都具有以下独立的关键资源：

- 各个eCAP的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

图 7-64 显示了 HRCAP 模块的方框图。

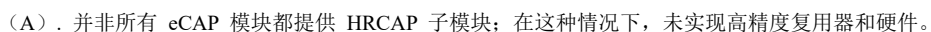


图 7-64. HRCAP 子模块方框图

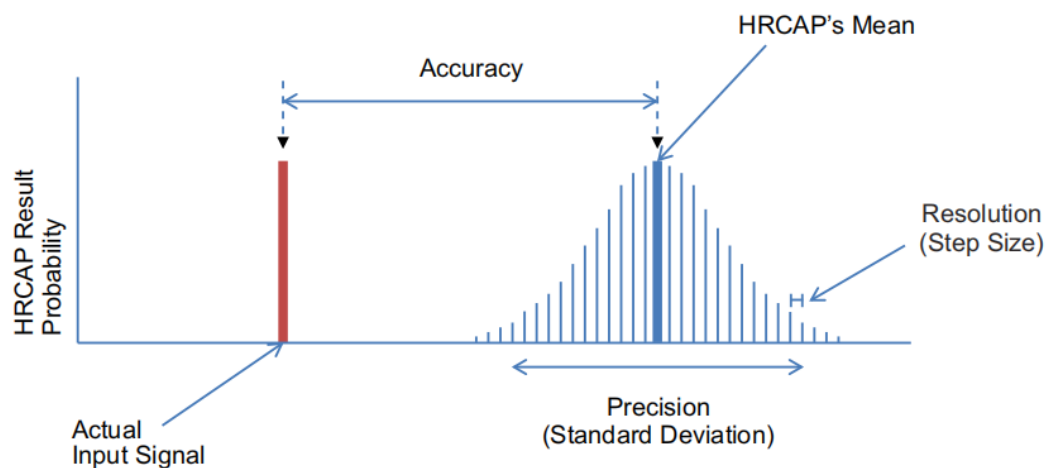
HRCAP电气数据和时序

HRCAP开关特性

超过推荐操作条件（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
准确度 ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾	测量长度 $\leq 5\ \mu\text{s}$		± 390	540	ps
	测量长度 $> 5\ \mu\text{s}$		± 450	1450	ps
标准差			见图 7-66		
分辨率			300		ps

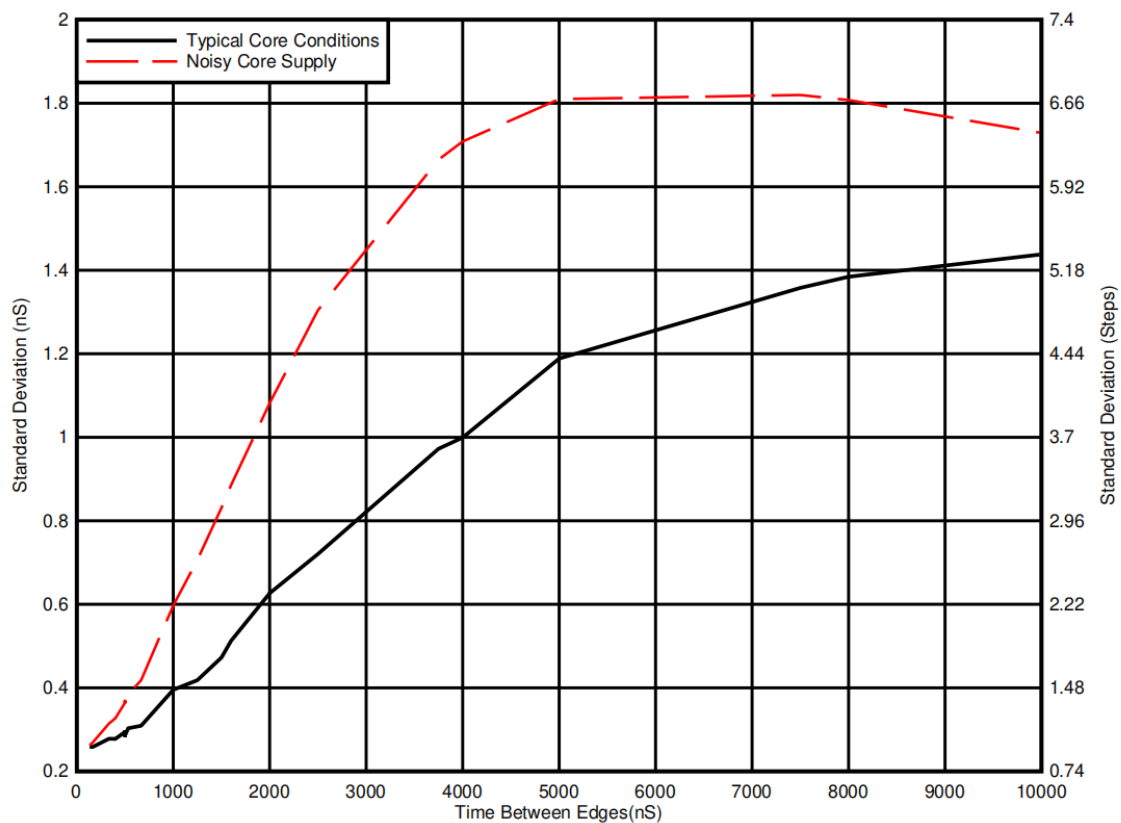
- (1) 使用 100 PPM 的振荡器获得的值，振荡器的准确性直接影响 HRCAP 的准确性。
- (2) 使用升-升沿或降-降沿完成测量。
- (3) 相反极性的边缘将由于 V_{IH} 和 V_{IL} 之间的差异而具有额外的不准确性。这种效果取决于信号的转换速率。
- (4) 准确性仅适用于时间转换的测量。



HRCAP 在性能上有一些变化，这导致了使用以下术语描述的概率分布：

- 准确性：输入信号与HRCAP分布平均值之间的时间差。
- 精度：HRCAP分布的宽度，以标准差给出。
- 分辨率：最小可测量增量。

图 7-65. HRCAP 准确性、精度和分辨率



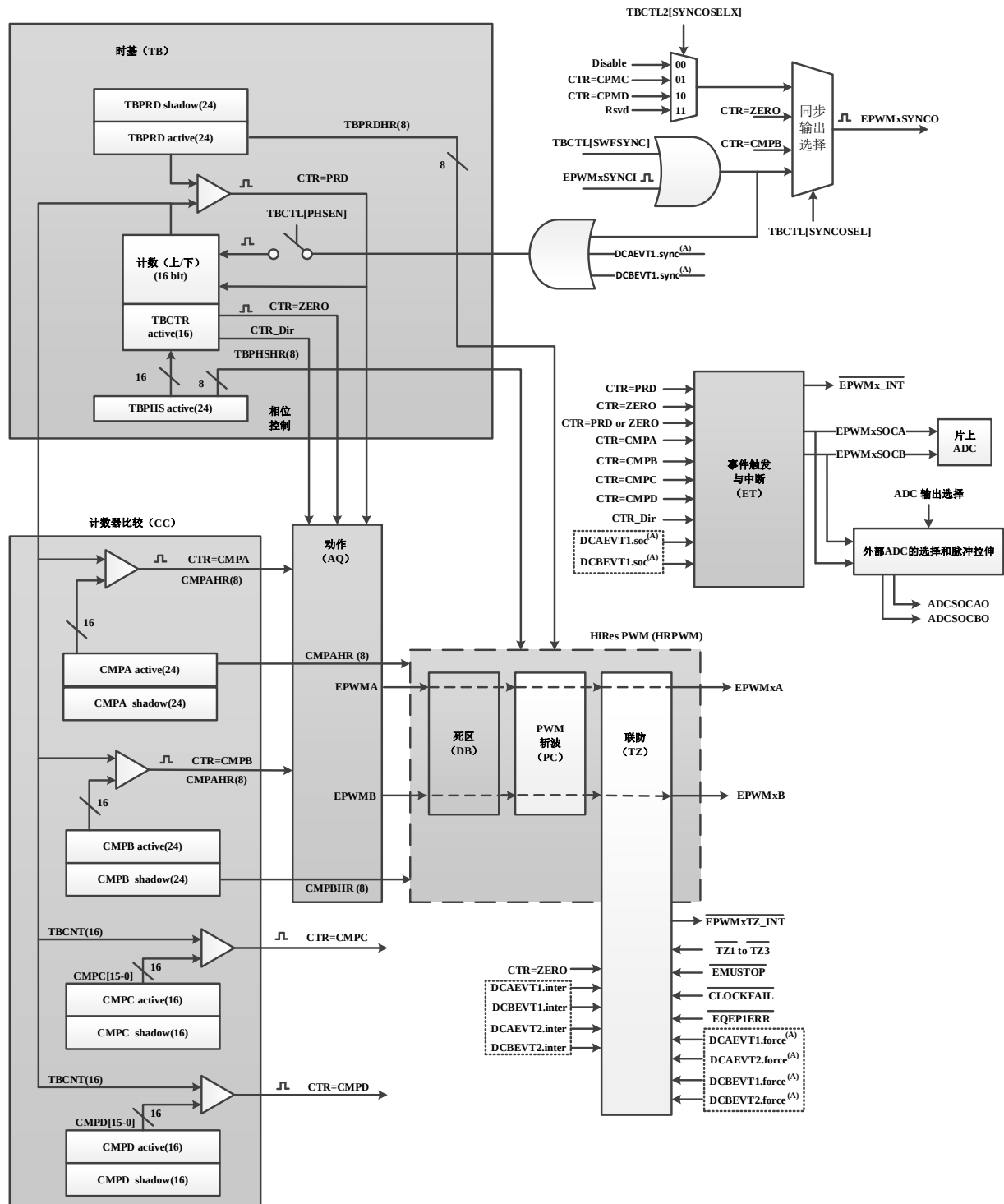
- A. 典型核心条件：所有外设时钟均启用。
- B. 嘈杂核心电源：在测量期间，所有核心时钟均被定期启用和禁用。这导致 1.2V 电源轨在测量期间经历了 18.5mA 的波动。
- C. 1.2V 电源轨上的电流和电压波动会导致 HRCAP 的标准差上升。在使用 HRCAP 时，应注意确保 1.2V 电源干净，且已尽量减少嘈杂的内部事件，如启用和禁用时钟树。

图 7-66. HRCAP 标准差特性

增强型脉冲宽度调制器（ePWM）

ePWM 外设是控制许多商用和工业设备中的电力电子系统的关键元素。ePWM 4 型模块以最小的 DSP 开销生成复杂的脉冲宽度波形。ePWM 4 型模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳闸区域功能和全局寄存器重新加载功能。

图 7-67 显示了与 ePWM 的信号互连。图 7-68 显示了 ePWM 跳闸输入连接。



A. 这些事件是由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入的电平生成的。

图 7-67. ePWM 子模块和关键内部信号互连

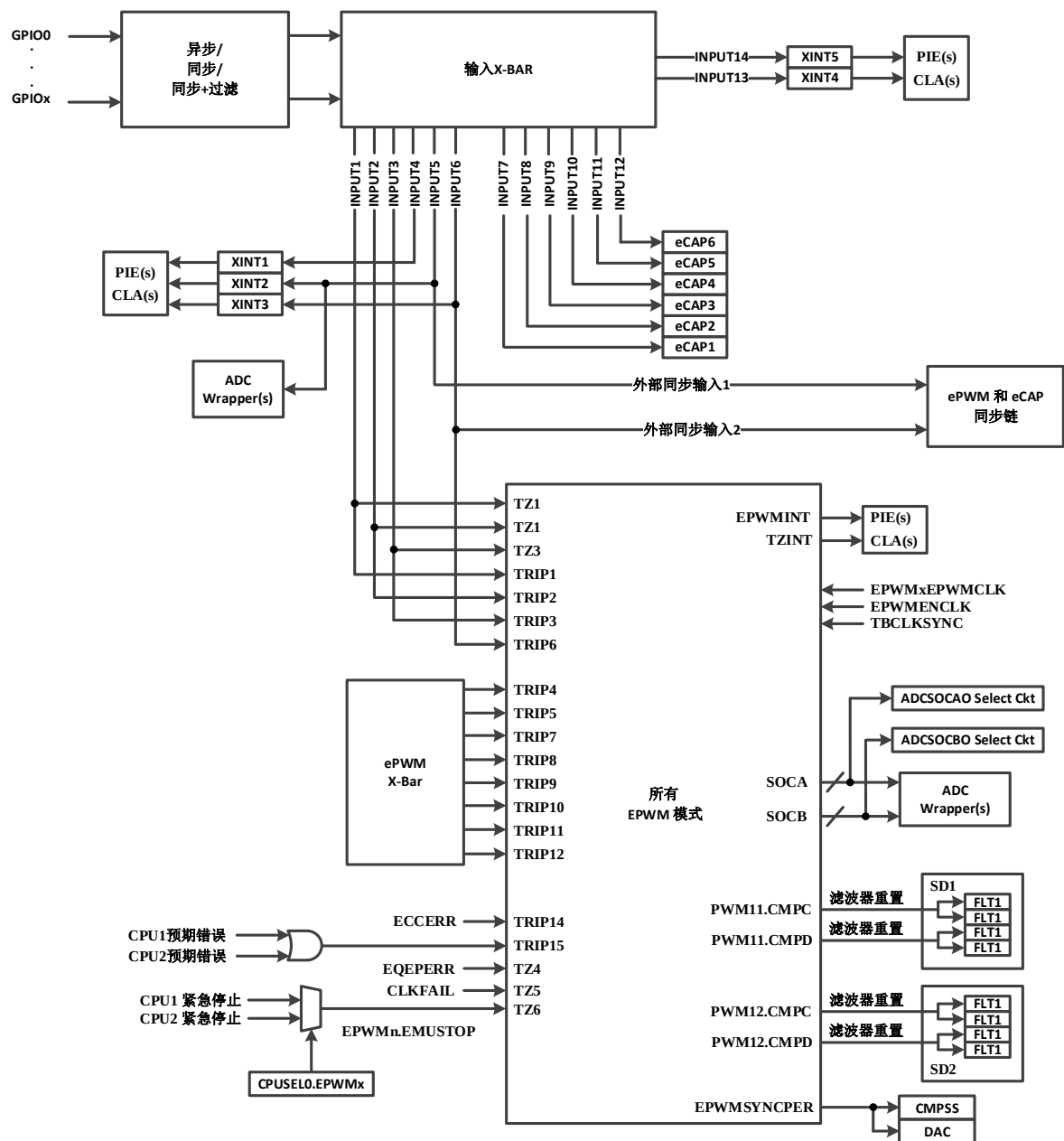


图 7-68. ePWM 跳变输入连接

控制外设同步

ePWM 和 eCAP 同步链允许系统内多个模块之间的同步。

图 7-69 显示了同步链架构。

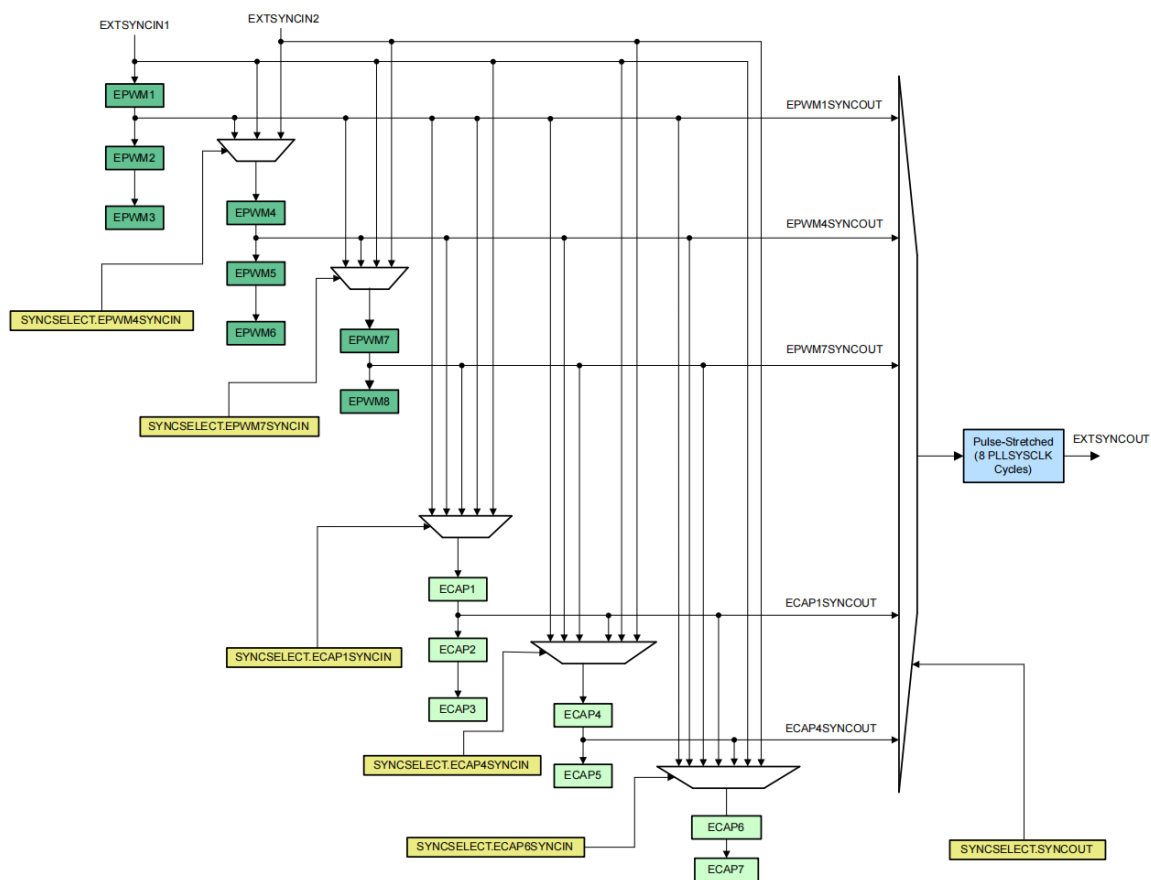


图 7-69. 同步链架构

ePWM电气数据和时序

ePWM时序要求

		最小值	最大值	单位
$t_{w(SYNCIN)}$ 同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$	周期	
	同步	$2t_{c(EPWMCLK)}$		
	带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

ePWM开关特性

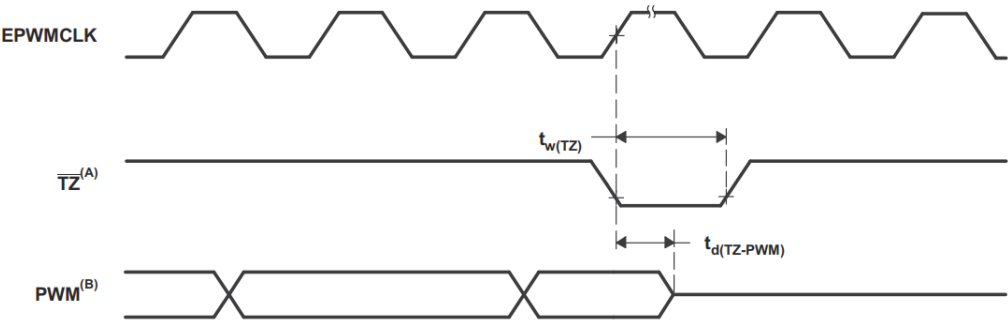
超过推荐操作条件（除非另有说明）

参数		最小值	最大值	单位
$t_w(PWM)$	脉冲持续时间，PWMx 输出高/低	20		ns
$t_w(SYNCOUT)$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_d(TZ-PWM)$	延迟时间，跳闸输入激活到 PWM 强制高	25	ns	
	延迟时间，跳闸输入激活到 PWM 强制低			
	延迟时间，跳闸输入激活到 PWM Hi-Z			

跳闸区域输入时序

跳闸区域输入时序要求

		最小值	最大值	单位
$t_w(TZ)$ 脉冲持续时间，TZx输入低	异步	$1t_{c(EPWMCLK)}$	周期	
	同步	$2t_{c(EPWMCLK)}$		
	带输入限定符	$1t_{c(EPWMCLK)} + t_w(IQSW)$		



- A. 时区：TZ1、TZ2、TZ3、TRIP1–TRIP12
- B. PWM 指设备中的所有 PWM 引脚。在 TZ 被拉高后，PWM 引脚的状态取决于 PWM 恢复软件。

图 7-70. PWM Hi-Z 特性

外部ADC转换开始电气数据和时序

外部ADC转换开始开关特性

超过推荐操作条件（除非另有说明）

参数	最小值	最大值	单位
$t_{w(ADCSOCL)}$ 脉冲持续时间 $\overline{ADCSOCxO}$ 低	$32t_{c(SYSCLK)}$		周期

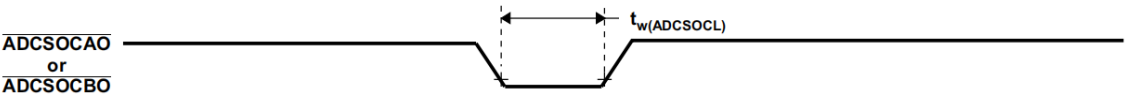


图 7-71 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序

高分辨率脉冲宽度调制器（HRPWM）

HRPWM 通过在单个模块中结合多个延迟线，并使用专用校准延迟线简化校准系统。对于每个 ePWM 模块，有两个 HR 输出：

- 通道A上的HR占空比和死区时间控制
- 通道B上的HR占空比和死区时间控制

HRPWM 模块提供的 PWM 分辨率（时间粒度）显著优于使用传统数字 PWM 方法所能达到的。HRPWM 模块的关键点包括：

- 显著扩展了传统数字PWM的时间分辨率能力。
- 这种能力可以用于单边控制（占空比和相移控制）以及双边控制（频率/周期调制）。
- 更精细的时间粒度控制或边缘定位是通过扩展ePWM模块的比较A、B、相位、周期和死区寄存器来实现的。

HRPWM电气数据和时序

高分辨率PWM特性

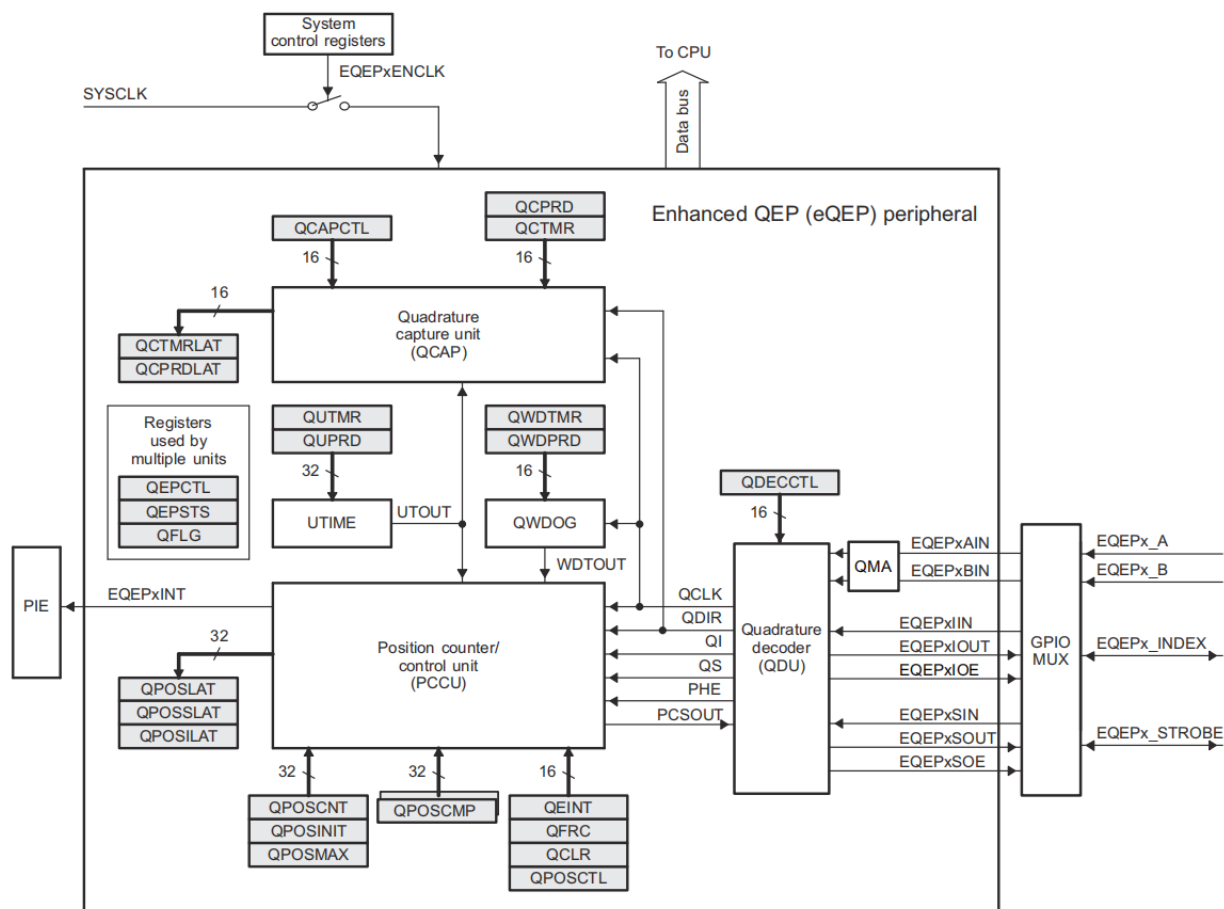
参数	最小值	标称值	最大值	单位
微边缘定位（MEP）步长 ⁽¹⁾		150	310	ps

（1）MEP 步长在高温和 VDD 电压最低时将最大。MEP 步长会随着温度升高和电压降低而增加，随着温度降低和电压升高而减少。使用 HRPWM 功能的应用应该使用 MEP 比例因子优化器（SFO）估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅我司提供的软件库。SFO 功能有助于在 HRPWM 运行时动态估算每个 SYSCLK 周期内的 MEP 步数。

增强型正交编码器脉冲 (eQEP)

Type-1 eQEP 外设包含以下主要功能单元（见图 7-72）：

- 每个引脚的可编程输入限定 (GPIO MUX 的一部分)
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕获单元 (QCAP)
- 用于速度/频率测量的单位时间基准 (UTIME)
- 用于检测停滞的看门狗定时器 (QWDOG)
- 正交模式适配器 (OMA)



Copyright © 2017, Texas Instruments Incorporated

图 7-72. eQEP 框图

eQEP电气数据和时序

eQEP时序要求

		最小值	最大值	单位
t _w (QEPP) QEP 输入周期	异步/同步	2t _c (SYSCLK)		周期
	带输入限定器	2[1t _c (SYSCLK) + t _w (IQSW)]		
t _w (INDEXH) QEP 索引输入高电平时间	异步/同步	2t _c (SYSCLK)		周期
	带输入限定器	2t _c (SYSCLK) + t _w (IQSW)		
t _w (INDEXL) QEP 索引输入低电平时间	异步/同步	2t _c (SYSCLK)		周期
	带输入限定器	2t _c (SYSCLK) + t _w (IQSW)		
t _w (STROBH) QEP 选通高电平时间	异步/同步	2t _c (SYSCLK)		周期
	带输入限定器	2t _c (SYSCLK) + t _w (IQSW)		
t _w (STROBL) QEP 选通输入低电平时间	异步/同步	2t _c (SYSCLK)		周期
	带输入限定器	2t _c (SYSCLK) + t _w (IQSW)		

eQEP开关特性

超过推荐工作条件（除非另有说明）

参数	最小值	最大值	单位
t _d (CNTR) _{xin} 延迟时间，外部时钟到计数器递增		5t _c (SYSCLK)	周期
t _d (PCS-OUT) _{QEP} 延迟时间，QEP 输入边沿到位置比较同步输出		7t _c (SYSCLK)	周期

Σ - Δ 滤波器模块 (SDFM)

SDFM 是一个专为电机控制应用中的电流测量和旋转变压器位置解码而设计的四通道数字滤波器。每个通道都可以接收一个独立的西格玛-德尔塔 ($\Sigma \Delta$) 调制比特流。这些比特流由四个可单独编程的数字降采样滤波器进行处理。滤波器套件包括一个快速比较器, 用于立即进行过流和欠流监测的数字阈值比较。

SDFM 的特点包括:

- 每个 SDFM 模块有 8 个外部引脚
 - 每个 SDFM 模块有 4 个西格玛-德尔塔数据输入引脚 (SDx_D1-4)
 - 每个 SDFM 模块有 4 个西格玛-德尔塔时钟输入引脚 (SDx_C1-4)
- 4 种不同的可配置调制器时钟模式:
 - 模式 0: 调制器时钟速率等于调制器数据速率
 - 模式 1: 调制器时钟速率是调制器数据速率的一半
 - 模式 2: 调制器数据采用曼彻斯特编码。不需要调制器时钟。
 - 模式 3: 调制器时钟速率是调制器数据速率的两倍
- 每个 SDFM 模块有 4 个独立的可配置次级滤波器 (比较器) 单元:
 - 可选择四种不同的滤波器类型 (Sinc1/Sinc2/Sincfast/Sinc3)
 - 能够检测超值、低值和零交叉条件
 - 比较器滤波器的 OSR 值 (COSR) 可在 1 到 32 之间编程
- 每个 SDFM 模块有 4 个独立的可配置主滤波器 (数据滤波器) 单元:
 - 可选择四种不同的滤波器类型 (Sinc1/Sinc2/Sincfast/Sinc3)
 - 数据滤波器的 OSR 值 (DOSR) 可在 1 到 256 之间编程
 - 能够启用各个滤波器模块
 - 使用主滤波器启用 (MFE) 位或 PWM 信号同步 SDFM 模块的所有 4 个独立滤波器
- 数据滤波器单元具有可编程 FIFO, 以减少中断开销。FIFO 具有以下功能:
 - 主滤波器 (数据滤波器) 具有 16 深 $\times$ 32 位的 FIFO
 - FIFO 可以在预定数量的数据就绪事件后中断 DSP
 - FIFO 等待同步特性: 在收到 PWM 同步信号 (SDSYNC) 之前, 忽略数据就绪事件。一旦收到 SDSYNC 事件, FIFO 会在每次数据就绪事件时填充
 - 数据滤波器输出可以表示为 16 位或 32 位
- PWMx.SOCA/SOCB 可以配置为每个数据滤波器通道的 SDSYNC 源
- PWM 可用于为西格玛-德尔塔调制器生成调制器时钟

图 7-73 显示了 SDFM 的方框图。

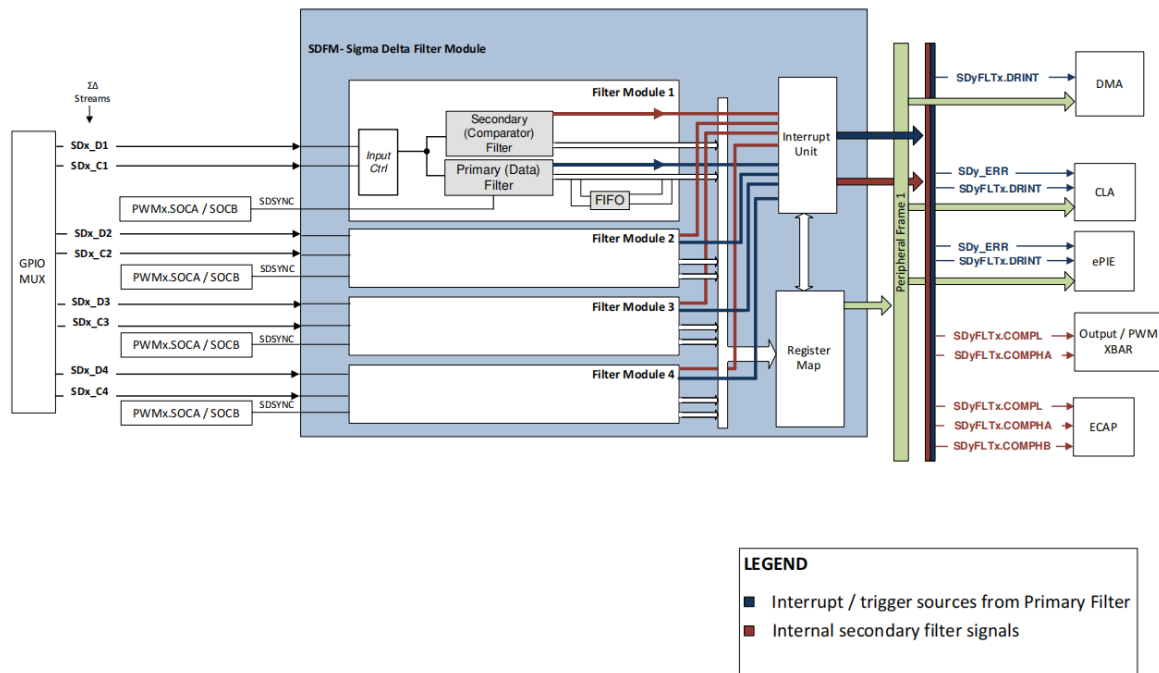


图 7-73. SDFM 方框图

SDFM 电气数据和时序

SDFM 与异步 GPIO 的操作通过设置 GPyQSELn = 0b11 来定义。下节列出了使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求。图 7-74、图 7-75、图 7-76 和图 7-77 显示了 SDFM 的时序图。

使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间, SDx_Cy	40	256 * 系统时钟周期	ns
$t_{w(SDCH)M0}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M0} - 10$	ns
$t_{su(SDDV-SDCH)M0}$	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	5		ns
$t_{h(SDCH-SDD)M0}$	保持时间, 在 SDx_Cy 变高之后的 SDx_Dy 等待时间	5		ns
模式 1				
$t_{c(SDC)M1}$	周期时间, SDx_Cy	80	256 * 系统时钟周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M1} - 10$	ns
$t_{su(SDDV-SDCL)M1}$	建立时间, 在 SDx_Cy 变低之前 SDx_Dy 有效	5		ns
$t_{su(SDDV-SDCH)M1}$	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	5		ns
$t_{h(SDCL-SDD)M1}$	保持时间, 在 SDx_Cy 变低之后 SDx_Dy 等待	5		ns
$t_{h(SDCH-SDD)M1}$	保持时间, 在 SDx_Cy 变高之后 SDx_Dy 等待	5		ns
模式 2				
$t_{c(SDD)M2}$	周期时间, SDx_Dy	$8 * t_{c(SYSCLK)}$	$20 * t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	脉冲持续时间, SDx_Dy 高电平	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy 长脉冲保持时间, 其中长脉冲不得落在列出的最小值或最大值范围内。长脉冲定义为曼彻斯特比特时钟周期全宽的高或低脉冲。此要求必须满足任何介于 8 到 20 之间的整数。	$(N * t_{c(SYSCLK)}) - 0.5$	$(N * t_{c(SYSCLK)}) + 0.5$	ns
$t_{w(SDD_SHORT)M2}$	SDx_Dy 短脉冲持续时间 (SDD_SHORT_H 或 SDD_SHORT_L) 短脉冲定义为曼彻斯特比特时钟周期一半宽的高或低脉冲。	$t_{w(SDD_LONG)} / 2 - t_{c(SYSCLK)}$	$t_{w(SDD_LONG)} / 2 + t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy 长脉冲变化 (SDD_LONG_H – SDD_LONG_L)	$t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy 短脉冲变化 (SDD_SHORT_H – SDD_SHORT_L)	$t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
模式 3				
$t_{c(SDC)M3}$	周期时间, SDx_Cy	40	256 * 系统时钟周期	ns
$t_{w(SDCH)M3}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M3} - 5$	ns
$t_{su(SDDV-SDCH)M3}$	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	5		ns
$t_{h(SDCH-SDD)M3}$	保持时间, 在 SDx_Cy 变高之后 SDx_Dy 等待	5		ns

SDFM 时序图

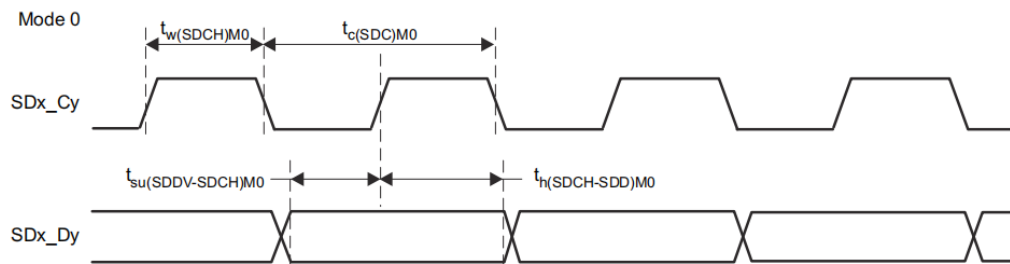


图 7-74. SDFM 时序图 - 模式 0

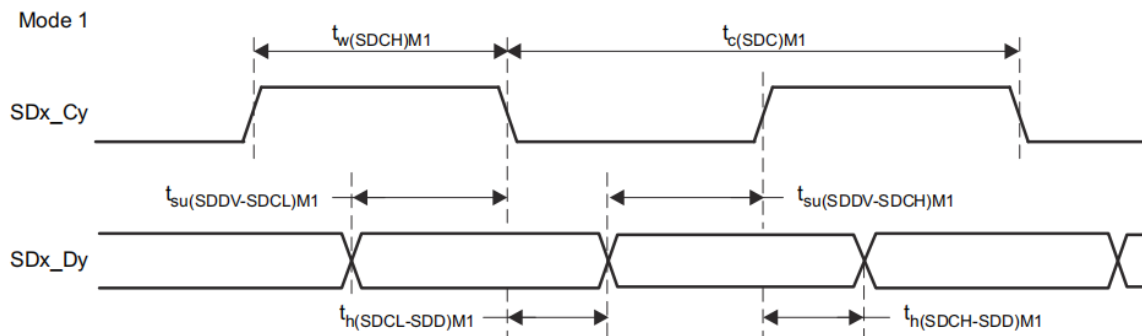


图 7-75 SDFM 时序图 - 模式 1

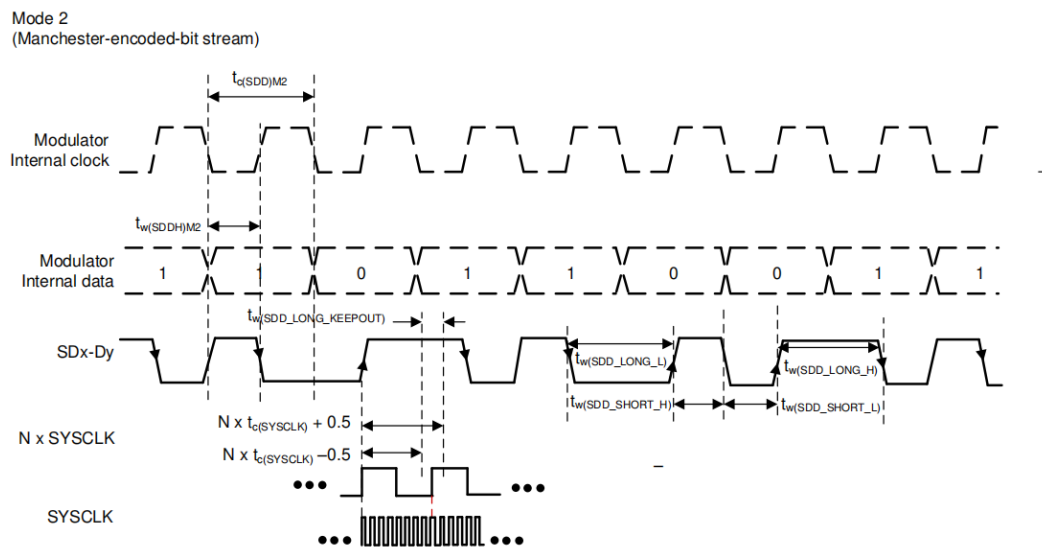


图 7-76. SDFM 时序图 - 模式 2

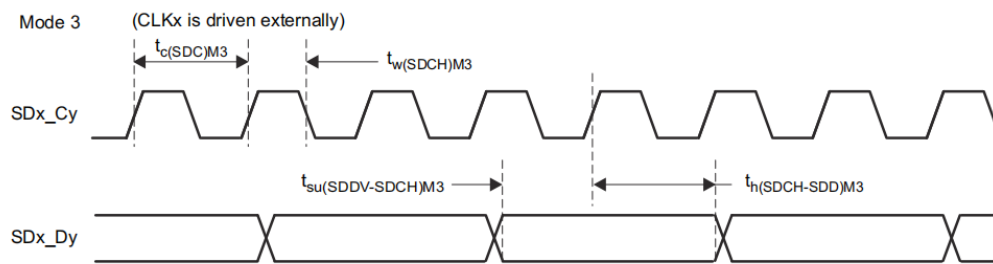


图 7-77. SDFM 时序图 - 模式 3

SDFM 电气数据和时序（同步 GPIO）

SDFM 通过设置 GPyQSELn = 0b00 来定义与同步 GPIO 的操作。使用这种同步 GPIO 模式时，必须满足 $t_w(\text{GPI})$ 脉冲持续时间为 $2t_c(\text{SYSCLK})$ 的时序要求。对于 SD-Cx 和 SD-Dx 对，配置为 SYNC 选项是重要的。第 7.11.6.2 节列出了使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求。图 7-74、图 7-75、图 7-76 和图 7-77 显示了 SDFM 的时序图。

使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
t _c (SDC)M0	周期时间, SDx_Cy	5 *系统时钟周期	256 *系统时钟周期	ns
t _w (SDCHL)M0	脉冲持续时间, SDx_Cy 高/低电平	2 *系统时钟周期	3 *系统时钟周期	ns
t _{su} (SDDV-SDCH)M0	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	2 *系统时钟周期		ns
t _h (SDCH-SDD)M0	保持时间, 在 SDx_Cy 变高之后 SDx_Dy 等待	2 *系统时钟周期		ns
模式 1				
t _c (SDC)M1	周期时间, SDx_Cy	10 *系统时钟周期	256 *系统时钟周期	ns
t _w (SDCHL)M1	脉冲持续时间, SDx_Cy 高/低电平	2 *系统时钟周期	8 *系统时钟周期	ns
t _{su} (SDDV-SDCL)M1	建立时间, 在 SDx_Cy 变低之前 SDx_Dy 有效	2 *系统时钟周期		ns
t _{su} (SDDV-SDCH)M1	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	2 *系统时钟周期		ns
t _h (SDCL-SDD)M1	保持时间, 在 SDx_Cy 变低之后 SDx_Dy 等待	2 *系统时钟周期		ns
t _h (SDCH-SDD)M1	保持时间, 在 SDx_Cy 变高之后 SDx_Dy 等待	2 *系统时钟周期		ns
模式 2				
t _c (SDD)M2	周期时间, SDx_Dy	选项不可用		
t _w (SDDH)M2	脉冲持续时间, SDx_Dy 高电平			
模式 3				
t _c (SDC)M3	周期时间, SDx_Cy	5 *系统时钟周期	256 *系统时钟周期	ns
t _w (SDCHL)M3	脉冲持续时间, SDx_Cy 高/低电平	2 *系统时钟周期	3 *系统时钟周期	ns
t _{su} (SDDV-SDCH)M3	建立时间, 在 SDx_Cy 变高之前 SDx_Dy 有效	2 *系统时钟周期		ns
t _h (SDCH-SDD)M3	保持时间, 在 SDx_Cy 变高之后 SDx_Dy 等待	2 *系统时钟周期		ns

通信外围设备

控制器区域网络（CAN）

CAN 模块实现了以下功能：

- ◆ 符合 ISO11898-1（博世 CAN 协议规范 2.0 A 和 B）
- ◆ 比特率高达 1 Mbps
- ◆ 多个时钟源
- ◆ 32 个消息对象（邮箱），每个具有以下属性：
 - - 可配置为接收或发送
 - - 可配置为标准（11 位）或扩展（29 位）标识符
 - - 支持可编程标识符接收掩码
 - - 支持数据帧和远程帧
 - - 保存 0 到 8 字节的数据
 - - 奇偶校验配置和数据 RAM
- ◆ 每个消息对象的单独标识符掩码
- ◆ 消息对象的可编程 FIFO 模式
- ◆ 用于自测操作的可编程环回模式
- ◆ 暂停模式，用于调试支持
- ◆ 软件模块重置
- ◆ 通过可编程的 32 位定时器在总线关闭状态后自动启用总线
- ◆ 两条中断线
- ◆ DMA 支持

图 7-78 显示了 CAN 模块框图。

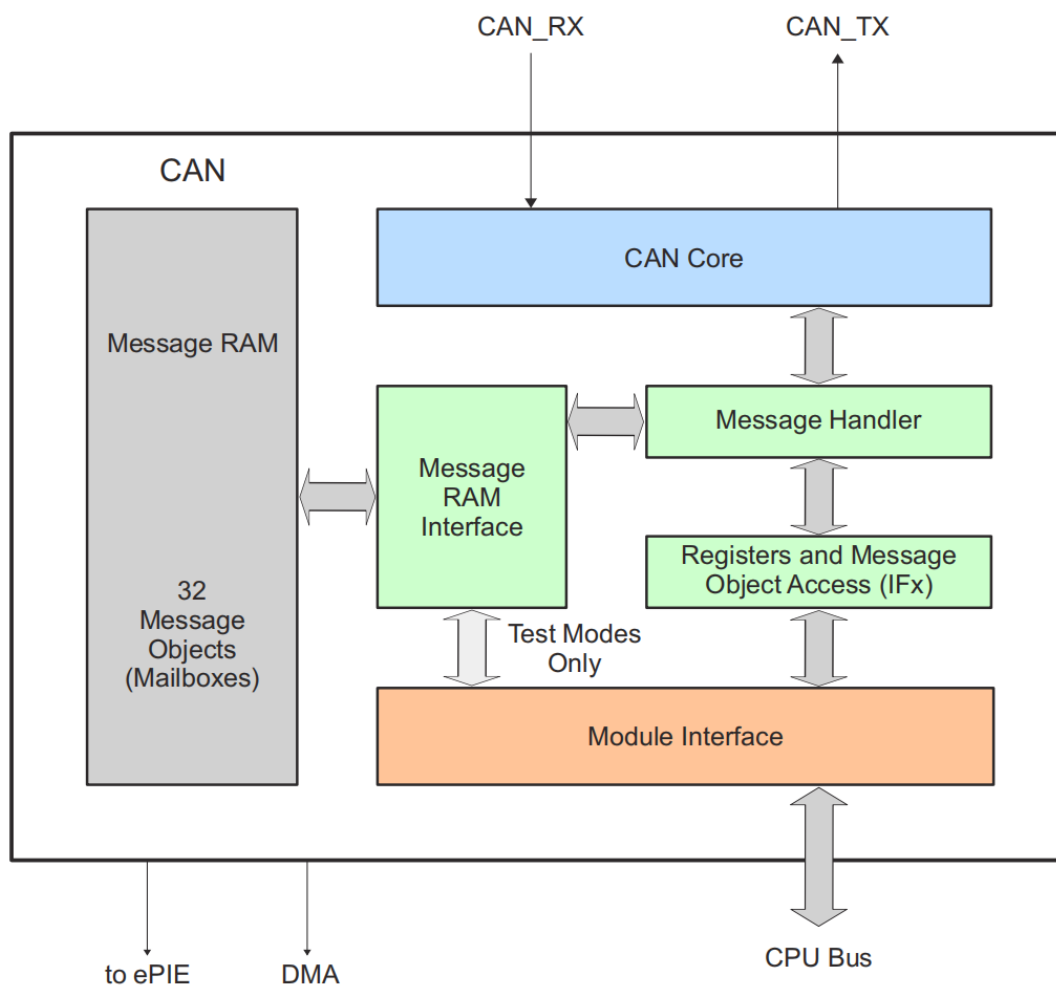


图 7-78. CAN 框图

集成电路间通信（I2C）

I2C 模块具有以下特点：

- ◆ 符合恩智浦半导体 I2C-bus 规范（版本 2.1）：
 - 支持 8 位格式传输
 - 7 位和 10 位寻址模式
 - 通用呼叫
 - 起始字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合的主发送/接收和接收/发送模式
 - 数据传输速率从 10 kbps 到 400 kbps（快速模式）
- ◆ 一个 16 字节的接收 FIFO 和一个 16 字节的发送 FIFO
- ◆ 支持两个 ePIE 中断
 - I2Cx 中断 - 以下任何条件都可以配置为生成 I2Cx 中断：
 - 传输就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无确认
 - 仲裁丢失
 - 检测到停止条件
 - 作为从设备被寻址
 - I2Cx_FIFO 中断：
 - 传输 FIFO 中断
 - 接收 FIFO 中断
- ◆ 模块启用和禁用功能
- ◆ 自由数据格式模式

图 7-79 显示了 I2C 外围模块在设备内部的接口方式。

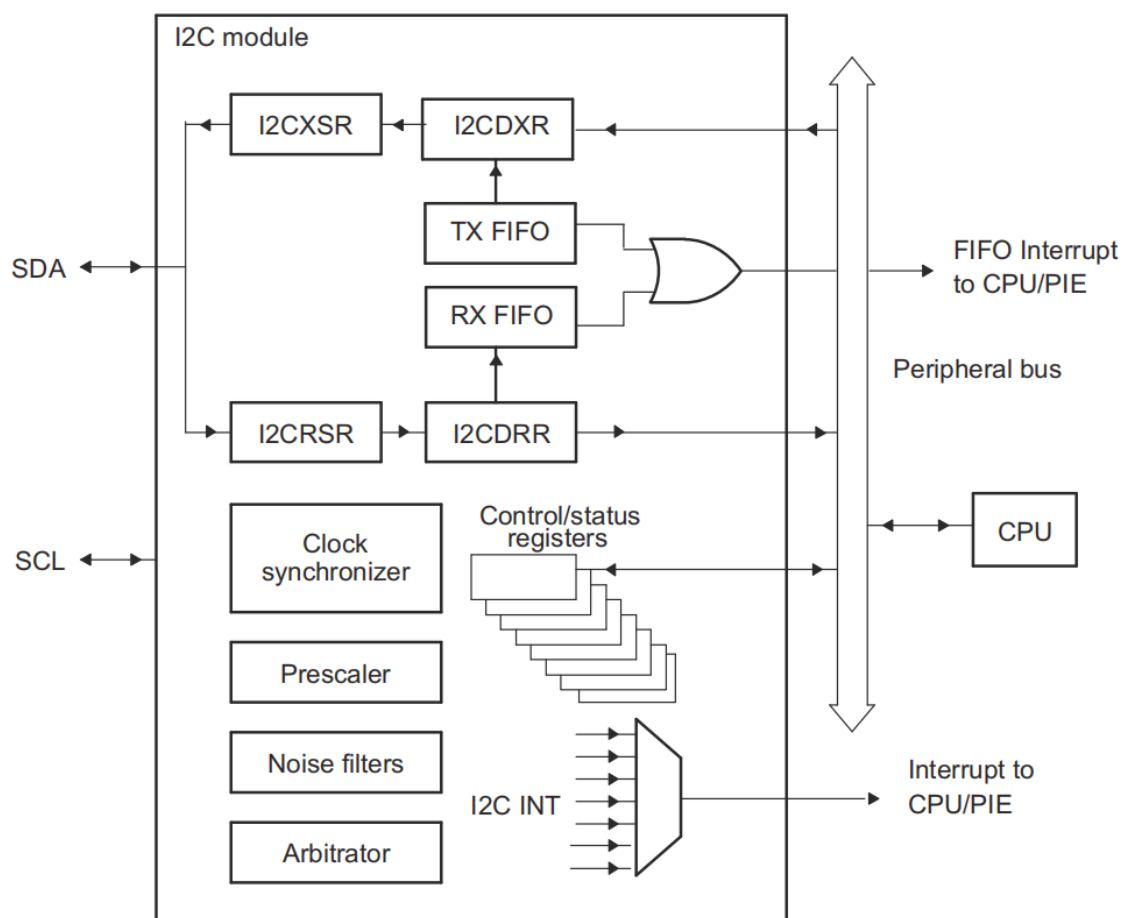


图 7-79. I2C 外设模块接口

I2C 电气数据和时序

I2C 时序要求

NO.			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})\text{START}$	开始条件保持时间, SCL 下降延迟后的 SDA 下降	4.0		μs
T2	$t_{\text{su}}(\text{SCL-SDA})\text{START}$	重复开始的设置时间, SDA 下降前的 SCL 上升延迟	4.0		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	SCL 下降后数据的保持时间	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	SCL 上升前数据的设置时间	250		ns
T5	$t_{\text{r}}(\text{SDA})$	SDA 上升时间		1000	ns
T6	$t_{\text{r}}(\text{SCL})$	SCL 上升时间		1000	ns
T7	$t_{\text{f}}(\text{SDA})$	SDA 下降时间		300	ns
T8	$t_{\text{f}}(\text{SCL})$	SCL 下降时间		300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})\text{STOP}$	停止条件的设置时间, SDA 上升前的 SCL 上升延迟	4.0		μs
T10	$t_{\text{w}}(\text{SP})$	将被滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_{b}	每条总线线路上的电容负载	400		pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})\text{START}$	开始条件保持时间, SCL 下降延迟后的 SDA 下降	0.6		μs
T2	$t_{\text{su}}(\text{SCL-SDA})\text{START}$	重复开始的设置时间, SDA 下降前的 SCL 上升延迟	0.6		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	SCL 下降后数据的保持时间	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	SCL 上升前数据的设置时间	100		ns
T5	$t_{\text{r}}(\text{SDA})$	SDA 上升时间	20	300	ns
T6	$t_{\text{r}}(\text{SCL})$	SCL 上升时间	20	300	ns
T7	$t_{\text{f}}(\text{SDA})$	SDA 下降时间	11.4	300	ns
T8	$t_{\text{f}}(\text{SCL})$	SCL 下降时间	11.4	300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})\text{STOP}$	停止条件的设置时间, SDA 上升前的 SCL 上升延迟	0.6		μs
T10	$t_{\text{w}}(\text{SP})$	将被滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_{b}	每条总线线路上的电容负载		400	pF

I2C 切换特性

在建议的操作条件下（除非另有说明）

NO.	参数	测试条件	最小值	最大值	单位
标准模式					
S1	f_{SCL}	SCL 时钟频率	0	100	kHz
S2	T_{SCL}	SCL 时钟周期	10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间, SCL 时钟低电平	4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间, SCL 时钟高电平	4.0		μs
S5	t_{BUF}	在 STOP 和 START 条件之间的总线空闲时间	4.7		μs
S6	$t_{v(SCL-DAT)}$	数据在 SCL 下降沿后的有效期		3.45	μs
S7	$t_{v(SCL-ACK)}$	确认信号在 SCL 下降沿后的有效期		3.45	μs
S8	I_I	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10
快速模式					
S1	f_{SCL}	SCL 时钟频率	0	400	kHz
S2	T_{SCL}	SCL 时钟周期	2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间, SCL 时钟低电平	1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间, SCL 时钟高电平	0.6		μs
S5	t_{BUF}	在 STOP 和 START 条件之间的总线空闲时间	1.3		μs
S6	$t_{v(SCL-DAT)}$	数据在 SCL 下降沿后的有效期		0.9	μs
S7	$t_{v(SCL-ACK)}$	确认信号在 SCL 下降沿后的有效期		0.9	μs
S8	I_I	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10 μA

I2C时序图

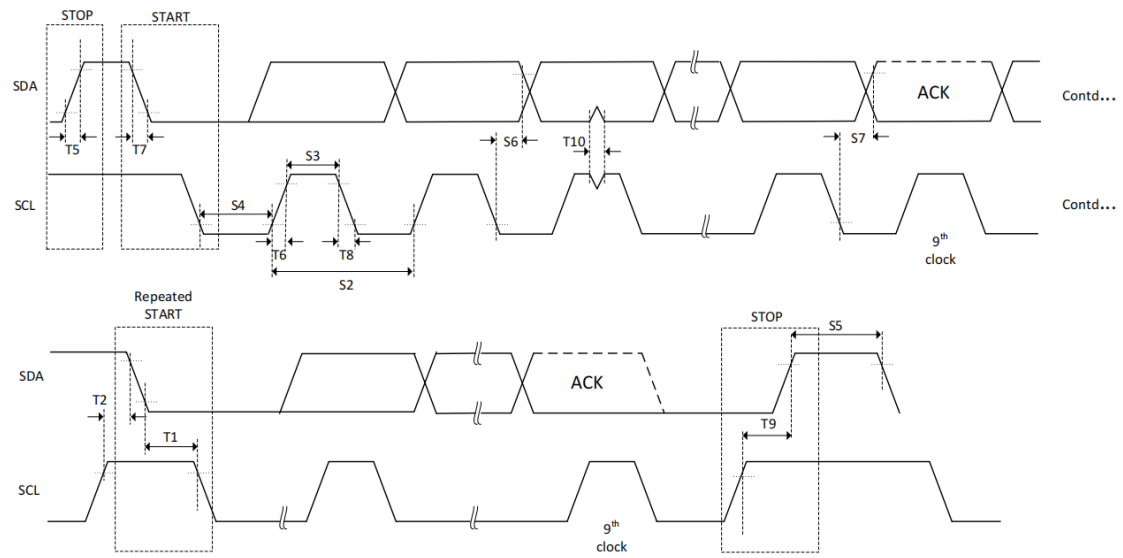


图 7-80. I2C 时序图

电源管理总线（PMBus）接口

PMBus 模块具有以下特点：

- 符合SMI论坛PMBus规范（第I部分v1.0和第II部分v1.1）
- 支持主模式和从模式
- 支持I2C模式
- 支持两种速度：
 - ◆ 标准模式：最高100 kHz
 - ◆ 快速模式：最高400 kHz
- 数据包错误检查
- CONTROL和ALERT信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲区
- 一个可屏蔽中断，可以由多个条件生成：
 - ◆ 接收数据就绪
 - ◆ 发送缓冲区空
 - ◆ 从地址接收
 - ◆ 消息结束
 - ◆ ALERT输入断言
 - ◆ 时钟低电平超时
 - ◆ 时钟高电平超时
 - ◆ 总线空闲

图 7-81 显示了 PMBus 的框图。

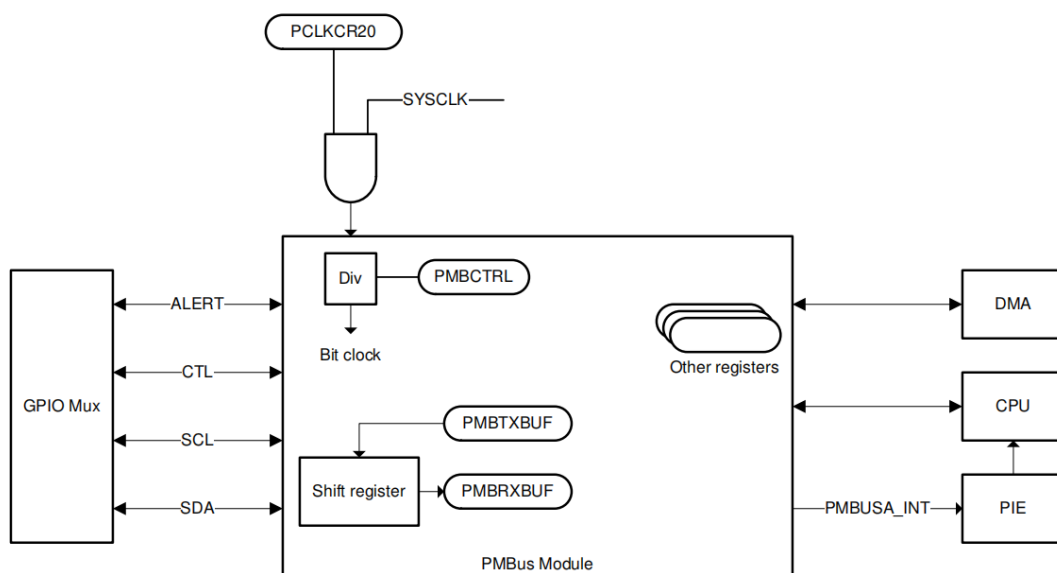


图 7-81 PMBus 框图

PMBus电气数据和时序

PMBus电气特性

在建议的操作条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V _{IL} 有效低电平输入电压				0.8	V
V _{IH} 有效高电平输入电压		2.1		V _{DDIO}	V
V _{OL} 低电平输出电压	At I _{pullup} = 4 mA			0.4	V
I _{OL} 低电平输出电流	V _{OL} ≤ 0.4 V	4			mA
t _{SP} 输入滤波器必须抑制的尖峰脉冲宽度		0		50	ns
I _i 每个引脚上的输入漏电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10		10	μA
C _i 每个引脚上的电容				10	pF

PMBus快速模式切换特性

在建议的操作条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f _{SCL} SCL 时钟频率		10		400	kHz
t _{BUF} 在 STOP 和 START 条件之间的总线空闲时间		1.3			μs
t _{HD;STA} START 条件保持时间 -- SDA 下降到 SCL 下降延迟		0.6			μs
t _{SU;STA} 重复 START 建立时间 -- SCL 上升到 SDA 下降延迟		0.6			μs
t _{SU;STO} STOP 条件建立时间 -- SCL 上升到 SDA 上升延迟		0.6			μs
t _{HD;DAT} SCL 下降后的数据保持时间		300			ns
t _{SU;DAT} SCL 上升前的数据建立时间		100			ns
t _{Timeout} 时钟低电平超时		25		35	ms
t _{LOW} SCL 时钟的低电平周期		1.3			μs
t _{HIGH} SCL 时钟的高电平周期		0.6		50	μs
t _{LOW;SEXT} 从设备累积时钟低延长时间	从 START 到 STOP			25	ms
t _{LOW;MEXT} 主设备累积时钟低延长时间	在每个字节内			10	ms
t _r SDA 和 SCL 的上升时间	5% 至 95%	20		300	ns
t _f SDA 和 SCL 的下降时间	95% 至 5%	20		300	ns

PMBus标准模式切换特性

在建议的操作条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f _{SCL}	SCL 时钟频率	10		100	kHz
t _{BUF}	在 STOP 和 START 条件之间的总线空闲时间	4.7			μs
t _{HD;STA}	START 条件保持时间 -- SDA 下降到 SCL 下降延迟	4			μs
t _{SU;STA}	重复 START 建立时间 -- SCL 上升到 SDA 下降延迟	4.7			μs
t _{SU;STO}	STOP 条件建立时间 -- SCL 上升到 SDA 上升延迟	4			μs
t _{HD;DAT}	SCL 下降后的数据保持时间	300			ns
t _{SU;DAT}	SCL 上升前的数据建立时间	250			ns
t _{Timeout}	时钟低电平超时	25		35	ms
t _{LOW}	SCL 时钟的低电平周期	4.7			μs
t _{HIGH}	SCL 时钟的高电平周期	4		50	μs
t _{LOW;SEXT}	从设备累积时钟低延长时间	从 START 到 STOP		25	ms
t _{LOW;MEXT}	主设备累积时钟低延长时间	在每个字节内		10	ms
t _r	SDA 和 SCL 的上升时间			1000	ns
t _f	SDA 和 SCL 的下降时间			300	ns

串行通信接口 (SCI)

SCI 是一个双线异步串行端口，通常被称为 UART。SCI 模块支持 DSP 与其他使用标准非归零(NRZ)格式的异步外设之间的数字通信。

SCI 接收器和发射器各自具有 16 级深度的 FIFO，以减少服务开销，并且每个都有其独立的使能位和中断位。两者都可以独立操作以进行半双工通信，或者同时进行全双工通信。为了指定数据完整性，SCI 通过检查接收数据来检测断点、奇偶校验、溢出和帧错误。比特率可以通过一个 16 位波特率选择寄存器编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
 - ◆ SCITXD: SCI发送输出引脚
 - ◆ SCIRXD: SCI接收输入引脚
 - ◆ 波特率可编程至64K种不同的速率
- 数据字格式：
 - ◆ 1个起始位
 - ◆ 数据字长度可编程，从1到8位
 - ◆ 可选的偶校验/奇校验/无校验位
 - ◆ 1或2个停止位
- 四个错误检测标志：奇偶校验、溢出、帧错误和断点检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器的操作可以通过中断驱动或轮询算法完成，具有状态标志。
 - ◆ 发射器：TXRDY标志（发射器缓冲寄存器准备好接收另一个字符）和TX EMPTY标志（发射器移位寄存器为空）
 - ◆ 接收器：RXRDY标志（接收器缓冲寄存器准备好接收另一个字符）、BRKDT标志（发生断点条件）和RX ERROR标志（监控四种中断条件）
- 发射器和接收器中断的独立使能位（除BRKDT外）
- NRZ格式
- 自动波特率检测硬件逻辑
- 16级深度的发送和接收FIFO

图 7-82 显示了 SCI 的框图。

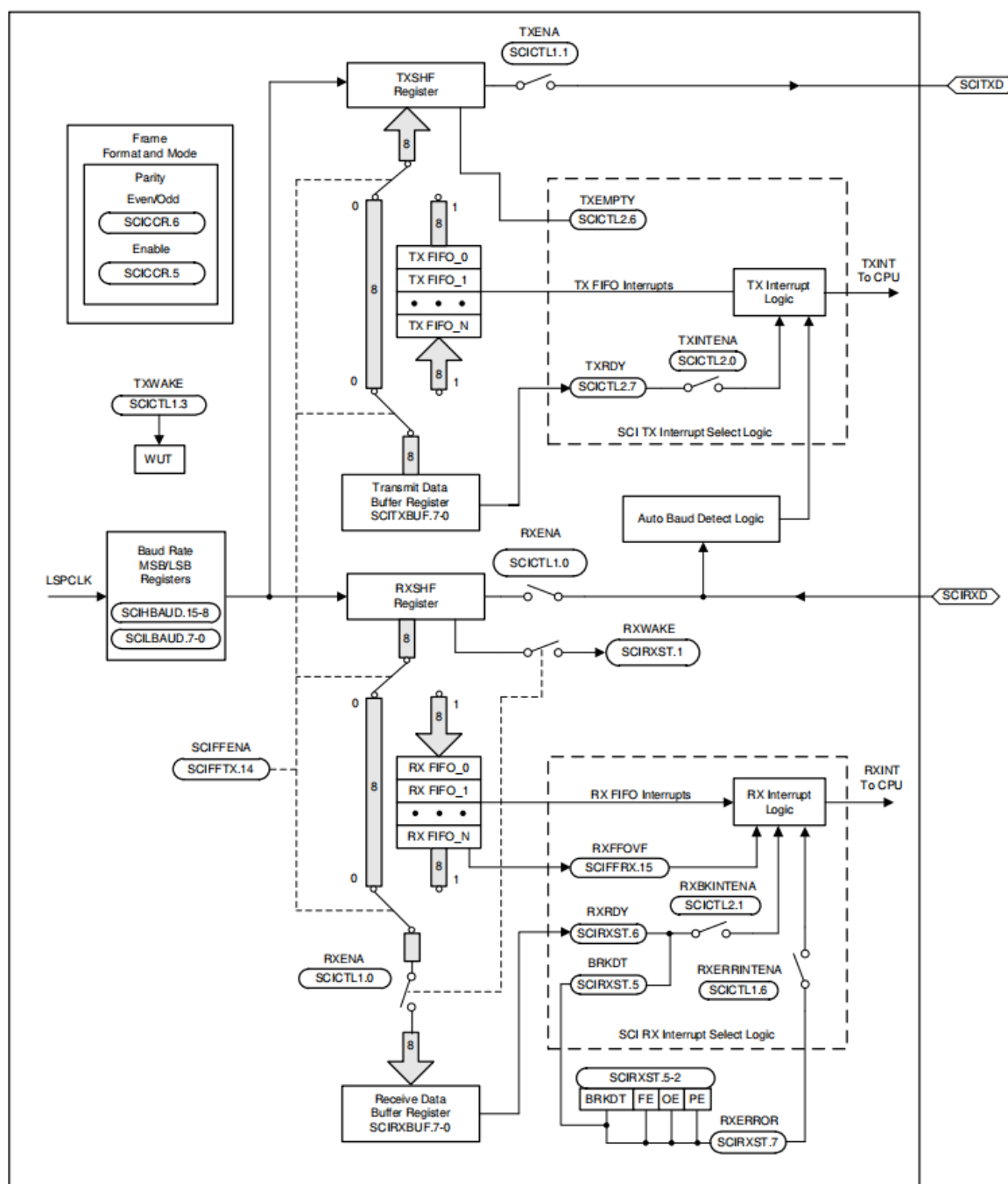


图 7-82 SCI 框图

串行外设接口 (SPI)

串行外设接口 (SPI) 是一个高速同步串行输入和输出 (I/O) 端口，允许将编程长度的串行比特流（从 1 到 16 位）以编程的比特传输速率移入和移出设备。SPI 通常用于 MCU 控制器与外部外设或另一个控制器之间的通信。典型应用包括通过诸如移位寄存器、显示驱动器和模数转换器 (ADCs) 等设备进行外部 I/O 或外设扩展。SPI 支持主从操作，实现多设备通信。该端口支持 16 级深度的接收和发送 FIFO，以减少 DSP 服务开销。

SPI 模块的特性包括：

- SPISOMI: SPI从设备输出/主设备输入引脚
- SPISIMO: SPI从设备输入/主设备输出引脚
- SPISTE: SPI从设备发送使能引脚
- SPICLK: SPI串行时钟引脚
- 两种操作模式：主模式和从模式
- 波特率：125种可编程速率。可以使用的最大波特率受到SPI引脚上使用的I/O缓冲器最大速度的限制。
- 数据字长度：1到16位数据位
- 四种时钟方案（由时钟极性和时钟相位位控制），包括：
 - ◆ 下降沿无相位延迟：SPICLK高电平有效。SPI在SPICLK信号的下降沿发送数据，并在SPICLK信号的上升沿接收数据。
 - ◆ 下降沿有相位延迟：SPICLK高电平有效。SPI在SPICLK信号下降沿前半个周期发送数据，并在SPICLK信号的下降沿接收数据。
 - ◆ 上升沿无相位延迟：SPICLK低电平无效。SPI在SPICLK信号的上升沿发送数据，并在SPICLK信号的下降沿接收数据。
 - ◆ 上升沿有相位延迟：SPICLK低电平无效。SPI在SPICLK信号上升沿前半个周期发送数据，并在SPICLK信号的上升沿接收数据。
- 同时接收和发送操作（可以通过软件禁用发送功能）
- 通过中断驱动或轮询算法完成发射器和接收器的操作
- 16级深度的发送/接收FIFO
- DMA支持
- 高速模式
- 延迟发送控制
- 三线SPI模式
- 对于具有两个SPI模块的设备，在数字音频接口接收模式下反转SPISTE

图 7-83 显示了 SPI DSP 接口。

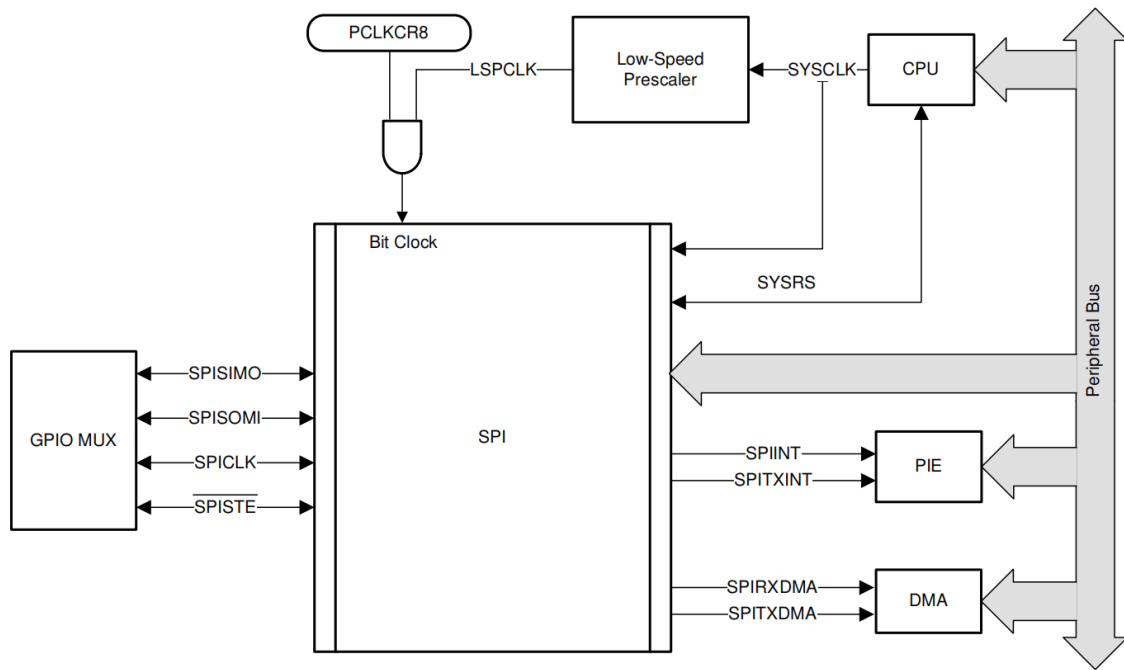


图 7-83 SPI CPU 接口

SPI电气数据和时序

以下部分包含非高速模式下的 SPI 外部时序：

非高速主模式时序

非高速从模式时序

以下部分包含高速模式下的 SPI 外部时序：

高速主模式时序

高速从模式时序

要了解更多关于高速模式下的 SPI 信息，请参阅手册中的串行外设接口（SPI）章节。

非高速主模式时序

列出了 SPI 主模式切换特性，其中时钟相位 = 0。图 7-84 显示了时钟相位 = 0 时的 SPI 主模式外部时序。

列出了 SPI 主模式切换特性，其中时钟相位 = 1。图 7-85 显示了时钟相位 = 1 时的 SPI 主模式外部时序。

列出了 SPI 主模式的时序要求。

SPI主模式切换特性（时钟相位 = 0）

超出推荐操作条件（除非另有说明）

NO.	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间，SPICLK 到 SPISIMO 有效	偶数, 奇数	5		ns
5	$t_{v(SIMO)M}$ 有效时间，SPISIMO 在 SPICLK 后有效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
23	$t_{d(SPC)M}$ 延迟时间， $\overline{SPISTE}$ 有效到 SPICLK	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		
24	$t_{d(STE)M}$ 延迟时间，SPICLK 到 $\overline{SPISTE}$ 无效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。

SPI主模式切换特性（时钟相位 = 1）

超出推荐操作条件（除非另有说明）

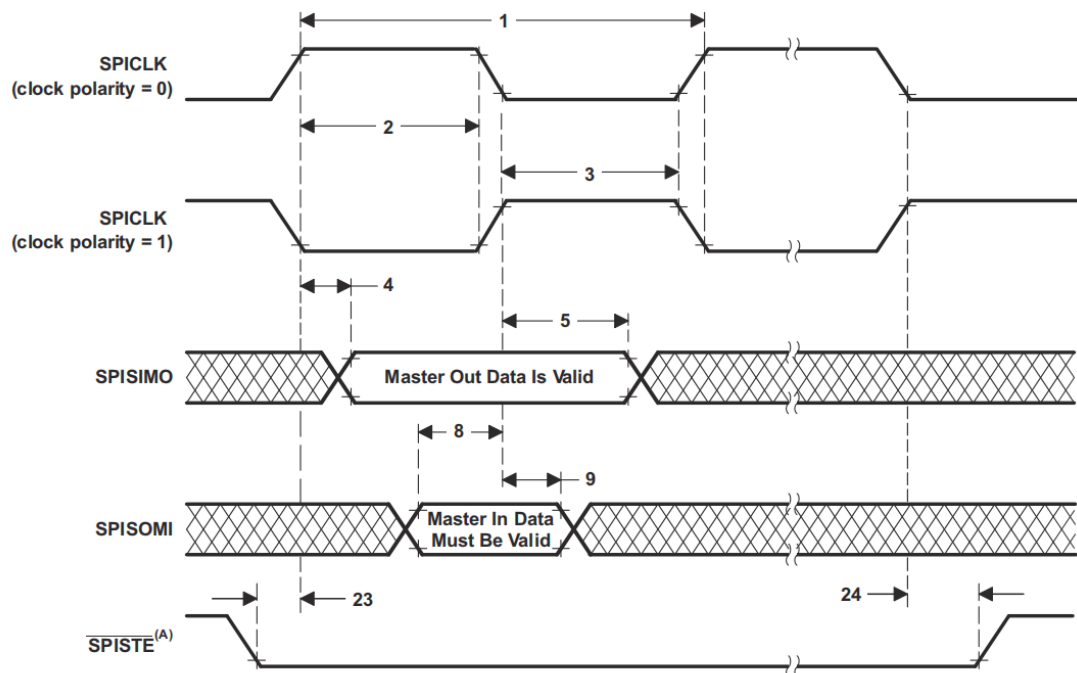
NO.	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间, SPICLK 到 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$ 有效时间, SPISIMO 在 SPICLK 后有效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间, SPISTE 有效到 SPICLK	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK 到 SPISTE 无效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。

SPI主模式时序要求

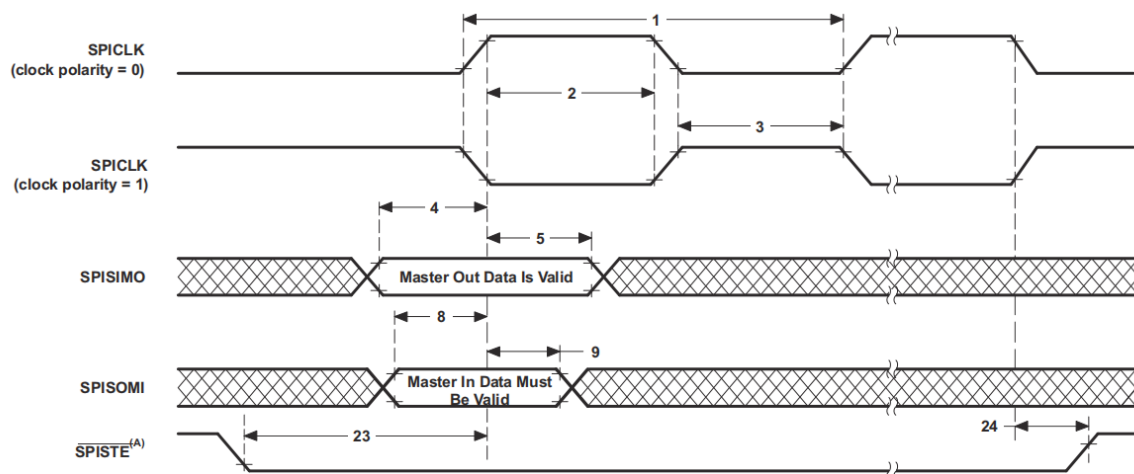
编号		(BRR+1) 条件 ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)M}$ 建立时间, SPISOMI 在 SPICLK 前有效	偶数, 奇数	20		ns
9	$t_{h(SOMI)M}$ 保持时间, SPISOMI 在 SPICLK 后有效	偶数, 奇数	0		ns

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。



A. On the trailing end of the word, $\overline{SPISTE}$ will go inactive except between back-to-back transmit words in both FIFO and non-FIFO modes.

图 7-84 SPI 主模式外部时序 (时钟相位 = 0)



A. On the trailing end of the word, $\overline{SPISTE}$ will go inactive except between back-to-back transmit words in both FIFO and non-FIFO modes.

图 7-85 SPI 主模式外部时序 (时钟相位 = 1)

非高速从模式时序

SPI从模式切换特性

超出推荐操作条件（除非另有说明）

编号	参数	最小值	最大值	单位
15	$t_{d(SOMI)S}$ 延迟时间，SPICLK 到 SPISOMI 有效		16	ns
16	$t_{v(SOMI)S}$ 有效时间，SPISOMI 在 SPICLK 后有效	0		ns

SPI从模式时序要求

编号.			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	建立时间，SPISIMO 在 SPICLK 前有效	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	保持时间，SPISIMO 在 SPICLK 后有效	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	建立时间， $\overline{SPISTE}$ 在 SPICLK 前有效（时钟相位=0）	$2t_{c(SYSCLK)} + 2$		ns
		建立时间， $\overline{SPISTE}$ 在 SPICLK 前有效（时钟相位=1）	$2t_{c(SYSCLK)} + 22$		ns
26	$t_{h(STE)S}$	保持时间， $\overline{SPISTE}$ 在 SPICLK 后无效	$1.5t_{c(SYSCLK)}$		ns

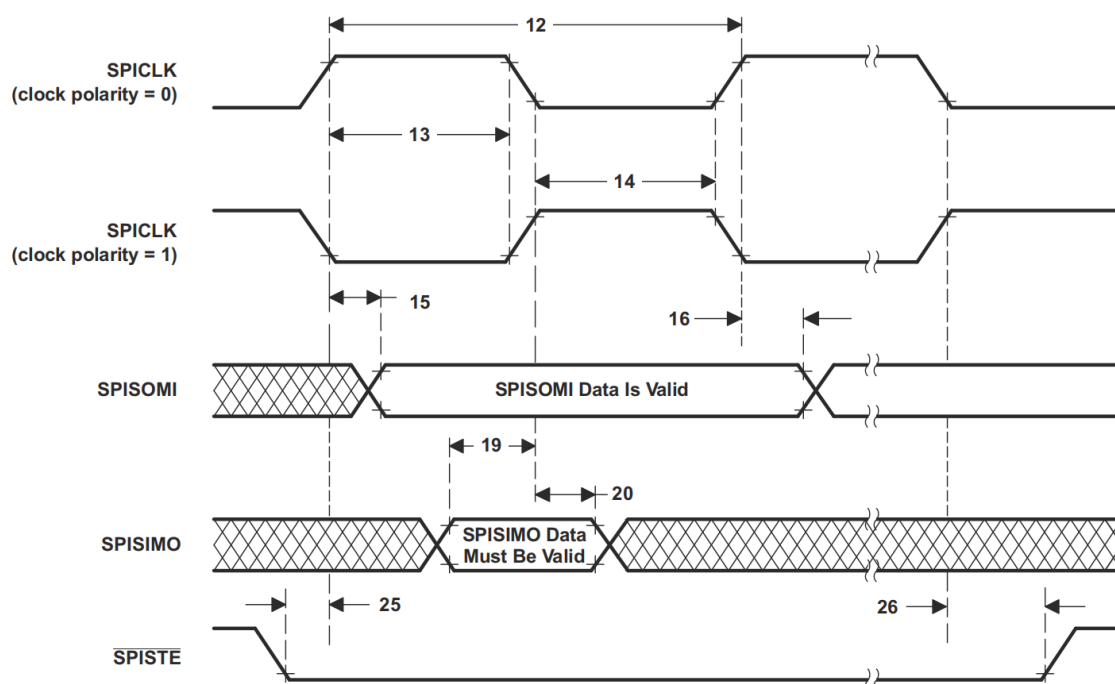


图 7-86 SPI 从模式外部时序（时钟相位 = 0）

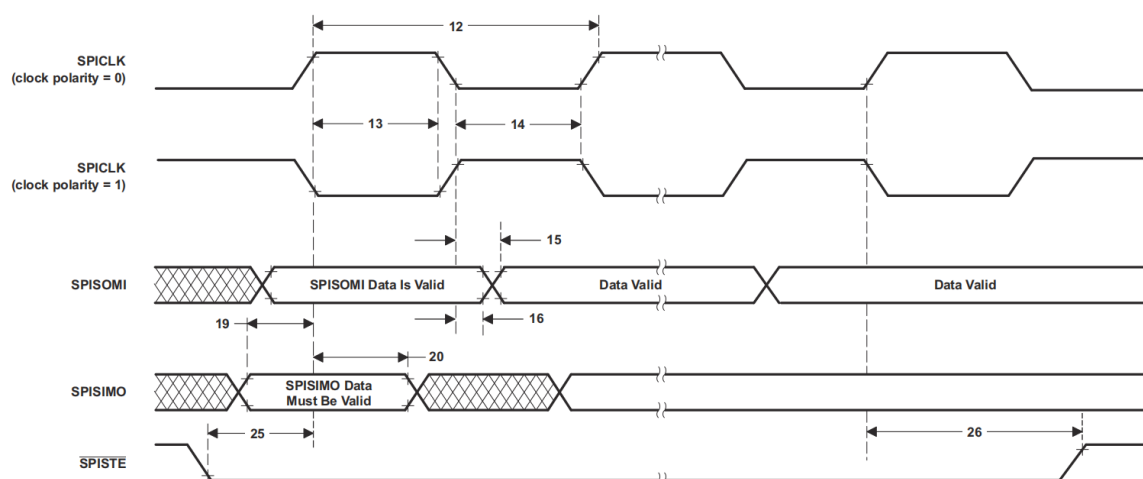


图 7-87 SPI 从模式外部时序（时钟相位 = 1）

高速主模式时序

SPI高速主模式切换特性（时钟相位 = 0）

超出推荐操作条件（除非另有说明）

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
4	$t_{d(SIMO)M}$ 延迟时间, SPICLK 到 SPISIMO 有效	偶数, 奇数	3		ns
5	$t_{v(SIMO)M}$ 有效时间, SPISIMO 在 SPICLK 后有效	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间, $\overline{SPISTE}$ 有效到 SPICLK	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 1$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 1$		
24	$t_{d(STE)M}$ 延迟时间, SPICLK 到 $\overline{SPISTE}$ 无效	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。

SPI高速主模式切换特性（时钟相位 = 1）

超出推荐操作条件（除非另有说明）

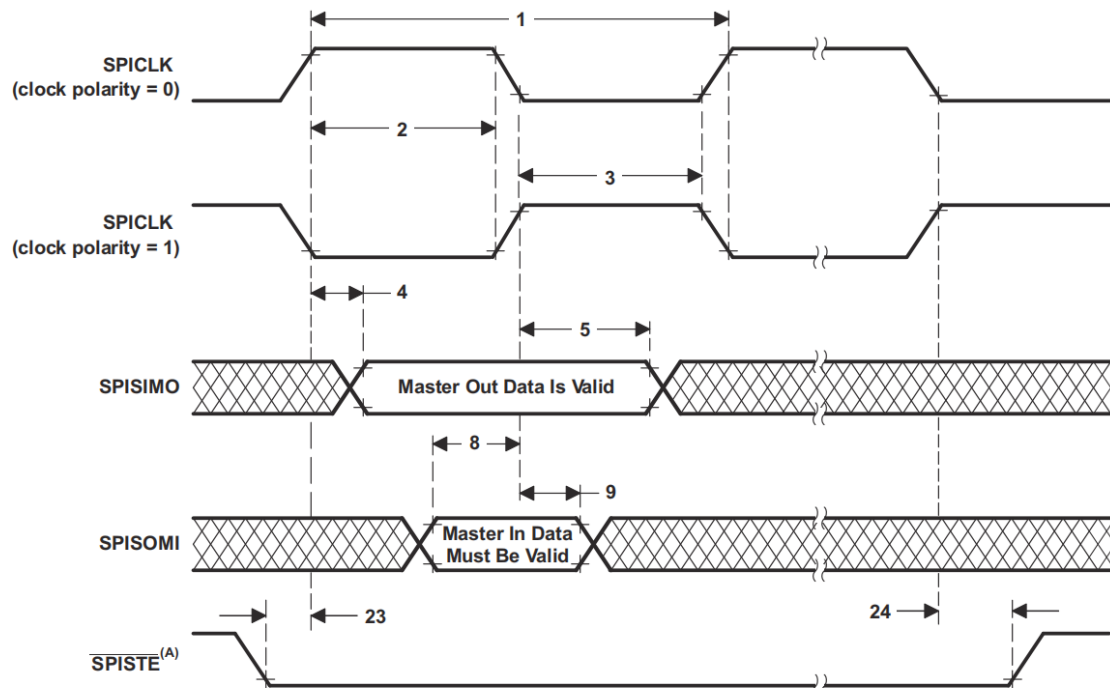
编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间, SPISIMO 有效至 SPICLK	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$ 有效时间, SPISIMO 在 SPICLK 后有效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间, $\overline{SPISTE}$ 有效到 SPICLK	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 1$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK 到 $\overline{SPISTE}$ 无效	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。

SPI 高速主模式定时要求

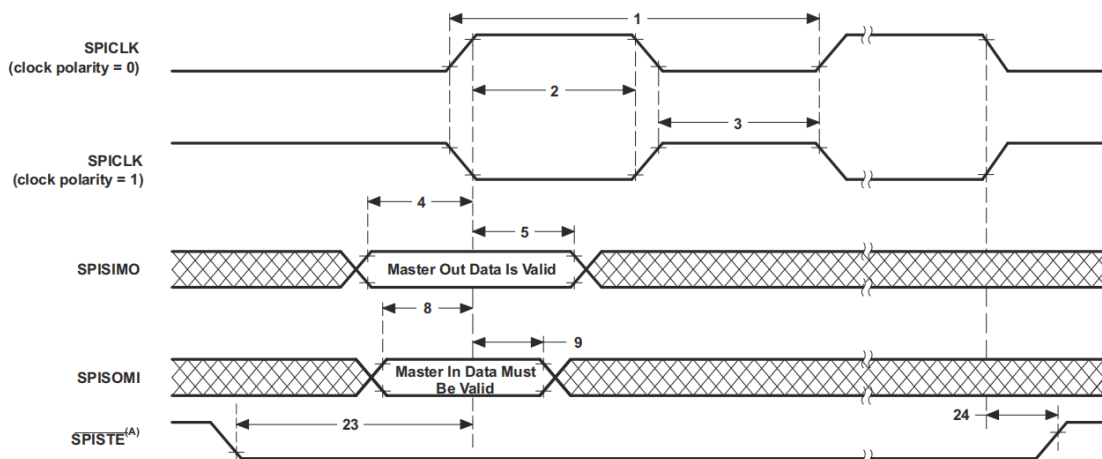
编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)M}$ 建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	2		ns
9	$t_{h(SOMI)M}$ 保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数	11		ns

(1) (BRR + 1) 条件为偶数当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2。它为奇数当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3。



- A. On the trailing end of the word, $\overline{\text{SPISTE}}$ will go inactive except between back-to-back transmit words in both FIFO and non-FIFO modes.

图 7-88 高速 SPI 主模式外部时序（时钟相位 = 0）



- A. On the trailing end of the word, $\overline{\text{SPISTE}}$ will go inactive except between back-to-back transmit words in both FIFO and non-FIFO modes.

图 7-89 高速 SPI 主模式外部时序（时钟相位 = 1）

高速从模式时序

SPI 高速从模式切换特性

超出推荐操作条件（除非另有说明）

编号	参数	最小值	最大值	单位
15	$t_{d(SOMI)S}$ 延迟时间，SPICLK 到 SPISOMI 有效		14	ns
16	$t_{v(SOMI)S}$ 有效时间，SPISOMI 在 SPICLK 之后有效	0		ns

SPI 高速从模式定时要求

编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ 脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ 脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$ 建立时间，SPISIMO 在 SPICLK 之前有效	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$ 保持时间，SPISIMO 在 SPICLK 之后有效	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ 建立时间， $\overline{SPISTE}$ 在 SPICLK 之前有效	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$ 保持时间， $\overline{SPISTE}$ 在 SPICLK 之后无效	$1.5t_{c(SYSCLK)}$		ns

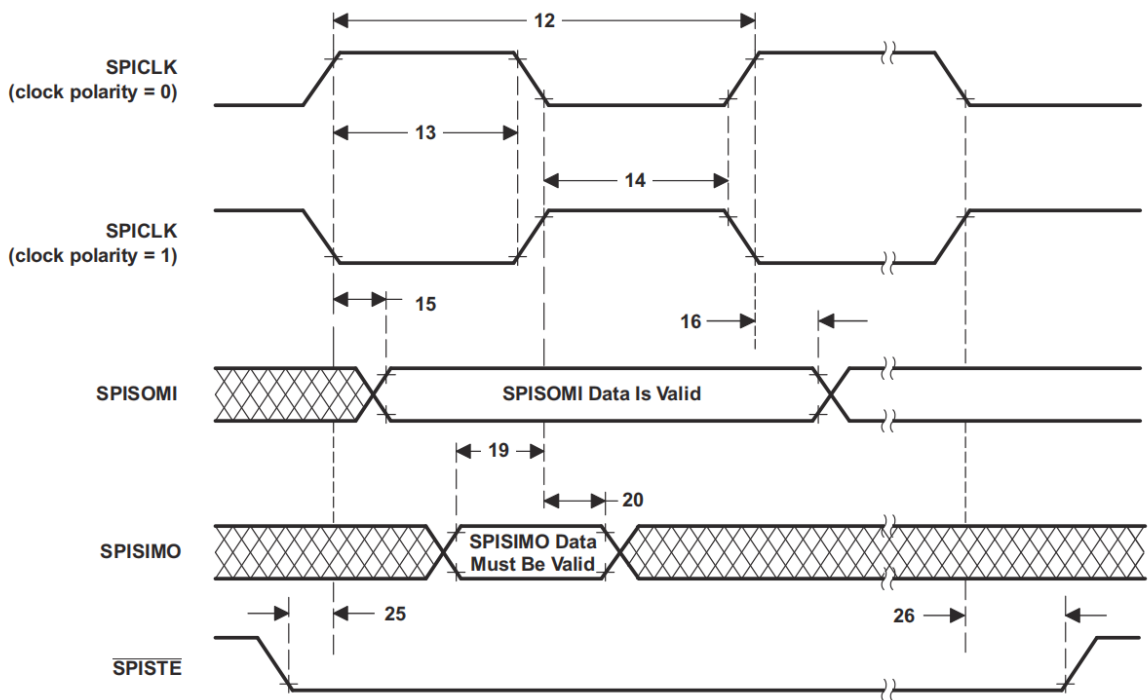


图 7-90 高速 SPI 从模式外部时序（时钟相位 = 0）

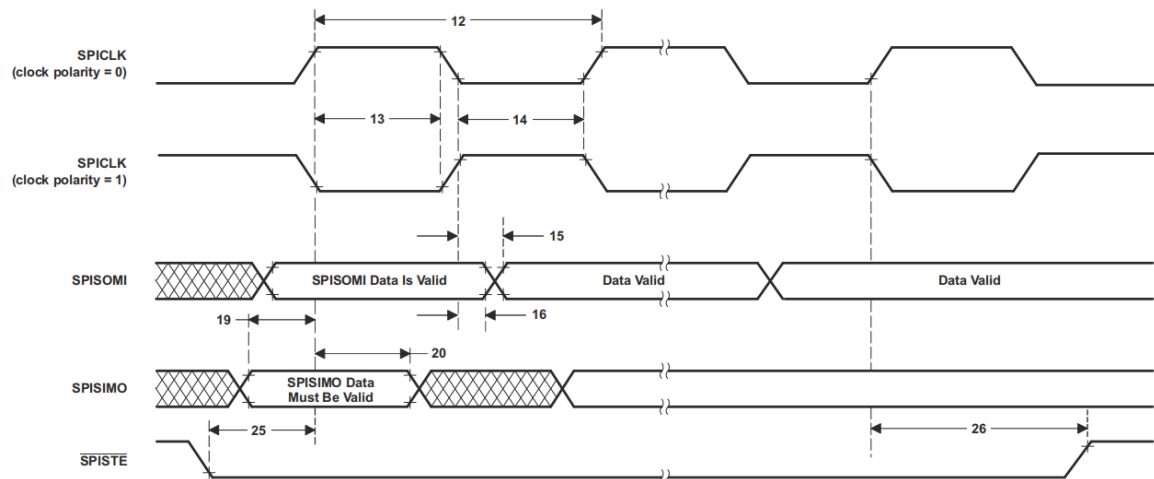


图 7-91 高速 SPI 从模式外部时序（时钟相位 = 1）

本地互连网络 (LIN)

该设备包含一个本地互连网络 (LIN) 模块。LIN 模块遵循由 LIN 规范包修订版 2.1 定义的 LIN 2.1 标准。LIN 是一种低成本的串行接口，设计用于在实现 CAN 协议可能过于昂贵的应用中，例如汽车应用中的小型子网络，如内部照明或窗户控制等驾驶室舒适功能。

LIN 标准基于 SCI (UART) 串行数据链路格式。通信概念是单主多从，具有用于在任何网络节点之间进行多播传输的消息标识。

LIN 模块可以被编程为作为 SCI 或作为 LIN 工作，因为模块的核心是一个 SCI。为了实现 LIN 兼容性，SCI 的硬件特性得到了增强。SCI 模块是一个通用异步接收器-发送器 (UART)，实现了标准的非返回零格式。

尽管 LIN 和 SCI 的寄存器是通用的，但寄存器描述中有注释来标识不同模式下的寄存器/位使用情况。因此，为此模块编写的代码不能直接移植到独立的 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 可配置波特率高达 20 kbps（根据 LIN 2.1 协议）
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 消息过滤的识别掩码
- 自动主头生成
 - ◆ 可编程同步断字段
 - ◆ 同步字段
 - ◆ 标识符字段
- 从设备自动同步
 - ◆ 同步断检测
 - ◆ 可选波特率更新
 - ◆ 同步验证
- 2^{31} 个可编程传输速率，带有 7 个分数位
- 通过收发器的 LINRX 主导电平唤醒
- 自动唤醒支持
 - ◆ 唤醒信号生成
 - ◆ 唤醒信号的到期时间
- 自动总线空闲检测
- 错误检测
 - ◆ 比特错误
 - ◆ 总线错误
 - ◆ 无响应错误
 - ◆ 校验和错误
 - ◆ 同步字段错误
 - ◆ 奇偶校验错误
- 使用直接内存访问 (DMA) 进行传输和接收数据的能力
- 两条中断线，具有优先级编码，用于：
 - ◆ 接收
 - ◆ 发送
 - ◆ ID、错误和状态

- 支持 LIN 2.0 校验和
- 增强型同步有限状态机（FSM）支持帧处理
- 扩展帧的增强处理
- 增强型波特率生成器
- 更新唤醒/休眠状态

图 7-92 显示了 LIN 的框图。

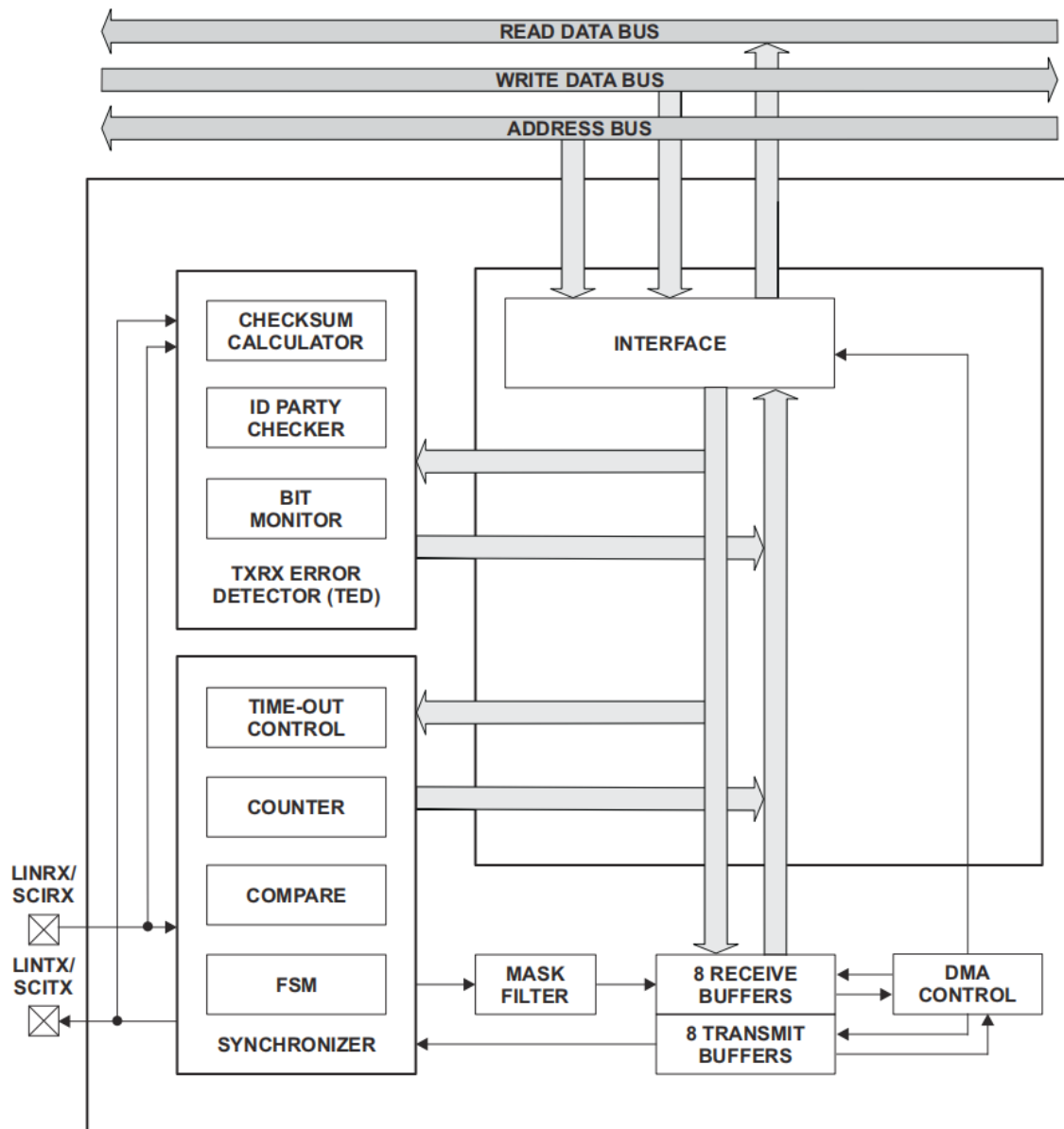


图 7-92. LIN 方框图

快速串行接口 (FSI)

快速串行接口 (FSI) 模块是一种能够进行可靠且健壮的高速通信的串行通信外设。FSI 旨在确保在多种系统条件下的数据稳健性，如芯片到芯片以及通过隔离屏障的板卡到板卡。载荷完整性检查（如 CRC、帧起始和结束模式以及用户定义的标签）在传输前被编码，然后在接收后进行验证，无需额外的 DSP 交互。线路中断可以通过周期性传输来检测，所有这些都由硬件管理和监控。FSI 还与设备上的其他控制外设紧密集成。为了确保最新的传感器数据或控制参数可用，可以在每个控制循环周期内传输帧。接收器上增加了一个集成的偏差补偿块，以处理由于各种因素（包括走线长度不匹配和由隔离芯片引起的偏差）可能导致的时钟与数据信号之间的偏差。凭借嵌入式数据稳健性检查、数据链路完整性检查、偏差补偿以及与控制外设的集成，FSI 可以实现任何系统中的高速、健壮通信。FSI 的这些功能和其他许多功能如下所述。

FSI 模块包括以下功能：

- 独立的发送器和接收器核心
- 源同步传输
- 双数据速率 (DDR)
- 一条或两条数据线
- 可编程数据长度
- 用于补偿板卡和系统延迟不匹配的偏差调整块
- 帧错误检测
- 用于消息过滤的可编程帧标记
- 硬件 ping 功能，用于在通信过程中检测线路中断 (ping 看门狗)
- 每个 FSI 核心两个中断
- 外部触发帧生成
- 硬件或软件计算的 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- CLA 任务触发
- SPI 兼容模式 (部分功能可用)

在最大速度 (50 MHz) 下以双数据速率 (100 Mbps) 操作 FSI 可能需要根据具体情况配置集成的偏差补偿块。快速串行接口 (FSI) 偏差补偿应用报告提供了示例软件，说明如何在快速串行接口上配置和设置集成的偏差补偿块。

FSI 由独立的发送器 (FSITX) 和接收器 (FSIRX) 核心组成。FSITX 和 FSIRX 核心是独立配置和操作的。

FSI 发送器

FSI 发送器模块负责数据的成帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器核心的操作通过可编程控制寄存器进行控制和配置。发送器控制寄存器允许 DSP（或 CLA）编程、控制和监控 FSI 发送器的操作。传输数据缓冲区可供 DSP、CLA 和 DMA 访问。

发送器具有以下功能：

- 自动生成ping帧
- 外部触发的ping帧
- 外部触发的数据帧
- 软件可配置的帧长度
- 16字数据缓冲区
- 数据缓冲区欠载和过载检测
- 硬件生成的 CRC 对数据位
- 对选定数据的软件 ECC 计算
- DMA 支持
- CLA 任务触发

图 7-93 显示了 FSITX DSP 接口。图 7-94 显示了 FSITX 的高级框图。并非所有数据路径和内部连接都显示出来。此图提供了 FSITX 中存在的内部模块的高级概述。

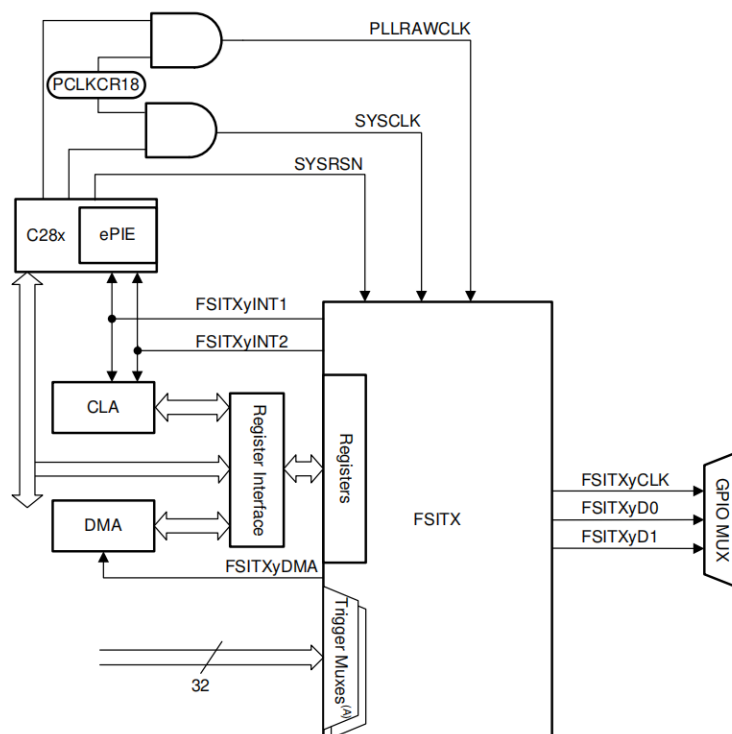


图 7-93. FSITX CPU 接口

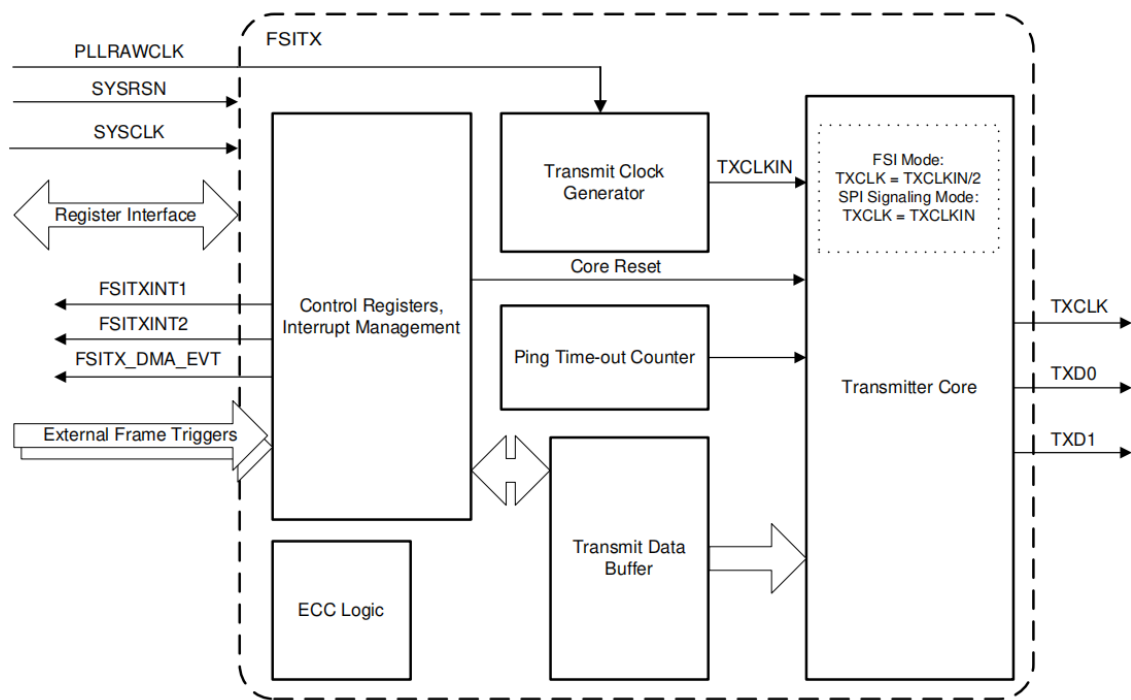


图 7-94. FSITX 方框图

FSITX 电气数据和时序

FSITX 开关特性

在操作自由空气温度范围内（除非另有说明）

编号	参数	最小值	最大值	单位
1	$t_c(\text{TXCLK})$ 周期时间, TXCLK	20		ns
2	$t_w(\text{TXCLK})$ 脉冲宽度, TXCLK 低电平或 TXCLK 高电平	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKL-TXD})$ 延迟时间, 数据在 TXCLK 上升沿或下降沿后有效	$(0.25t_c(\text{TXCLK})) - 3.2$	$(0.25t_c(\text{TXCLK})) + 4.7$	ns

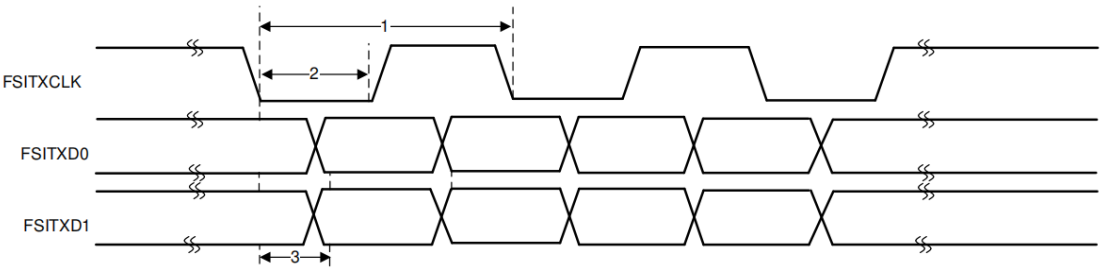


图 7-95. FSITX 计时

FSI 接收器

接收器模块通过可选的可编程延迟线与 FSI 时钟（RXCLK）和数据线（RXD0 和 RXD1）接口。接收器核心负责数据成帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由 RXCLK 输入驱动，这与设备系统时钟异步。

接收器控制寄存器允许 DSP（或 CLA）编程、控制和监控 FSIRX 的操作。接收数据缓冲区可供 DSP、CLA 和 DMA 访问。

接收器核心具有以下功能：

- 16字数据缓冲区
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 硬件中的 CRC 计算和比较
- ECC 检测
- 对输入信号的可编程延迟线控制
- DMA 支持
- CLA 任务触发
- SPI 兼容模式

图 7-96 显示了 FSIRX DSP 接口。图 7-97 提供了 FSIRX 中存在的内部模块的高级概述。并非所有数据路径和内部连接都显示出来。

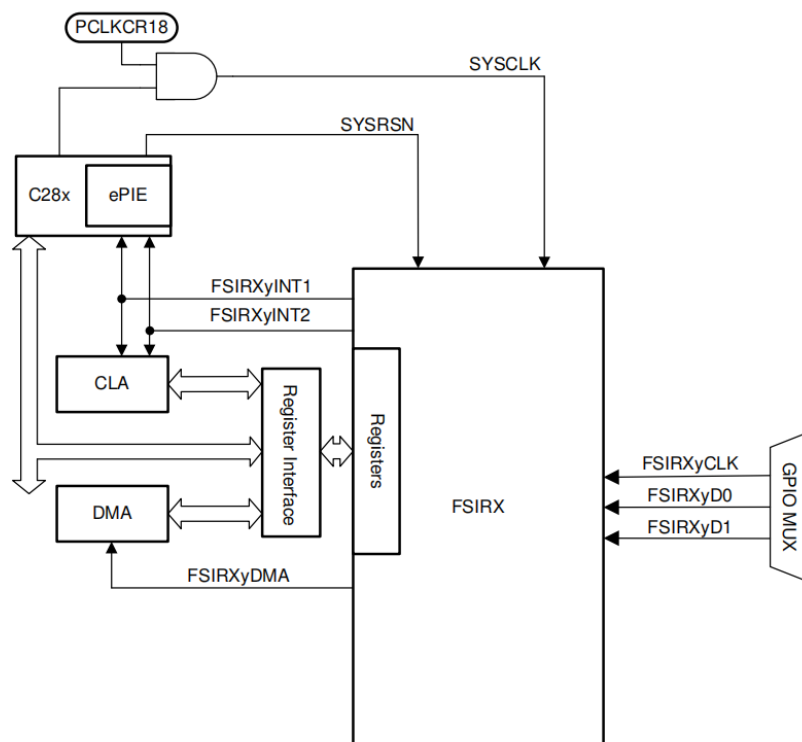


图 7-96. FSIRX CPU 接口

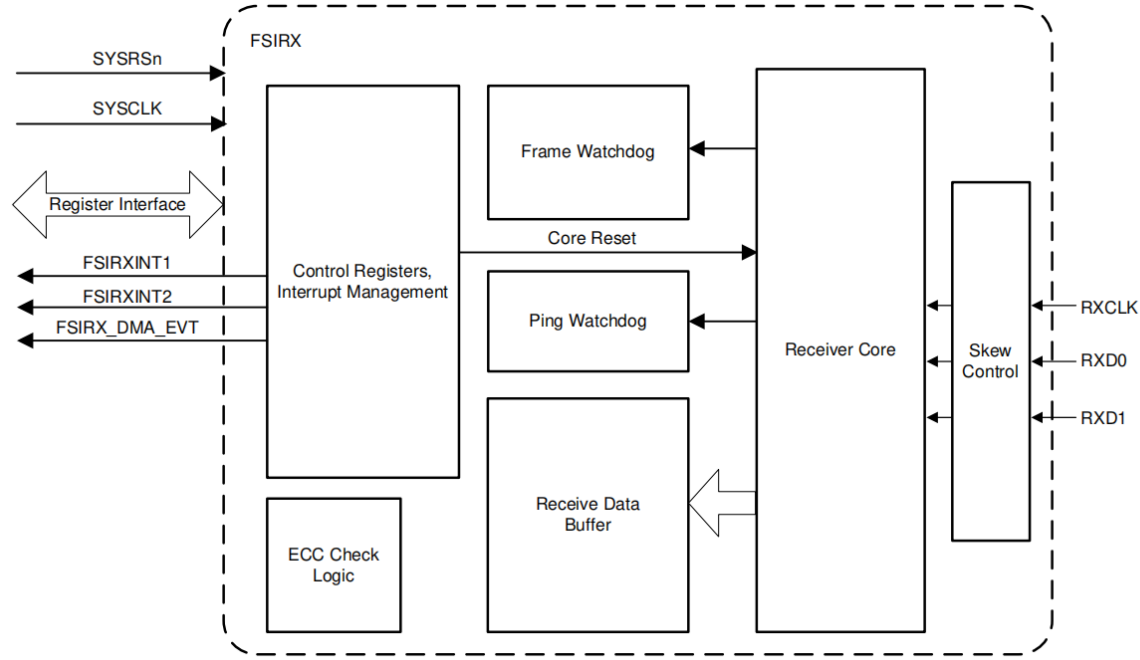


图 7-97. FSIRX 方框图

FSIRX 电气数据和时序

FSIRX 开关特性

编号	参数	最小值	最大值	单位
1	$t_{d(RXCLK)}$ RXCLK 延迟补偿在 RX_DLYLINE_CTRL[RXCLK_DLY] = 31	6	21	ns
2	$t_{d(RXD0)}$ RXD0 延迟补偿在 RX_DLYLINE_CTRL[RXD0_DLY] = 31	6	21	ns
3	$t_{d(RXD1)}$ RXD1 延迟补偿在 RX_DLYLINE_CTRL[RXD1_DLY] = 31	6	21	ns
4	$t_{d(DELAY_ELEMENT)}$ RXCLK、RXD0 和 RXD1 每个延迟线元素的增量延迟	0.17	0.7	ns

FSIRX 时序要求

编号	参数	最小值	最大值	单位
1	$t_c(RXCLK)$ 周期时间, RXCLK	20		ns
2	$t_w(RXCLK)$ 脉冲宽度, RXCLK 低电平或 RXCLK 高电平	$(0.5t_c(RXCLK)) - 1$	$(0.5t_c(RXCLK)) + 1$	ns
3	$t_{su}(RXCLK-RXD)$ 相对于 RXCLK 的建立时间, 适用于时钟的两个边沿	1.7		ns
4	$t_h(RXCLK-RXD)$ 相对于 RXCLK 的保持时间, 适用于时钟的两个边沿	3.8		ns

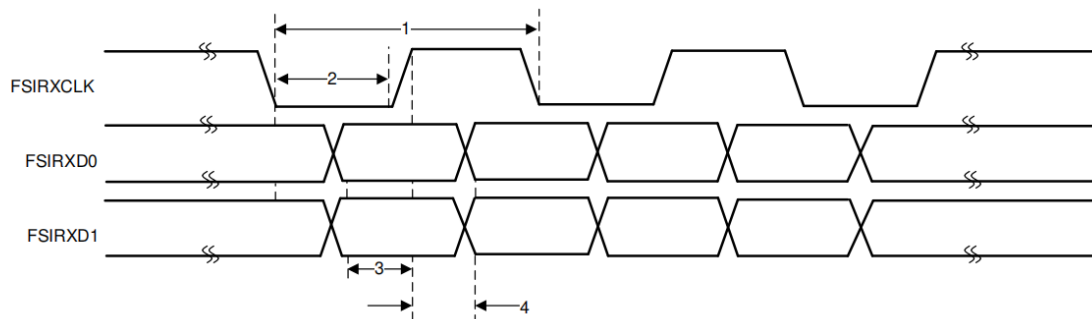


图 7-98. FSIRX 计时

FSI SPI 兼容模式

FSI 支持 SPI 兼容模式，以便与可编程 SPI 设备进行通信。在此模式下，FSI 以与 SPI 在单时钟配置模式下相同的方式传输其数据。虽然 FSI 能够在此模式下与 SPI 物理接口，但外部设备必须能够编码和解码 FSI 帧才能成功通信。这是因为 FSI 会传输所有 SPI 帧阶段，但不包括前导码和后导码。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，允许更可靠的通信而不会消耗 DSP 周期。外部 SPI 需要发送所有相关信息，并可以访问标准 FSI 功能，如 FSIRX 上的 ping 帧看门狗、帧标签或自定义 CRC 值。SPI 兼容模式的功能列表如下：

- 数据将在时钟上升沿传输，并在下降沿接收。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效的片选信号一样驱动。该信号在完整帧传输期间保持低电平。
- 不需要接收器片选输入。RXD1 不使用。数据在每个活动时钟边缘移入接收器。
- 不会传输前导码或后导码时钟。所有信号在帧阶段完成后返回空闲状态。
- 无法在 SPI 从属配置下传输，因为 FSI TXCLK 无法接受外部时钟源。

FSITX SPI 信号模式电气数据和时序

FSITX SPI 信号模式开关特性

在操作自由空气温度范围内（除非另有说明）

编号	参数	最小值	最大值	单位
1	$t_c(\text{TXCLK})$ 周期时间, TXCLK	20		ns
2	$t_w(\text{TXCLK})$ 脉冲宽度, TXCLK 低电平或 TXCLK 高电平	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH-TXD0})$ 延迟时间, TXCLK 高电平后数据有效		3	ns
4	$t_d(\text{TXD1-TXCLK})$ 延迟时间, TXD1 低电平后 TXCLK 高电平	$t_w(\text{TXCLK}) - 1$		ns
5	$t_d(\text{TXCLK-TXD1})$ 延迟时间, TXD1 高电平后 TXCLK 低电平	$t_w(\text{TXCLK}) - 1$		ns

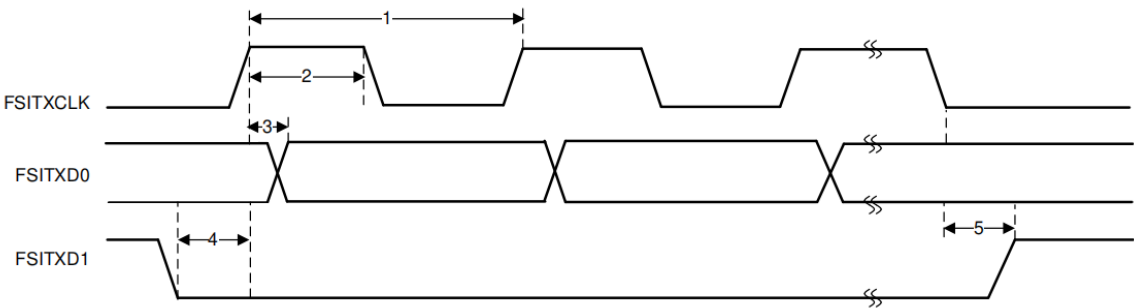


图 7-99. FSITX SPI 信令模式计时

详细描述

概述

FDM320R0049 是一款功能强大的 32 位浮点数字信号处理器(DSP)，让设计人员能够在单个设备上集成关键的控制外设、差异化模拟和非易失性存储器。

实时控制子系统基于 32 位的 CISC DSP，提供 100MHz 的信号处理性能。CISC DSP 通过新的 TMU 扩展指令集进一步增强，该指令集支持快速执行常见于变换和扭矩环计算中的三角运算；以及 VCU 扩展指令集，减少了编码应用中常见的复杂数学操作的延迟。

CLA 允许显著减轻主 CISC DSP 的常见任务负担。CLA 是一个独立的 32 位浮点数学加速器，可与 DSP 并行执行。此外，CLA 拥有自己的专用内存资源，并且可以直接访问典型控制系统所需的关键外设。支持 ANSI C 子集是标准配置，硬件断点和硬件任务切换等关键功能也是如此。

FDM320R0049 支持多达 256KB (128KW) 的闪存，分为两个 128KB (64KW) 的存储区，实现并行编程和执行。还提供多达 100KB (50KW) 的片上 SRAM，以 4KB (2KW) 和 16KB (8KW) 的块分配，以进行高效的系统分区。还支持 Flash ECC、SRAM ECC/奇偶校验和双区安全功能。

高性能模拟模块集成在 FDM320R0049DSP 上，进一步促进系统整合。三个独立的 12 位 ADC 提供精确且有效的多路模拟信号管理，最终提升系统吞吐量。模拟前端上的七个 PGA 使芯片上电压缩放成为可能，然后再进行转换。七个模拟比较器模块提供连续监测输入电压水平，用于跳变条件。

通过各种行业标准通信端口（如 SPI、SCI、I2C、LIN 和 CAN）提供连接支持，并针对多种应用提供多个复用选项以优化信号放置。C2000 平台新增了完全兼容的 PMBus。另外，作为行业首创，FSI 实现了高速、可靠的通信，补充了嵌入在设备中的丰富外设集。

功能框图

图 8-1 显示了 DSP 系统及其相关外设。

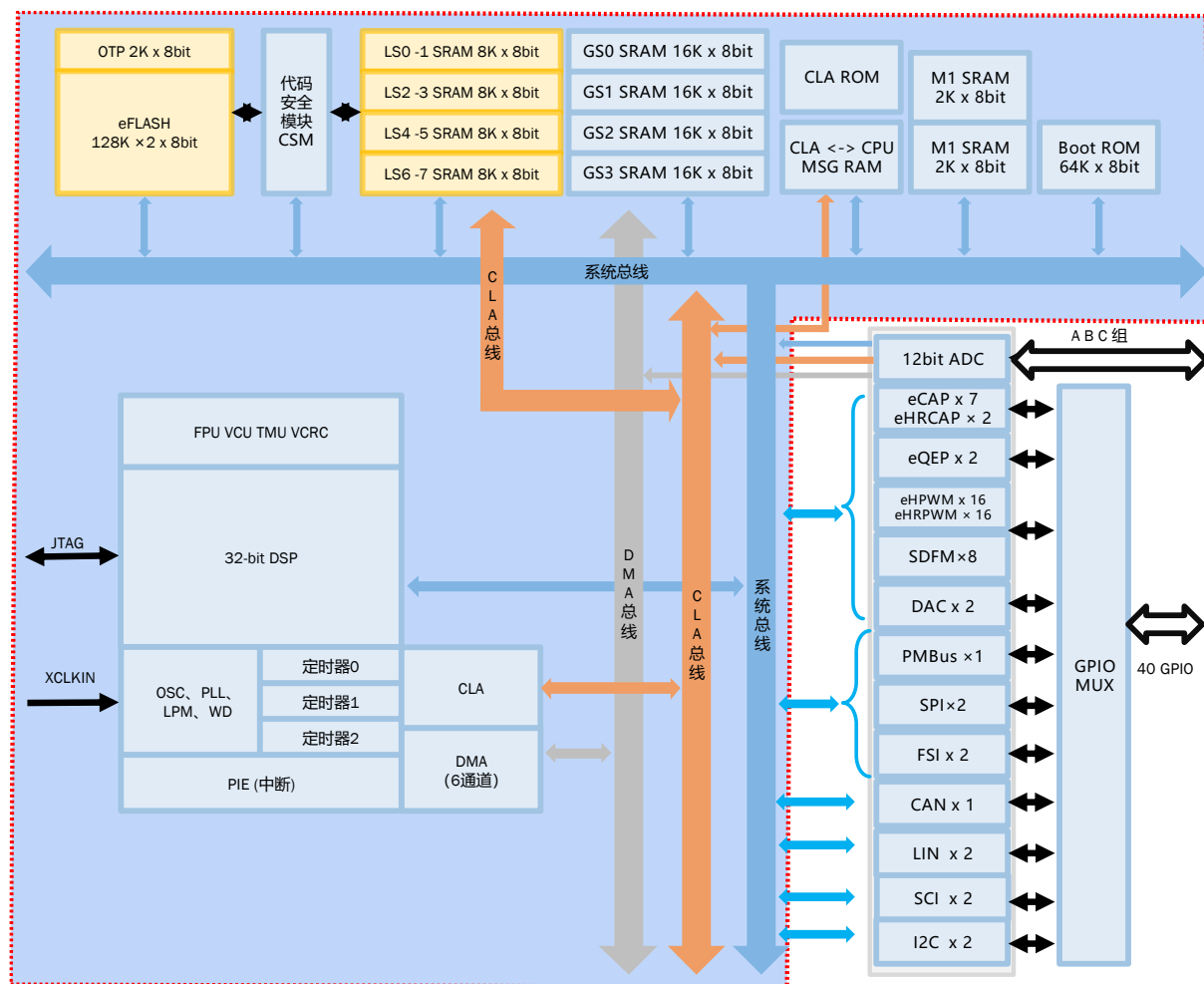


图 8-1.功能方框图

内存

内存映射

下表描述了 CISC 内存映射。还注明了 CLA 或 DMA（直接内存访问）可访问的内存。

表 8-1. CISC 内存映射

内存	大小	起始地址	结束地址	CLA 访问	DMA 访问	支持 ECC	奇偶校验	内存访问保护	安全
M0 RAM	1K × 16	0x0000 0000	0x0000 03FF			Yes			
M1 RAM	1K × 16	0x0000 0400	0x0000 07FF			Yes			
PieVectTable	512 × 16	0x0000 0D00	0x0000 0EFF						
CLA-to-DSP MSGRAM	128 × 16	0x0000 1480	0x0000 14FF	Read/Write			Yes		
DSP-to-CLA MSGRAM	128 × 16	0x0000 1500	0x0000 157F	Read			Yes		
LS0 RAM	2K × 16	0x0000 8000	0x0000 87FF	Configurable			Yes	Yes	Yes
LS1 RAM	2K × 16	0x0000 8800	0x0000 8FFF	Configurable			Yes	Yes	Yes
LS2 RAM	2K × 16	0x0000 9000	0x0000 97FF	Configurable			Yes	Yes	Yes
LS3 RAM	2K × 16	0x0000 9800	0x0000 9FFF	Configurable			Yes	Yes	Yes
LS4 RAM	2K × 16	0x0000 A000	0x0000 A7FF	Configurable			Yes	Yes	Yes
LS5 RAM	2K × 16	0x0000 A800	0x0000 AFFF	Configurable			Yes	Yes	Yes
LS6 RAM	2K × 16	0x0000 B000	0x0000 B7FF	Configurable			Yes	Yes	Yes
LS7 RAM	2K × 16	0x0000 B800	0x0000 BFFF	Configurable			Yes	Yes	Yes
GS0 RAM	8K × 16	0x0000 C000	0x0000 DFFF		Yes		Yes	Yes	
GS1 RAM	8K × 16	0x0000 E000	0x0000 FFFF		Yes		Yes	Yes	
GS2 RAM	8K × 16	0x0001 0000	0x0001 1FFF		Yes		Yes	Yes	
GS3 RAM	8K × 16	0x0001 2000	0x0001 3FFF		Yes		Yes	Yes	
CAN A Message RAM	2K × 16	0x0004 9000	0x0004 97FF		Yes		Yes		
CAN B Message RAM	2K × 16	0x0004 B000	0x0004 B7FF		Yes		Yes		
Flash Bank 0	64K × 16	0x0008 0000	0x0008 FFFF			Yes		N/A	Yes
Flash Bank 1	64K × 16	0x0009 0000	0x0009 FFFF			Yes		N/A	Yes
Secure ROM	32K × 16	0x003E 8000	0x003E FFFF						Yes
Boot ROM	64K × 16	0x003F 0000	0x003F FFBF						
Vectors	64 × 16	0x003F FFC0	0x003F FFFF						
CLA Data ROM	4K × 16	0x0100 1000	0x0100 1FFF	Read					

控制律加速器 (CLA) ROM 内存映射

表 8-2 显示了 CLA 数据 ROM 内存映射。

表 8-2. CLA 数据 ROM 内存映射

内存	起始地址	结束地址	长度
FFT 表（加载）	0x0100 1070	0x0100 186F	0x0800
数据（加载）	0x0100 1870	0x0100 1FF9	0x078A
版本（加载）	0x0100 1FFA	0x0100 1FFF	0x0006
FFT 表（运行）	0x0000 F070	0x0000 F86F	0x0800
数据（运行）	0x0000 F870	0x0000 FFF9	0x078A
版本（运行）	0x0000 FFFA	0x0000 FFFF	0x0006

闪存映射

在 FDM320R0049 设备上，最多有两个闪存存储区（每个 128KB [64KW]）。闪存存储区由单个 FMC（闪存模块控制器）控制。在双存储区设备中，可以从一个闪存存储区执行代码以擦除或编程另一个闪存存储区，或者从 RAM 执行代码。在进行擦除/编程操作时，不应访问任何类型的闪存存储区。表 8-3 列出了 FDM320R0049 的闪存扇区地址。

表 8-3.FDM320R0049 的闪存扇区地址

扇区	地址			ECC 地址		
	大小	起始地址	结束地址	大小	起始地址	结束地址
OTP 扇区						
OTP 存储区 0	1K x 16	0x0007 0000	0x0007 03FF	128 x 16	0x0107 0000	0x0107 007F
OTP 存储区 1	1K x 16	0x0007 0400	0x0007 07FF	128 x 16	0x0107 0080	0x0107 00FF
用户可配置 DCSM OTP 存储区 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
用户可配置 DCSM OTP 存储区 1	1K x 16	0x0007 8400	0x0007 87FF	128 x 16	0x0107 1080	0x0107 10FF
闪存存储区 0 扇区						
Sector 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
扇区 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
扇区 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
扇区 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
扇区 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
扇区 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
扇区 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
扇区 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
扇区 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
扇区 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
扇区 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
扇区 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
扇区 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
扇区 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
扇区 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
扇区 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

表 8-3.FDM320R0049 的闪存扇区地址（续）

扇区	地址			ECC 地址		
	大小	起始地址	END	大小	起始地址	END
闪存存储区 1 扇区						
扇区 0	4K x 16	0x0009 0000	0x0009 0FFF	512 x 16	0x0108 2000	0x0108 21FF
扇区 1	4K x 16	0x0009 1000	0x0009 1FFF	512 x 16	0x0108 2200	0x0108 23FF
扇区 2	4K x 16	0x0009 2000	0x0009 2FFF	512 x 16	0x0108 2400	0x0108 25FF
扇区 3	4K x 16	0x0009 3000	0x0009 3FFF	512 x 16	0x0108 2600	0x0108 27FF
扇区 4	4K x 16	0x0009 4000	0x0009 4FFF	512 x 16	0x0108 2800	0x0108 29FF
扇区 5	4K x 16	0x0009 5000	0x0009 5FFF	512 x 16	0x0108 2A00	0x0108 2BFF
扇区 6	4K x 16	0x0009 6000	0x0009 6FFF	512 x 16	0x0108 2C00	0x0108 2DFF
扇区 7	4K x 16	0x0009 7000	0x0009 7FFF	512 x 16	0x0108 2E00	0x0108 2FFF
扇区 8	4K x 16	0x0009 8000	0x0009 8FFF	512 x 16	0x0108 3000	0x0108 31FF
扇区 9	4K x 16	0x0009 9000	0x0009 9FFF	512 x 16	0x0108 3200	0x0108 33FF
扇区 10	4K x 16	0x0009 A000	0x0009 AFFF	512 x 16	0x0108 3400	0x0108 35FF
扇区 11	4K x 16	0x0009 B000	0x0009 BFFF	512 x 16	0x0108 3600	0x0108 37FF
扇区 12	4K x 16	0x0009 C000	0x0009 CFFF	512 x 16	0x0108 3800	0x0108 39FF
扇区 13	4K x 16	0x0009 D000	0x0009 DFFF	512 x 16	0x0108 3A00	0x0108 3BFF
扇区 14	4K x 16	0x0009 E000	0x0009 EFFF	512 x 16	0x0108 3C00	0x0108 3DFF
扇区 15	4K x 16	0x0009 F000	0x0009 FFFF	512 x 16	0x0108 3E00	0x0108 3FFF

外设寄存器内存映射

表 8-5 列出了外设寄存器。

表 8-5. 外设寄存器内存映射

寄存器	结构名称	起始地址	结束地址	流水线保护	CLA 访问	DMA 访问
外设帧 0						
AdcaResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B00	0x0000 0B1F		Yes	Yes
AdcbResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B20	0x0000 0B3F		Yes	Yes
AdccResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B40	0x0000 0B5F		Yes	Yes
Cla1OnlyRegs	CLA_ONLY_REGS	0x0000 0C00	0x0000 0CFF		Yes	
DSPTimer0Regs	DSPTIMER_REGS	0x0000 0C00	0x0000 0C07			
DSPTimer1Regs	DSPTIMER_REGS	0x0000 0C08	0x0000 0C0F			
DSPTimer2Regs	DSPTIMER_REGS	0x0000 0C10	0x0000 0C17			
PieCtrlRegs	PIE_CTRL_REGS	0x0000 0CE0	0x0000 0CFF			
Cla1SoftIntRegs	CLA_SOFTINT_REGS	0x0000 0CE0	0x0000 0CFF		Yes	
DmaRegs	DMA_REGS	0x0000 1000	0x0000 11FF			
Cla1Regs	CLA_REGS	0x0000 1400	0x0000 147F	Yes		
外设帧 1						
EPwm1Regs	EPWM_REGS	0x0000 4000	0x0000 40FF	Yes	Yes	Yes
EPwm2Regs	EPWM_REGS	0x0000 4100	0x0000 41FF	Yes	Yes	Yes
EPwm3Regs	EPWM_REGS	0x0000 4200	0x0000 42FF	Yes	Yes	Yes
EPwm4Regs	EPWM_REGS	0x0000 4300	0x0000 43FF	Yes	Yes	Yes
EPwm5Regs	EPWM_REGS	0x0000 4400	0x0000 44FF	Yes	Yes	Yes
EPwm6Regs	EPWM_REGS	0x0000 4500	0x0000 45FF	Yes	Yes	Yes
EPwm7Regs	EPWM_REGS	0x0000 4600	0x0000 46FF	Yes	Yes	Yes
EPwm8Regs	EPWM_REGS	0x0000 4700	0x0000 47FF	Yes	Yes	Yes
EQep1Regs	EQEP_REGS	0x0000 5100	0x0000 513F	Yes	Yes	Yes
EQep2Regs	EQEP_REGS	0x0000 5140	0x0000 517F	Yes	Yes	Yes
ECap1Regs	ECAP_REGS	0x0000 5200	0x0000 521F	Yes	Yes	Yes
ECap2Regs	ECAP_REGS	0x0000 5240	0x0000 525F	Yes	Yes	Yes
ECap3Regs	ECAP_REGS	0x0000 5280	0x0000 529F	Yes	Yes	Yes
ECap4Regs	ECAP_REGS	0x0000 52C0	0x0000 52DF	Yes	Yes	Yes
ECap5Regs	ECAP_REGS	0x0000 5300	0x0000 531F	Yes	Yes	Yes
ECap6Regs	ECAP_REGS	0x0000 5340	0x0000 535F	Yes	Yes	Yes
Hrcap6Regs	HRCAP_REGS	0x0000 5360	0x0000 537F	Yes	Yes	Yes
ECap7Regs	ECAP_REGS	0x0000 5380	0x0000 539F	Yes	Yes	Yes
Hrcap7Regs	HRCAP_REGS	0x0000 53A0	0x0000 53BF	Yes	Yes	Yes
Pga1Regs	PGA_REGS	0x0000 5B00	0x0000 5B0F	Yes	Yes	Yes
Pga2Regs	PGA_REGS	0x0000 5B10	0x0000 5B1F	Yes	Yes	Yes
Pga3Regs	PGA_REGS	0x0000 5B20	0x0000 5B2F	Yes	Yes	Yes
Pga4Regs	PGA_REGS	0x0000 5B30	0x0000 5B3F	Yes	Yes	Yes
Pga5Regs	PGA_REGS	0x0000 5B40	0x0000 5B4F	Yes	Yes	Yes
Pga6Regs	PGA_REGS	0x0000 5B50	0x0000 5B5F	Yes	Yes	Yes
Pga7Regs	PGA_REGS	0x0000 5B60	0x0000 5B6F	Yes	Yes	Yes
DacaRegs	DAC_REGS	0x0000 5C00	0x0000 5C0F	Yes	Yes	Yes
DacbRegs	DAC_REGS	0x0000 5C10	0x0000 5C1F	Yes	Yes	Yes
Cmpss1Regs	CMPSS_REGS	0x0000 5C80	0x0000 5C9F	Yes	Yes	Yes
Cmpss2Regs	CMPSS_REGS	0x0000 5CA0	0x0000 5CBF	Yes	Yes	Yes
Cmpss3Regs	CMPSS_REGS	0x0000 5CC0	0x0000 5CDF	Yes	Yes	Yes
Cmpss4Regs	CMPSS_REGS	0x0000 5CE0	0x0000 5CFF	Yes	Yes	Yes
Cmpss5Regs	CMPSS_REGS	0x0000 5D00	0x0000 5D1F	Yes	Yes	Yes
Cmpss6Regs	CMPSS_REGS	0x0000 5D20	0x0000 5D3F	Yes	Yes	Yes
Cmpss7Regs	CMPSS_REGS	0x0000 5D40	0x0000 5D5F	Yes	Yes	Yes
Sdfm1Regs	SDFM_REGS	0x0000 5E00	0x0000 5E7F	Yes	Yes	Yes

表 8-5. 外设寄存器内存映射（续）

寄存器	结构名称	起始地址	结束地址	流水线保护 ⁽¹⁾	CLA 访问	DMA 访问
外设帧 2						
SpiaRegs ⁽⁴⁾	SPI_REGS	0x0000 6100	0x0000 610F	Yes	Yes	Yes
SpibRegs ⁽⁴⁾	SPI_REGS	0x0000 6110	0x0000 611F	Yes	Yes	Yes
PmbusaRegs	PMBUS_REGS	0x0000 6400	0x0000 641F	Yes	Yes	Yes
FsiTxaRegs	FSI_TX_REGS	0x0000 6600	0x0000 667F	Yes	Yes	Yes
FsiRxaRegs	FSI_RX_REGS	0x0000 6680	0x0000 66FF	Yes	Yes	Yes
外设帧 3						
AdcaRegs	ADC_REGS	0x0000 7400	0x0000 747F	Yes	Yes	
AdcbRegs	ADC_REGS	0x0000 7480	0x0000 74FF	Yes	Yes	
AdccRegs	ADC_REGS	0x0000 7500	0x0000 757F	Yes	Yes	
外设帧 4						
输入 XbarRegs	输入_XBAR_REGS	0x0000 7900	0x0000 791F	Yes		
XbarRegs	XBAR_REGS	0x0000 7920	0x0000 793F	Yes		
SyncSocRegs	SYNC_SOC_REGS	0x0000 7940	0x0000 794F	Yes		
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	0x0000 7980	0x0000 79BF	Yes		
EPwmXbarRegs	EPWM_XBAR_REGS	0x0000 7A00	0x0000 7A3F	Yes		
OutputXbarRegs	OUTPUT_XBAR_REGS	0x0000 7A80	0x0000 7ABF	Yes		
GpioCtrlRegs	GPIO_CTRL_REGS	0x0000 7C00	0x0000 7EFF	Yes		
GpioDataRegs ⁽³⁾	GPIO_DATA_REGS	0x0000 7F00	0x0000 7FFF	Yes	Yes	
外设帧 5						
DevCfgRegs	DEV_CFG_REGS	0x0005 D000	0x0005 D17F	Yes		
ClkCfgRegs	CLK_CFG_REGS	0x0005 D200	0x0005 D2FF	Yes		
DSPSysRegs	DSP_SYS_REGS	0x0005 D300	0x0005 D3FF	Yes		
PeriphAcRegs	PERIPH_AC_REGS	0x0005 D500	0x0005 D6FF	Yes		
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	0x0005 D700	0x0005 D7FF	Yes		
外设帧 6						
EnhancedDebugGlobalRegs	ERAD_GLOBAL_REGS	0x0005 E800	0x0005 E80A			
EnhancedDebugHWBP1Regs	ERAD_HWBP_REGS	0x0005 E900	0x0005 E907			
EnhancedDebugHWBP2Regs	ERAD_HWBP_REGS	0x0005 E908	0x0005 E90F			
EnhancedDebugHWBP3Regs	ERAD_HWBP_REGS	0x0005 E910	0x0005 E917			
EnhancedDebugHWBP4Regs	ERAD_HWBP_REGS	0x0005 E918	0x0005 E91F			
EnhancedDebugHWBP5Regs	ERAD_HWBP_REGS	0x0005 E920	0x0005 E927			
EnhancedDebugHWBP6Regs	ERAD_HWBP_REGS	0x0005 E928	0x0005 E92F			
EnhancedDebugHWBP7Regs	ERAD_HWBP_REGS	0x0005 E930	0x0005 E937			
EnhancedDebugHWBP8Regs	ERAD_HWBP_REGS	0x0005 E938	0x0005 E93F			
EnhancedDebugCounter1Regs	ERAD_COUNTER_REGS	0x0005 E980	0x0005 E98F			
EnhancedDebugCounter2Regs	ERAD_COUNTER_REGS	0x0005 E990	0x0005 E99F			
EnhancedDebugCounter3Regs	ERAD_COUNTER_REGS	0x0005 E9A0	0x0005 E9AF			
EnhancedDebugCounter4Regs	ERAD_COUNTER_REGS	0x0005 E9B0	0x0005 E9BF			
DcsmBank0Z1Regs	DCSM_BANK0_Z1_REGS	0x0005 F000	0x0005 F022	Yes		
DcsmBank0Z2Regs	DCSM_BANK0_Z2_REGS	0x0005 F040	0x0005 F062	Yes		
DcsmBank1Z1Regs	DCSM_BANK1_Z1_REGS	0x0005 F100	0x0005 F122	Yes		
DcsmBank1Z2Regs	DCSM_BANK1_Z2_REGS	0x0005 F140	0x0005 F162	Yes		
DcsmCommonRegs	DCSM_COMMON_REGS	0x0005 F070	0x0005 F07F	Yes		
DcsmCommon2Regs	DCSM_COMMON_REGS	0x0005 F080	0x0005 F087	Yes		
MemCfgRegs	MEM_CFG_REGS	0x0005 F400	0x0005 F47F	Yes		
AccessProtectionRegs	ACCESS_PROTECTION_REGS	0x0005 F4C0	0x0005 F4FF	Yes		
MemoryErrorRegs	MEMORY_ERROR_REGS	0x0005 F500	0x0005 F53F	Yes		
Flash0CtrlRegs	FLASH_CTRL_REGS	0x0005 F800	0x0005 FAFF	Yes		
Flash0EccRegs	FLASH_ECC_REGS	0x0005 FB00	0x0005 FB3F	Yes		
外设帧 7						
CanaRegs	CAN_REGS	0x0004 8000	0x0004 87FF	Yes		Yes
CanbRegs	CAN_REGS	0x0004 A000	0x0004 A7FF	Yes		Yes

RomPrefetchRegs	ROM_PREFETCH_REGS	0x0005 E608	0x0005 E609	Yes		
-----------------	-------------------	-------------	-------------	-----	--	--

表 8-5. 外设寄存器内存映射（续）

寄存器	结构名称	起始地址	结束地址	流水线保护 ⁽¹⁾	CLA 访问	DMA 访问
DccRegs	DCC_REGS	0x0005 E700	0x0005 E73F	Yes		
外设帧 8						
LinaRegs	LIN_REGS	0x0000 6A00	0x0000 6AFF	Yes	Yes	Yes
外设帧 9						
WdRegs ⁽⁴⁾	WD_REGS	0x0000 7000	0x0000 703F	Yes		
NmiIntruptRegs ⁽⁴⁾	NMI_INTRUPT_REGS	0x0000 7060	0x0000 706F	Yes		
XintRegs ⁽⁴⁾	XINT_REGS	0x0000 7070	0x0000 707F	Yes		
SciaRegs ⁽⁴⁾	SCI_REGS	0x0000 7200	0x0000 720F	Yes		
ScibRegs ⁽⁴⁾	SCI_REGS	0x0000 7210	0x0000 721F	Yes		
I2caRegs ⁽⁴⁾	I2C_REGS	0x0000 7300	0x0000 733F	Yes		

(1) DSP（不适用于 CLA 或 DMA）包含写后读保护模式，以确保在受保护地址范围内的任何读操作跟在写操作之后执行时，通过延迟读操作直到写操作启动为止，来确保按照写入的内容执行。

(2) ADC 结果寄存器没有仲裁。每个主设备都可以访问任何 ADC 结果寄存器而无需任何仲裁。

(3) DSP 和 CLA 各自拥有 GPIO_DATA_REGS 的副本，因此 DSP 和 CLA 之间不需要仲裁。

(4) 只支持 16 位访问的寄存器。

内存类型

专用RAM (Mx RAM)

DSP 子系统有两个专用的、支持 ECC 的 RAM 块：M0 和 M1。这些存储器是小型非安全块，与 DSP 紧密耦合（即只有 DSP 可以访问它们）。

本地共享RAM (LSx RAM)

每个子系统专用且仅可由其 DSP 和 CLA 访问的 RAM 块被称为本地共享 RAM (LSx RAM)。

所有 LSx RAM 块都具有奇偶校验。这些存储器是安全的，并具有访问保护（DSP 写/DSP 读取）功能。

默认情况下，这些存储器仅专用于 DSP，用户可以通过适当配置 LSxMSEL 寄存器中的 MSEL_LSx 位字段来选择是否将这些存储器与 CLA 共享（见表 8-6）。

表 8-6. LSx RAM 的主设备访问
(假设所有其他访问保护均已禁用)

MSEL_LSx	CLAPGM_LSx	DSP 允许访问	CLA1 允许访问	评论
00	X	All	—	LSx 内存配置为 DSP 专用 RAM。
01	0	All	数据读取 数据写入 仿真数据读取 仿真数据写入	LSx 内存存在 DSP 和 CLA1 之间共享。
01	1	仿真读取 仿真写入	仅获取仿真程序读取 仿真程序写入	LSx 内存是 CLA1 程序内存。

全局共享RAM (GSx RAM)

可被 DSP 和 DMA 访问的 RAM 块称为全局共享 RAM (GSx RAM)。DSP 和 DMA 对这些内存都有完全的读写访问权限。表 8-7 显示了 GSx RAM 的特性。

表 8-7. 全局共享 RAM

DSP (获取)	DSP (读取)	DSP (写入)	DSP.DMA (读取)	DSP.DMA (写入)
Yes	Yes	Yes	Yes	Yes

所有 GSx RAM 块都具有奇偶校验。

GSx RAM 具有访问保护（DSP 写入/DSP 获取/DMA 写入）。

CLA消息RAM (CLA MSGRAM)

这些 RAM 块可用于在 DSP 和 CLA 之间共享数据。CLA 对“CLA 到 DSP MSGRAM”具有读写访问权限。DSP 对“DSP 到 CLA MSGRAM”具有读写访问权限。DSP 和 CLA 均可读取两个 MSGRAM。此 RAM 具有奇偶校验。

识别

表 8-8 列出了设备识别寄存器。

表 8-8. 设备识别寄存器

名称	地址	大小 (x16)	描述
PARTIDH	0x0005 D00A	2	设备部分标识号 FDM320R0049 0x01FF 0500
REVID	0x0005 D00C	2	硅修订号

总线架构 - 外设连接性

表 8-9 列出了从每个总线主设备对外设和配置寄存器的可访问性的概览。

表 8-9 总线主控外设访问

外设	DMA	CLA	DSP
系统外设			
DSP 定时器			Y
系统配置（看门狗、非屏蔽中断看门狗、低功耗模式、外设时钟门控）			Y
设备能力、外设复位			Y
时钟和 PLL 配置			Y
Flash 配置			Y
复位配置			Y
GPIO 引脚映射和配置			Y
GPIO 数据 ⁽²⁾		Y	Y
DMA 和 CLA 触发源选择			Y
控制外设			
ePWM/HRPWM	Y	Y	Y
eCAP/HRCAP	Y	Y	Y
eQEP ⁽¹⁾	Y	Y	Y
SDFM	Y	Y	Y
模拟外设			
模拟系统控制			Y
ADC 配置		Y	Y
ADC 结果 ⁽³⁾	Y	Y	Y
CMPSS ⁽¹⁾	Y	Y	Y
DAC ⁽¹⁾	Y	Y	Y
PGA ⁽¹⁾	Y	Y	Y
通信外设			
CAN	Y		Y
SPI	Y	Y	Y
I2C			Y
PMBus	Y	Y	Y
SCI			Y
LIN	Y	Y	Y
FSI	Y	Y	Y

(1) 这些模块可以从 DMA 访问，但不能触发 DMA 传输。

(2) GPIO 数据寄存器对 DSP 和 CLA 是独特的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主控时，相应的 GPIO 数据寄存器将控制该 GPIO。

(3) 每个主控都有 ADC 结果寄存器的副本。这允许它们在任何或所有主控无仲裁的情况下以 0 等待状态读取。

CISC处理器

DSP 是一个 32 位定点处理器，它结合了数字信号处理、精简指令集计算(RISC)以及微控制器架构、固件和工具集的最佳特性。

特点包括：

- DSP - 改进的哈佛结构和循环寻址。改进的哈佛结构使DSP能够并行执行指令和数据读取。DSP可以在写入数据的同时读取指令和数据，以保持流水线中的单周期指令操作。DSP通过六个独立的地址和数据总线实现这一点。
- RISC - 单周期指令执行、寄存器到寄存器操作和改进的哈佛结构。
- 微控制器 - 通过直观的指令集、字节打包和解包以及位操作，易于使用。

嵌入式实时分析和诊断（ERAD）

ERAD 模块增强了设备的调试和系统分析能力。由 ERAD 模块提供的调试和系统分析增强功能在 DSP 之外完成。ERAD 模块包括增强的总线比较器单元和基准系统事件计数器单元。增强的总线比较器单元用于生成硬件断点、硬件监视点和其他输出事件。基准系统事件计数器单元用于分析和剖析系统。调试器 and 应用软件可以访问 ERAD 模块，这显著提高了许多实时系统的调试能力，特别是在未连接调试器的情况下。在 FDM320R0049 设备中，ERAD 模块包含八个增强的总线比较器单元和四个基准系统事件计数器单元。

浮点单元（FPU）

CISC 加浮点（CISC+FPU）处理器通过添加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 CISC 定点 DSP 的功能。

具有 CISC+FPU 的设备包括标准的 CISC 寄存器集以及额外的一组浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 $n = 0 - 7$ ）
- 浮点状态寄存器（STF）
- 重复块寄存器（RB）

除了 RB 之外，所有的浮点寄存器都有影子寄存器。这种影子寄存器可以在高优先级中断中用于快速保存和恢复浮点寄存器的上下文。

三角数学单元 (TMU)

TMU 通过添加指令并利用现有的 FPU 指令来加速执行表 8-10 中列出的常见三角函数和算术运算，从而扩展了 CISC+FPU 的功能。

表 8-10. TMU 支持的指令

指令	等效操作	流水线周期
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \sqrt{b}$	5
SINPUF32 RaH,RbH	$a = \sin(b*2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b*2\pi)$	4
ATANPUF32 RaH,RbH	$a = \tan(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	操作以辅助计算 ATANPU2	5

现有指令、流水线或内存总线架构均未发生变化。所有 TMU 指令都使用现有的 FPU 寄存器集 (R0H 至 R7H) 来执行它们的操作。

维特比、复数数学和CRC单元 (VCU)

CISC 带 VCU (CISC+VCU) 处理器通过添加寄存器和指令扩展了 CISC 定点或浮点 DSP 的功能，以支持以下算法类型：

● 维特比解码

维特比解码通常用于基带通信应用。维特比解码算法包括三个主要部分：分支度量计算、比较选择（维特比蝴蝶）和回溯操作。表 8-11 列出了 VCU-I 在这些操作中的性能摘要。

表 8-11. 维特比解码性能

VITERBI 操作	VCU 周期
分支度量计算（码率=1/2）	1
分支度量计算（码率=1/3）	2p
维特比蝴蝶（加法-比较-选择）	2 ⁽¹⁾
每阶段回溯	3 ⁽²⁾

(1) CISC DSP 每个蝴蝶操作需要 15 个周期。

(2) CISC DSP 每个阶段需要 22 个周期。

● 循环冗余校验 (CRC)

CRC 算法为大型数据块、通信数据包或代码段提供了一种简单的验证数据完整性的方法。CISC+VCU 可以执行 8 位、16 位和 32 位的 CRC。例如，VCU 可以在 10 个周期内计算一个长度为 10 字节的数据块的 CRC。CRC 结果寄存器包含当前的 CRC 值，每当执行 CRC 指令时，该值都会更新。

● 复数数学

◆ 复数数学在许多应用中使用；其中一些包括：

◆ 快速傅里叶变换 (FFT)

复数 FFT 用于扩频通信以及许多信号处理算法中。

◆ 复数滤波

复数滤波提高了数据的可靠性、传输距离和功率效率。CISC+VCU 可以在单个周期内执行带有系数的复数 I 和 Q 乘法（四次乘法）。此外，CISC+VCU 可以在单个周期内读取/写入 16 位复数数据的实部和虚部到内存。

表 8-12 列出了由 VCU 启用的一些复数数学操作的摘要。

表 8-12. 复数数学性能

复数数学操作	VCU 周期	备注
加法或减法	1	$32 \pm 32 = 32$ 位（适用于滤波器）
加法或减法	1	$16 \pm 32 = 15$ 位（适用于 FFT）
乘法	2p	$16 \times 16 = 32$ 位
乘法累加（MAC）	2p	$32 + 32 = 32$ 位, $16 \times 16 = 32$ 位
重复 MAC	2p+N	重复 MAC。第一次操作后单个周期。

控制律加速器（CLA）

CLA Type-2 是一个独立的、可完全编程的 32 位浮点数学处理器，为 CISC 系列带来了并发控制循环执行能力。CLA 的低中断延迟允许它“及时”读取 ADC 样本，这显著减少了 ADC 样本到输出的延迟，使系统响应更快，控制循环频率更高。通过使用 CLA 处理时间敏感的控制循环，主 DSP 可以自由执行其他系统任务，如通信和诊断。

控制律加速器通过增加并行处理扩展了 CISC DSP 的功能。由 CLA 服务的时间敏感控制循环可以实现低 ADC 样本到输出延迟。因此，CLA 使系统响应更快，控制循环频率更高。使用 CLA 处理时间敏感任务释放了主 DSP，使其能够同时执行其他系统和通信功能。

以下是 CLA 的主要特性列表：

- 与主DSP（SYSCLKOUT）同步运行。
- 独立架构，允许CLA算法执行独立于主CISC DSP。
 - ◆ 完整的总线架构：
 - 程序地址总线（PAB）和程序数据总线（PDB）
 - 数据读地址总线（DRAB）、数据读数据总线（DRDB）、数据写地址总线（DWAB）和数据写数据总线（DWDB）
 - ◆ 独立的8级流水线。
 - ◆ 16位程序计数器（MPC）
 - ◆ 四个32位结果寄存器（MR0到MR3）
 - ◆ 两个16位辅助寄存器（MAR0, MAR1）
 - ◆ 状态寄存器（MSTF）
- 指令集包括：
 - ◆ IEEE单精度（32位）浮点数学运算
 - ◆ 带并行加载或存储的浮点数学
 - ◆ 带并行加法或减法的浮点乘法
 - ◆ $1/X$ 和 $1/\sqrt{X}$ 估算
 - ◆ 数据类型转换
 - ◆ 条件分支和调用
 - ◆ 数据加载/存储操作
- CLA程序代码可以包含多达八个任务或中断服务例程，或七个任务和一个主要背景任务。
 - ◆ 每个任务的开始地址由MVECT寄存器指定。
 - ◆ 只要任务在可配置的CLA程序内存空间内，对任务大小没有限制。
 - ◆ 一次服务一个任务，直到其完成。任务之间不嵌套。
 - ◆ 任务完成后，在PIE内标记一个特定于任务的中断。
 - ◆ 当一个任务结束时，下一个最高优先级的待处理任务会自动开始。
 - ◆ Type-2 CLA可以有一个在后台连续运行的主任务，而其他高优先级事件触发前台任务。
- 任务触发机制：
 - ◆ 通过IACK指令由CISC DSP触发
 - ◆ 任务1到任务8：来自连接到共享总线上的外设的多达256个可能的触发源，CLA在其上承担次要所有权。
 - ◆ 任务8可以设置为背景任务，而任务1到任务7接受外设触发。
- 内存和共享外设：
 - ◆ 两个专用消息RAM，用于CLA和主DSP之间的通信。

◆ •CISC DSP可以将CLA程序和数内存映射到主DSP空间或CLA空间。
图 8-2 显示了 CLA 的框图。

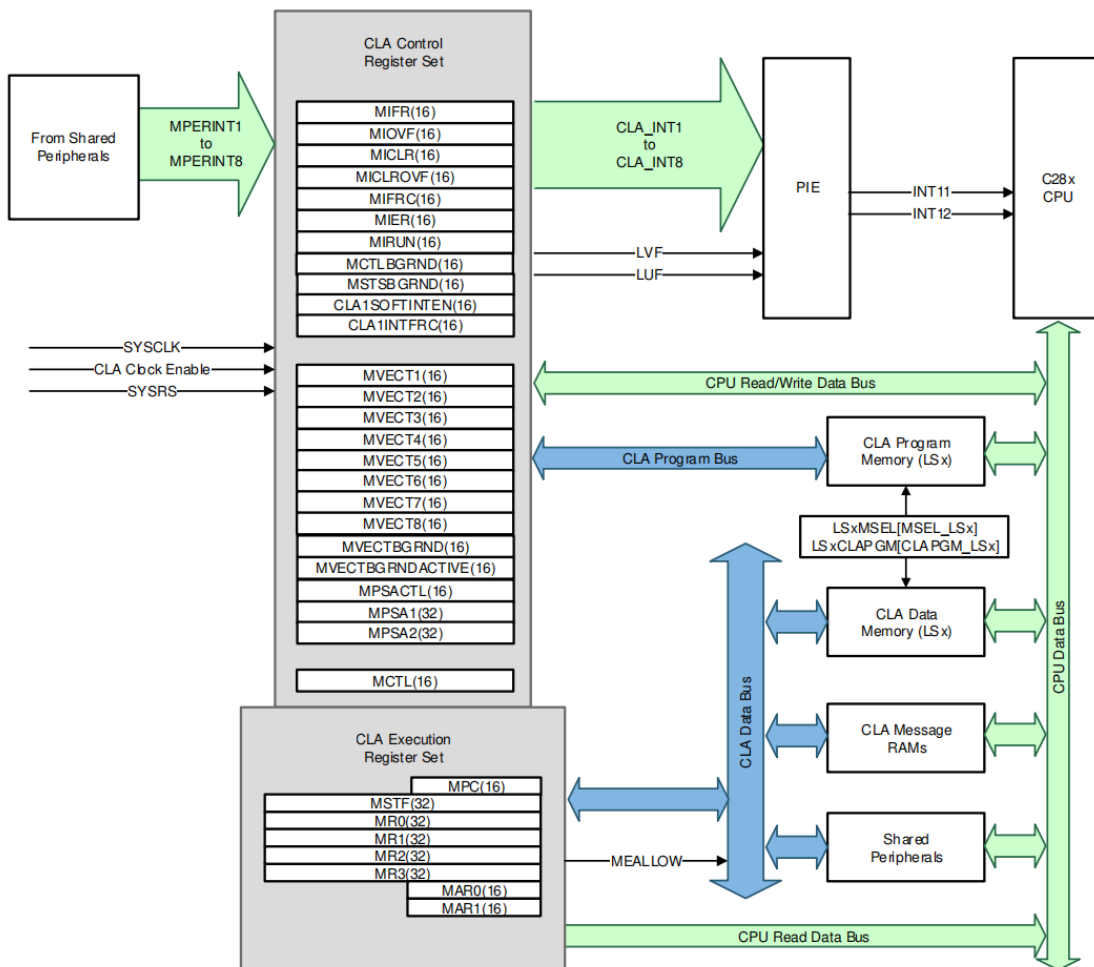


图 8-2. CLA 方框图

直接内存访问 (DMA)

DMA 模块提供了一种硬件方法，用于在外围设备和/或内存之间传输数据而无需 DSP 干预，从而为其他系统功能释放带宽。此外，DMA 还具有在传输过程中正交重新排列数据以及在缓冲区之间“乒乓球”式交换数据的能力。这些特性对于将数据组织成块以进行最佳 DSP 处理非常有用。

DMA 的特性包括：

- 六个带有独立PIE中断的通道
- 外设中断触发源
 - ◆ ADC中断和EVT信号
 - ◆ 外部中断
 - ◆ ePWM SOC信号
 - ◆ DSP定时器
 - ◆ eCAP
 - ◆ Sigma-Delta滤波器模块
 - ◆ SPI发送和接收
 - ◆ CAN发送和接收
 - ◆ LIN发送和接收
- 数据来源和目标：
 - ◆ GSx RAM
 - ◆ ADC结果寄存器
 - ◆ 控制外设寄存器（ePWM, eQEP, eCAP, SDFM）
 - ◆ DAC和PGA寄存器
 - ◆ SPI, LIN, CAN和PMBus寄存器
- 字大小：16位或32位（SPI限制为16位）
- 吞吐量：每四个字节无仲裁周期

图 8-3 显示了 DMA 的设备级框图。

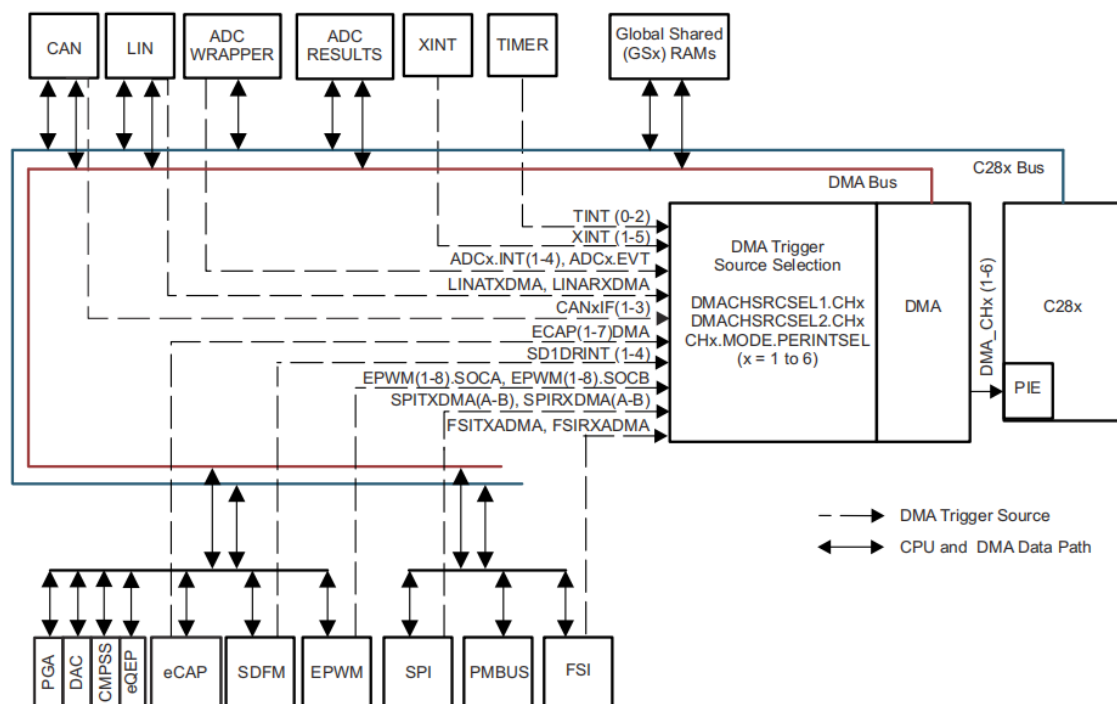


图 8-3. DMA 方框图

启动ROM和外设引导

设备启动 ROM 包含引导加载软件。设备的 ROM 内部有一个引导程序，当设备上电时以及每次设备复位时都会执行该引导程序。引导程序用作初始程序，通过任何可引导的外围设备将应用程序加载到设备 RAM 中，或者配置为在闪存中启动应用程序（如果有）。

表 8-13 列出了默认的启动模式选项。用户可以选择自定义支持的启动模式以及启动模式选择引脚。

表 8-13. 设备默认启动模式

启动模式	GPIO24 (默认启动模式选择引脚 1)	GPIO32 (默认启动模式选择引脚 0)
并行 IO	0	0
SCI/等待引导	0	1
CAN	1	0
Flash	1	1

表 8-14 列出了设备上支持的启动模式。默认的启动模式引脚是 GPIO24（启动模式引脚 1）和 GPIO32（启动模式引脚 0）。如果用户在这些引脚上也使用了外围设备，可以选择为启动模式引脚添加弱上拉电阻，以便可以驱动这些上拉电阻。在此设备上，客户可以通过编程用户可配置的双重代码安全模块（DCSM）OTP 位置来更改出厂默认的启动模式引脚。

表 8-14. 所有可用的启动模式

启动模式编号	启动模式
0	并行输入输出
1	SCI/等待引导
2	CAN
3	Flash
4	等待
5	RAM
6	SPI 主设备
7	I2C 主设备
8	PLC

配置备用启动模式选择引脚

本节介绍了如何通过编程用户可配置的双重代码安全模块（DCSM）OTP 中的 BOOTPIN_CONFIG 位置，来自定义启动模式选择引脚。在用户 DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG。在调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG 的仿真等效物，可以对其进行编程以实验不同的启动模式，而无需写入 OTP。设备可以根据需要编程使用 0、1、2 或 3 个启动模式选择引脚。

表 8-15. BOOTPIN_CONFIG 位字段

位	名称	描述
31–24	Key	将 0x5A 写入这 8 位以告诉启动 ROM 代码此寄存器中的位有效。
23–16	启动模式选择引脚 2 (BMSP2)	参见 BMSP0 描述
15–8	启动模式选择引脚 1 (BMSP1)	参见 BMSP0 描述
7–0	启动模式选择引脚 0 (BMSP0)	设置为启动期间要使用的 GPIO 引脚（最多 255）。0x0 = GPIO0；0x01 = GPIO1，依此类推。0xFF 无效，并选择工厂默认选定的 BMSP0，如果所有其他 BMSP 也都设置为 0xFF。如果任何其他 BMSP 没有设置为 0xFF，则将一个 BMSP 设置为 0xFF 将禁用该特定 BMSP。

表 8-16. 独立启动模式选择引脚解码

启动配置键	BMSP0	BMSP1	BMSP2	实现的启动模式
!= 0x5A	Don't Care	Don't Care	Don't Care	按工厂默认的 BMSPs（GPIO24, GPIO32）定义的启动方式
= 0x5A	0xFF	0xFF	0xFF	按启动模式 0（所有 BMSPs 禁用）的启动表中定义的启动方式
	Valid GPIO	0xFF	0xFF	按 BMSP0 的值定义的启动方式（BMSP1 和 BMSP2 禁用）
	0xFF	Valid GPIO	0xFF	按 BMSP1 的值定义的启动方式（BMSP0 和 BMSP2 禁用）
	0xFF	0xFF	Valid GPIO	按 BMSP2 的值定义的启动方式（BMSP0 和 BMSP1 禁用）
	Valid GPIO	Valid GPIO	0xFF	按 BMSP0 和 BMSP1 的值定义的启动方式（BMSP2 禁用）
	Valid GPIO	0xFF	Valid GPIO	按 BMSP0 和 BMSP2 的值定义的启动方式（BMSP1 禁用）
	0xFF	Valid GPIO	Valid GPIO	按 BMSP1 和 BMSP2 的值定义的启动方式（BMSP0 禁用）
	Valid GPIO	Valid GPIO	Valid GPIO	按 BMSP0、BMSP1 和 BMSP2 的值定义的启动方式

配置备用启动模式选项

本节介绍如何配置设备的启动定义表 BOOTDEF 及相关启动选项。64 位位置位于用户可配置的 DCSM OTP 中的 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置。在调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效物，可以对其进行编程以实验不同的启动模式选项，而无需写入 OTP。对启动定义表的定制范围取决于正在使用的启动模式选择引脚的数量。

表 8-17. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	描述
BOOT_DEF0	7–0	BOOT_DEF0 模式和选项	设置启动模式和启动选项。这可以包括更改特定启动外设的 GPIO 或指定不同的闪存入口点。任何不支持的启动模式都会导致设备复位。参阅有效的 BOOTDEF 值的 GPIO 分配。
BOOT_DEF1	15–8	BOOT_DEF1 模式和选项	参考 BOOT_DEF0 描述。
BOOT_DEF2	23–16	BOOT_DEF2 模式和选项	
BOOT_DEF3	31–24	BOOT_DEF3 模式和选项	
BOOT_DEF4	39–32	BOOT_DEF4 模式和选项	
BOOT_DEF5	47–40	BOOT_DEF5 模式和选项	
BOOT_DEF6	55–48	BOOT_DEF6 模式和选项	
BOOT_DEF7	63–56	BOOT_DEF7 模式和选项	

GPIO分配

本节详细介绍了在 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置设置的每个启动模式 BOOT_DEFx 中使用的 GPIO 和启动选项。关于如何操作 BOOT_DEFx，请参阅“配置备用启动模式选择引脚”。在选择启动模式选项时，请验证在所使用的特定设备封装中可用的必要引脚。

表 8-18. SCI 启动选项

选项	BOOTDEFx 值	SCIATX GPIO	SCIARX GPIO
0 (默认)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO48	GPIO49
4	0x81	GPIO24	GPIO25

表 8-19. CAN 启动选项

选项	BOOTDEFx 值	CANTXA GPIO	CANRXA GPIO
0 (默认)	0x02	GPIO32	GPIO33
1	0x22	GPIO4	GPIO5
2	0x42	GPIO31	GPIO30
3	0x62	GPIO37	GPIO35

表 8-20. 闪存启动选项

选项	BOOTDEFx 值	闪存入口点 (地址)	Flash Bank,扇区
0 (默认)	0x03	闪存 - 默认选项 1 (0x00080000)	Bank 0, Sector 0
1	0x23	闪存 - 选项 2 (0x0008EFF0)	Bank 0, Sector 14
2	0x43	闪存 - 选项 3 (0x00090000)	Bank 1, Sector 0
3	0x63	闪存 - 选项 4 (0x0009EFF0)	Bank 1, Sector 14

表 8-21. 等待启动选项

选项	BOOTDEFx 值	看门狗状态
0	0x04	启用
1	0x24	禁用

表 8-22. SPI 启动选项

选项	BOOTDEFx 值	SPIA_SIMO	SPIA_SOMI	SPIA_CLK	SPIA_STE
1	0x26	GPIO8	GPIO10	GPIO9	GPIO11
2	0x46	GPIO54	GPIO55	GPIO56	GPIO57
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO8	GPIO17	GPIO9	GPIO11

表 8-23. I2C 启动选项

选项	BOOTDEFx 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x47	GPIO26	GPIO27
2	0x67	GPIO42	GPIO43

表 8-24. 并行启动选项

选项	BOOTDEFx 值	D0 到 D7 GPIO	DSP 控制 GPIO	主机控制 GPIO
0 (default)	0x00	GPIO0 to GPIO7	GPIO16	GPIO11

表 8-25. RAM 启动选项

选项	BOOTDEFx 值	RAM 入口点地址
0	0x05	0x00000000

双代码安全模块

双代码安全模块（DCSM）防止访问片上安全存储器。术语“安全”意味着阻止对安全存储器和资源的访问。

代码安全机制为两个区域提供保护，即区域 1（Z1）和区域 2（Z2）。两个区域的安全实现是相同的。每个区域都有其自己的专用安全资源（OTP 存储器和安全 ROM）以及分配的安全资源（CLA、LSx RAM 和闪存扇区）。

每个区域的安全性由其自己的 128 位密码（CSM 密码）确保。每个区域的密码存储在基于区域特定链接指针的 OTP 存储器位置。可以更改链接指针值，以在 OTP 中编程不同的安全设置（包括密码）。

看门狗

看门狗模块在软件复位计数器的时间间隔上有一个可选的下限。这个窗口倒计时默认是禁用的，所以看门狗完全向后兼容。

看门狗产生复位或中断。它由内部振荡器提供时钟信号，并具有可选择的频率分频器。

图 8-4 显示了看门狗模块内的各个功能块。

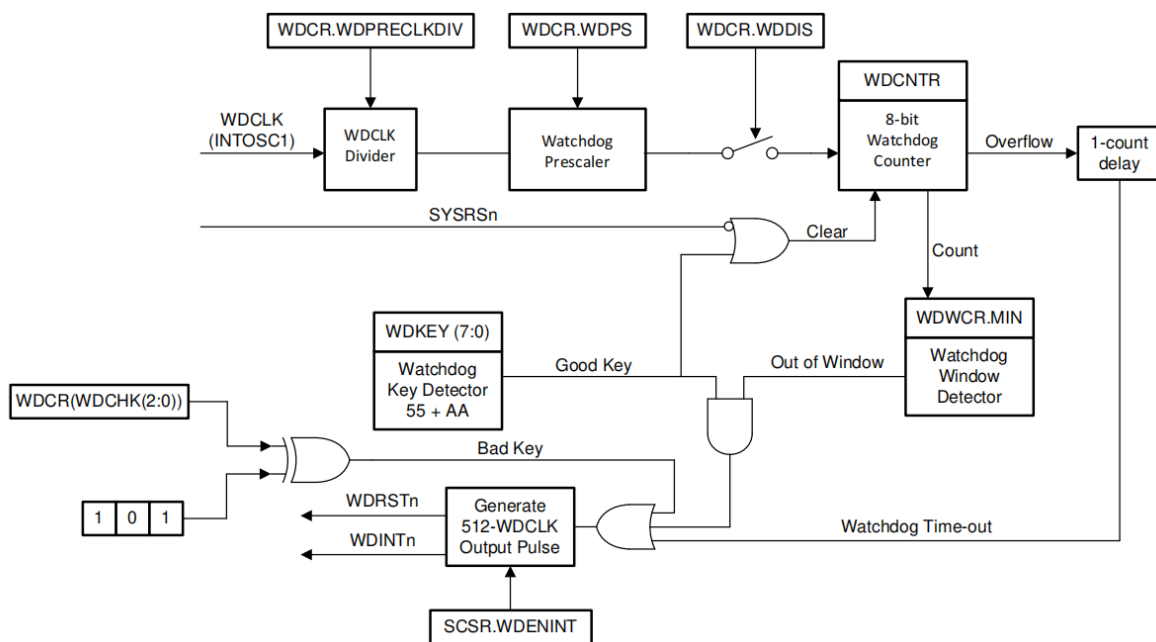


图 8-4 看门狗定时器

可配置逻辑块（CLB）

FDM320R0049 可配置逻辑块（CLB）是一组可以通过软件互连的模块，用于实现自定义数字逻辑功能或增强现有的片上外设。CLB 通过一组交叉连接来增强现有外设，这些交叉连接提供了与现有控制外设（如增强型脉宽调制器（ePWM）、增强型捕获模块（eCAP）和增强型正交编码器脉冲模块（eQEP））的高度连通性。交叉连接还允许 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以被配置为与设备外设互动，执行小的逻辑功能，如比较器，或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑设备完成的功能现在可以在 MCU 内部实现。

CLB 外设通过 CLB 工具进行配置。

图 8-5 显示了 CLB 模块及其互连。

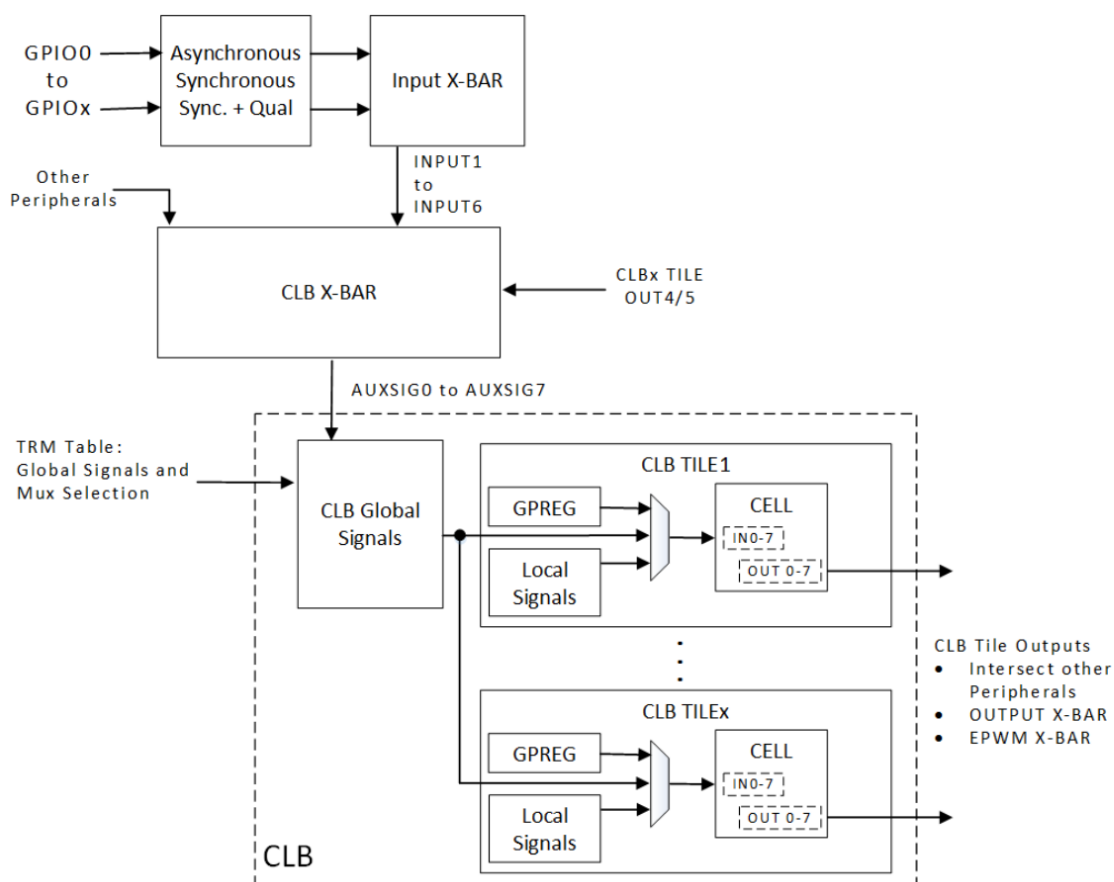


图 8-5. CLB 概述

绝对编码器协议接口现已在电机控制 SDK 中作为位置管理器解决方案提供。这些解决方案提供了配置文件、应用程序编程接口（API）和使用示例。在某些解决方案中，配置的 CLB 与其他片上资源（如 SPI 端口或 CISC DSP）一起使用，以执行更复杂的功能。支持 CLB 功能的设备请参阅表 5-1。

应用、实现和布局

FDM320R0049 实时微控制器系列应用笔记的硬件设计指南是硬件开发人员使用的重要指南，它有助于简化设计过程，同时减少错误设计的可能。讨论的关键主题包括：电源要求；通用输入/输出（GPIO）连接；模拟输入和 ADC；时钟生成和要求；以及 JTAG 调试等等。

关键设备特性

表 9-1。关键设备特性

模块	功能	系统优势
处理		
实时控制 DSP	高达 200 MIPS CISC: 100 MIPS CLA: 100 MIPS 闪存: 最高 256KB 内存: 最高 100KB 32 位浮点单元 (FPU32) 三角数学单元 (TMU) Vertibi 复数数学单元 (VCU)	32 位 CISC DSP 核心提供 100 MHz 的信号处理性能，用于运行浮点或定点代码，无论是在片上闪存还是 SRAM 中。 提供 100 MHz 的信号处理性能，用于运行浮点或定点代码，无论是在片上闪存还是 SRAM 中。 FPU32: 原生硬件支持 IEEE-754 单精度浮点运算 TMU: 加速器用于加速三角函数和算术运算的执行，以实现更快的计算（例如 PLL 和 DQ 变换），优化用于控制应用。有助于实现更快的控制循环，从而提高了效率并改善了组件尺寸。 特殊指令支持非线性 PID 控制算法 VCU: 减少编码应用中常见的复杂数学操作的延迟
感应		
模数转换器 (ADC) (12 位)	多达 3 个 ADC 模块 3.45 MSPS 多达 21 个通道	ADC 提供所有三相电流和直流总线的精确并发采样，零抖动。 ADC 后处理 - 片上硬件减少了 ADC ISR 的复杂性并缩短了电流环路周期。 更多的 ADC 有助于多相应用。提供更好的有效 MSPS（过采样）和典型的 ENOB，以获得更好的控制环路性能。

表 9-1。关键设备特性（续）

模块	功能	系统优势
比较器子系统 (CMPSS)	CMPSS 2 个窗口比较器 双 12 位 DAC DAC 斜坡生成 外部引脚上的低 DAC 输出 数字滤波器 60 纳秒检测到触发时间 斜率补偿	系统保护无误报： 比较器子系统（CMPSS）模块在峰值电流模式控制、开关电源、功率因数校正和电压跳变监测等应用中非常有用。借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 触发和去除不需要的噪声变得简单。提供更好的控制精度。无需进一步的 DSP 配置即可通过比较器和 12 位 DAC（CMPSS）控制 PWM。使用同一引脚实现保护和控制。
增强型正交编码器脉冲 (eQEP)	2 个 eQEP 模块	用于与线性或旋转增量编码器直接接口，以从高性能运动和位置控制系统中使用的旋转机械获取位置、方向和速度信息。也可用于其他应用，以计数来自外部设备（如传感器）的输入脉冲。
增强型捕获 (eCAP) / 高分辨率增强型捕获 (HRCAP)	7 个 eCAP 模块（其中 2 个具有 HRCAP 功能）测量事件之间的经过时间（最多 4 个带时间戳的事件）。通过输入 X-BAR 连接到任何 GPIO。当未在捕获模式下使用时，eCAP 模块可以配置为单通道 PWM 输出（APWM）。	eCAP 的应用领域包括： 旋转机械的速度测量（例如，通过霍尔传感器检测的带齿链轮）位置传感器脉冲之间的经过时间测量 脉冲信号的周期和占空比测量 解码来自占空比编码电流/电压传感器的电流或电压振幅
	2 个 HRCAP 通道 提供以 300 皮秒的典型分辨率测量外部脉冲宽度的能力。	HRCAP 的应用领域包括： 脉冲序列周期的高分辨率周期和占空比测量 瞬时速度测量 瞬时频率测量 隔离边界上的电压测量 距离/声纳测量和扫描 流量测量 电容触摸应用

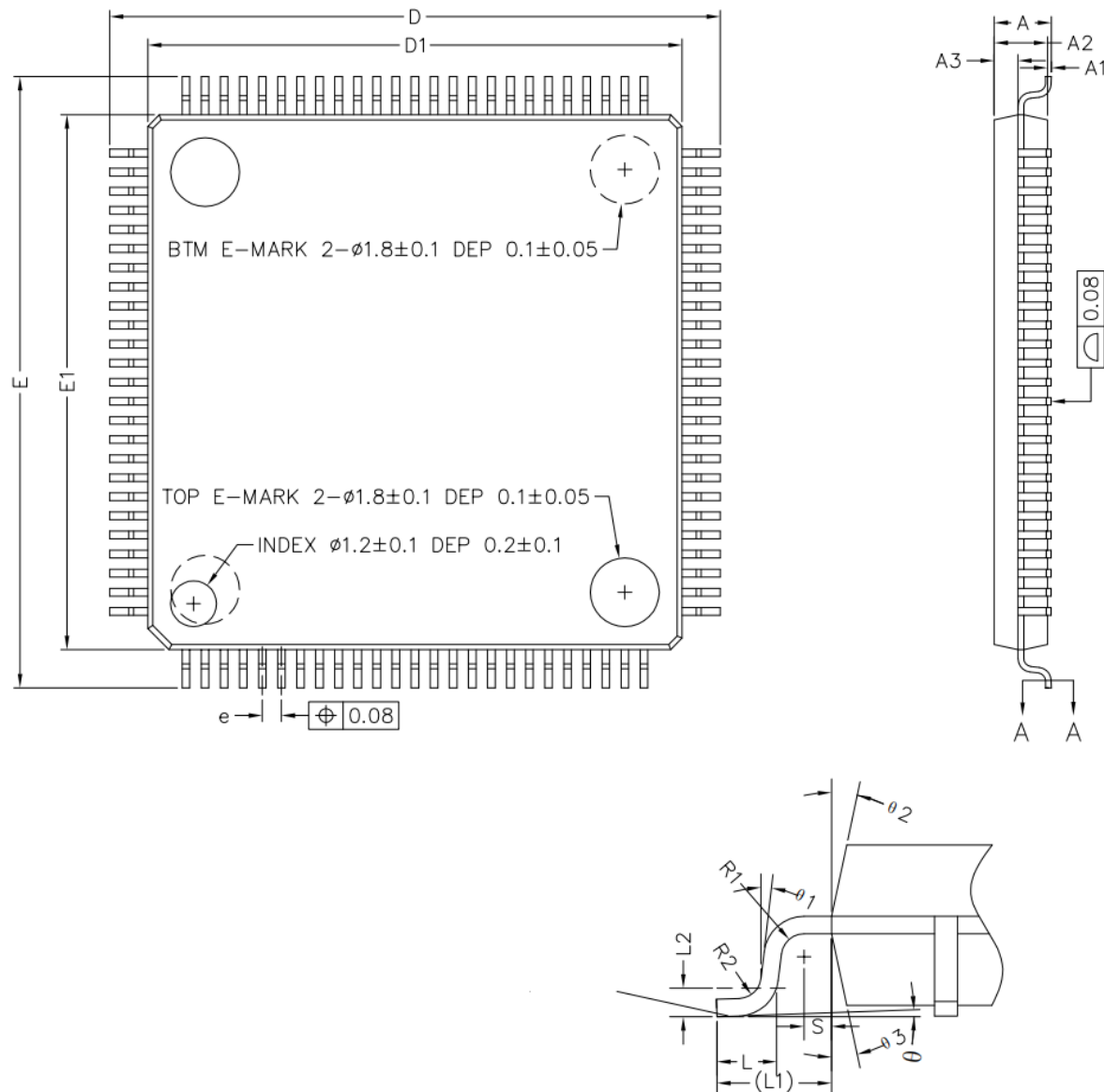
表 9-1。关键设备特性（续）

模块	功能	系统优势
激活		
增强型脉冲宽度调制（ePWM）/ 高分辨率脉冲宽度调制（HRPWM）	多达 16 个 ePWM 通道 能够生成具有死区的高边/低边 PWM 信号 支持谷值切换（能够在谷值点切换 PWM 输出）和消隐窗口等功能	灵活的 PWM 波形生成，覆盖最佳功率拓扑。 阴影死区和阴影动作限定符使自适应 PWM 生成和保护成为可能，提高了控制精度并减少了功率损耗。有助于提高功率因数（PF）和总谐波失真（THD），这在功率因数校正（PFC）应用中尤为重要。提高了轻载效率。
	HRPWM 功能： 所有 16 个通道都提供高分辨率能力（150 ps） 为占空比、周期、死区和相位偏移提供 150-ps 的步进，精度提高 99%	有利于精确控制，并实现更高性能的高频电源转换。 获得更干净的波形，避免输出振荡/极限循环。
	一次性和全局重载功能	对于变频和多相 DC-DC 应用至关重要，并有助于实现高频控制环路（>2 MHz）。 支持在高频下控制交错式 LLC 拓扑。
	在逐周期（CBC）跳变事件和一次性跳变（OST）事件上独立执行 PWM 动作。	提供逐周期保护，并在故障条件下完全关闭 PWM。帮助实现多相 PFC 或 DC-DC 控制。
	在 SYNC 事件上进行负载（支持阴影到活动负载）。	支持变频应用（允许在电源转换中进行 LLC 控制）。
	能够在没有软件干预的情况下关闭 PWM（无需 ISR 延迟）。	在故障条件下快速保护
	延迟跳变功能。	帮助轻松实现带有峰值电流模式控制（PCMC）的死区和移相全桥（PSFB）DC-DC，而不占用太多 DSP 资源（即使在基于比较器、跳变或同步事件的触发事件上也是如此）。
	死区生成器（DB）子模块。	通过为上升（RED）和下降（FED）PWM 信号边缘添加可编程延迟，防止高侧和低侧栅极同时导通。
连接性		
串行外设接口（SPI）	2 个高速 SPI 端口	支持 25 MHz
串行通信接口（SCI）	2 个 SCI（UART）模块	与控制器接口
本地互连网络（LIN）	1 个 LIN	在不需要控制器局域网（CAN）的带宽和容错性的情况下提供低成本解决方案。 也可以作为 SCI 与其他控制器进行通信。
控制器局域网络（CAN/DCAN）	1 个 DCAN 模块	与经典 CAN 模块兼容
集成电路间总线（I2C）	1 个 I2C 模块	与外部 EEPROM、传感器或控制器接口

表 9-1。关键设备特性（续）

模块	功能	系统优势
电源管理总线（PMBus）	符合 SMI 论坛 PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）	基于硬件的无缝主机通信
带有发射器和接收器的快速串行接口（FSI）	最多支持 1 个 FSI 发射器和 1 个 FSI 接收器 能够通过隔离设备进行可靠的高速串行通信（高达 100 MHz）	快速串行接口(FSI)在隔离边界上以高达 100Mbps 的速度进行低引脚计数、高速通信时非常有用。
其他系统功能		
安全增强功能	双区代码安全模块（DCSM）看门狗 寄存器写保护 缺失时钟检测逻辑（MCD）纠错码（ECC）和奇偶校验	DCSM：防止专有代码的复制和逆向工程 看门狗：如果 DSP 陷入无休止的执行循环中，则生成复位 寄存器写保护： 系统配置寄存器的 LOCK 保护 防止杂散 DSP 写入 MCD：自动时钟故障检测 ECC 和奇偶校验：单比特错误纠正和双比特错误检测
交叉开关（XBARs）	提供灵活性，以将设备输入、输出和内部资源连接在多种配置中。 ● 输入交叉开关（X-BAR） ● 输出交叉开关（X-BAR） ● ePWM交叉开关（X-BAR） ● CLB交叉开关（X-BAR）	增强硬件设计多功能性： 输入交叉开关（X-BAR）：将来自任何 GPIO 的信号路由到芯片内的多个 IP 块 输出交叉开关（X-BAR）：将内部信号路由到指定的 GPIO 引脚 ePWM 交叉开关（X-BAR）：将各个 IP 块的内部信号路由到 EPWM CLB 交叉开关（X-BAR）：允许用户将各个 IP 块的信号引入到 CLB

封装参数



封装尺寸

尺寸符号	最小值	标称值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10

封装尺寸

尺寸符号	最小值	标称值	最大值
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
φ	0°	3.5°	7°
φ1	0°	-	-
φ2	11°	12°	13°
φ3	11°	12°	13°