

SWT127x: 4/8 通道, 同步采样的高带宽高精度 24 位模数转换器

1 特性

- 4/8 通道同步采样模数转换器 (ADC)
- 数据速率可达 200kSps
- 高带宽 FIR 滤波器与低延迟 SINC 滤波器可选
- 交流性能:
 - HS 模式: SNR 108.0dB, THD -122.3dB
 - HR 模式: SNR 111.7dB, THD -122.9dB
 - LP 模式: SNR 108.7dB, THD -124.3dB
 - LS 模式: SNR 109.0dB, THD -118.1dB
- 直流性能:
 - Offset 低于 $\pm 60\mu\text{V}$
 - Offset drift $0.67\mu\text{V}/^\circ\text{C}$
 - Gain error 低于 1‰
 - Gain drift $1.08\text{ppm}/^\circ\text{C}$
- 使用 FIR/SINC 滤波器的噪声性能:
 - HS 模式: $7.0\mu\text{Vrms}/5.6\mu\text{Vrms}$
 - HR 模式: $5.5\mu\text{Vrms}/4.5\mu\text{Vrms}$
 - LP 模式: $6.5\mu\text{Vrms}/5.0\mu\text{Vrms}$
 - LS 模式: $6.3\mu\text{Vrms}/4.9\mu\text{Vrms}$
- 低功耗:
 - HS 模式: 34.0mW/通道
 - HR 模式: 20.8mW/通道
 - LP 模式: 10.9mW/通道
 - LS 模式: 2.7mW/通道
- 轨到轨输入共模电平
- 共模抑制比: 116dB
- 模拟电源: 5V; 数字电源: 1.8V
- IO 电源: 1.8V~3.3V
- SPI 或帧同步接口, 支持菊花链模式
- ESD 等级:
 - HBM $\pm 2\text{kV}$, CDM $\pm 2\text{kV}$
 - Latch-up $\pm 600\text{mA}$
- 工作温度范围: -55°C 至 $+125^\circ\text{C}$

2 应用

- 振动和模态分析
- 多通道数据采集
- 声学/动态应变器
- 压力传感器
- 关口表

3 说明

SWT1274/SWT1278 是 4/8 通道同步采样的 24 位 Δ - Σ 模数转换器 (ADC), 客户可以根据速度、精度与功耗的需求, 从四种模式中选择: 高速 (HS) 模式, 速度最快, 搭配 37MHz 的时钟可达 200kSps, -3dB 带宽 70kHz; 高精度 (HR) 模式, 精度最高, SNR 可达 111.7dB, THD 可达 -122.9dB, 功耗仅 20.8mW/通道; 低功耗 (LP) 模式, 输出速率与 HR 模式相同, 但功耗几乎减半; 低速 (LS) 模式, 适用于低速的采集, 功耗低至 2.7mW/通道。该芯片直接使用 PIN 脚控制, 无需编译寄存器, 便于客户使用。

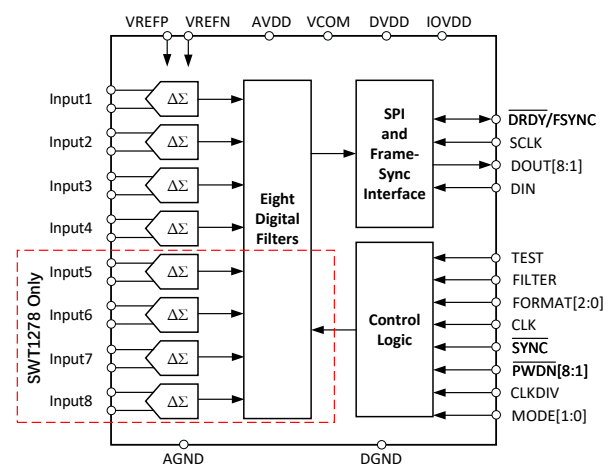
SWT127x 使用高阶多比特 Delta-sigma 调制器, 将带内噪声整形后通过片上数字抽取滤波器滤除, 从而获得了非常低的带内噪声功率。SWT127x 可选择两种片内数字滤波器: 高带宽 FIR 滤波器, 有效带宽达到了奈奎斯特带宽的 90.6%, 同时带内纹波小于 $\pm 0.005\text{dB}$; 低延迟 SINC 滤波器, 可在 6 个周期内产生稳定的数据输出, 且有更优的噪声性能。此外, SWT127x 还具备稳定的温度特性, 适用于高温范围工业应用场景。

SWT127x 采用 10mm*10mm 64-PIN 四方扁平封装 (QFP), 额定工作温度范围可达 -55°C ~ 125°C 。

器件信息

器件型号	封装	封装尺寸
SWT127x	QFP(64)	10.00mm×10.00mm

简化电路原理图



建议的工作条件

在自然通风温度范围内测得 (除非另有说明)⁽¹⁾

SWT1274/SWT1278			单位
AVDD 到 AGND		-0.3 至 +6.0	V
IOVDD 到 DGND		-0.3 至 +3.6	V
DVDD 到 DGND		-0.3 至 +2.0	V
AGND 到 DGND		-0.3 至 +0.3	V
输入电流	瞬时	100	mA
	持续	10	mA
模拟输入到 AGND		-0.3 至 AVDD+0.3	V
数字输入/输出到 DGND		-0.3 至 IOVDD+0.3	V
最大结温		+150	°C
温度范围			
工作温度范围		-55~+125	°C
储存温度范围		-60~+150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

ESD 指标

项目	参数	值	单位
ESD	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽²⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽³⁾	±2000	
Latch-Up	Latch-Up 测试电流 ($T_A = 25^{\circ}\text{C} \pm 5^{\circ}\text{C}$)	±600	mA

(2) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(3) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

电气特性

若非另有说明，以下性能的测试条件为：-55°C~125°C，AVDD = +5V，DVDD = +1.8V，IOVDD = +3.3V， f_{CLK} = 27MHz，VREFP = 2.5V，VREFN = 0V，并且所有通道均工作。

参数	测试条件	最小值	标称值	最大值	单位
模拟输入					
输入电压 (FSR) ⁽¹⁾	$V_{IN} = (AINP - AINN)$		$\pm V_{REF}$		V
共模输入电压范围 (V_{CM})	$V_{IN} = (AINP + AINN)/2$	AVSS	2.5	AVDD	V
差分输入阻抗 ⁽²⁾	HS 模式		4.2		k Ω
	HR 模式		5.8		k Ω
	LP 模式		11.6		k Ω
	LS 模式		58		k Ω
DC 性能					
精度			24		Bits
数据速率 (f_{DATA})	HS 模式	$f_{CLK} = 37\text{MHz}, \text{OSR}=64$	144.531		kSps ⁽³⁾
	HR 模式	$f_{CLK} = 27\text{MHz}, \text{OSR}=128$	52.734		kSps
	LP 模式	$f_{CLK} = 27\text{MHz}/13.5\text{MHz}, \text{OSR}=64$	52.734		kSps
	LS 模式	$f_{CLK} = 27\text{MHz}/5.4\text{MHz}, \text{OSR}=64$	10.547		kSps
失调误差 (Offset)			± 60		μV
失调漂移 (Offset drift)			0.67		$\mu\text{V}/^\circ\text{C}$
增益误差 (Gain Error)				1	%FSR
增益漂移 (Gain drift)			1.08		ppm/ $^\circ\text{C}$
噪声 (Noise)	HS 模式	输入短接, 高带宽 FIR 滤波器	7.0	10.0	μVrms
		输入短接, 低延迟 SINC 滤波器	5.6	8.0	μVrms
	HR 模式	输入短接, 高带宽 FIR 滤波器	5.5	7.0	μVrms
		输入短接, 低延迟 SINC 滤波器	4.5	6.0	μVrms
	LP 模式	输入短接, 高带宽 FIR 滤波器	6.5	9.0	μVrms
		输入短接, 低延迟 SINC 滤波器	5.0	6.5	μVrms
	LS 模式	输入短接, 高带宽 FIR 滤波器	6.3	9.0	μVrms
		输入短接, 低延迟 SINC 滤波器	4.9	6.5	μVrms
共模抑制 (CMRR)			116		dB
电源抑制 (PSRR)	AVDD	$f_{PS} = 60\text{Hz}$	85		dB
	DVDD		85		dB
	IOVDD		105		dB
V_{COM} 输出电压	无负载		$(AVDD - AVSS)/2$		V

(1) FSR = 满输入范围 = $2V_{REF}$ 。

(2) 高速模式 $f_{CLK} = 37\text{MHz}$ ，其他模式为 27MHz。

(3) Sps = 每秒采样次数。

电气特性 (continued)

若非另有说明, 以下性能的测试条件为: $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $\text{AVDD} = +5\text{V}$, $\text{DVDD} = +1.8\text{V}$, $\text{IOVDD} = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $\text{VREFP} = 2.5\text{V}$, $\text{VREFN} = 0\text{V}$, 并且所有通道均工作。

参数		测试条件	最小值	标称值	最大值	单位
AC 性能-高带宽 FIR 滤波器						
串扰		$V_{\text{IN}} = 1\text{kHz}, -0.5\text{dBFS}^{(1)}$		-115		dB
信噪比 (SNR) ⁽²⁾	HS 模式	$f_{\text{CLK}} = 37\text{MHz}, \text{OSR}=64$		108.0		dB
	HR 模式	$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 2.5\text{V}$		110.0		dB
		$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 3\text{V}$		111.7		dB
	LP 模式	$f_{\text{CLK}} = 27\text{MHz}/13.5\text{MHz}$		108.7		dB
	LS 模式	$f_{\text{CLK}} = 27\text{MHz}/5.4\text{MHz}$		109.0		dB
总谐波失真 (THD) ⁽³⁾	HS 模式	$f_{\text{CLK}} = 37\text{MHz}, \text{OSR}=64$		-122.3		dB
	HR 模式	$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 2.5\text{V}$		-124.3		dB
		$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 3\text{V}$		-122.9		dB
	LP 模式	$f_{\text{CLK}} = 27\text{MHz}/13.5\text{MHz}$		-124.3		dB
	LS 模式	$f_{\text{CLK}} = 27\text{MHz}/5.4\text{MHz}$		-118.1		dB
通带纹波					± 0.005	dB
通带				$0.453f_{\text{DATA}}$		Hz
-3dB 带宽				$0.49f_{\text{DATA}}$		Hz
截止频率			$0.547f_{\text{DATA}}$			Hz
止带衰减				100		dB
群延时					$38/f_{\text{DATA}}$	s
建立时间					$76/f_{\text{DATA}}$	s
AC 性能-低延迟 SINC 滤波器						
串扰		$V_{\text{IN}} = 1\text{kHz}, -0.5\text{dBFS}^{(1)}$		-115		dB
信噪比 (SNR) ⁽²⁾	HS 模式	$f_{\text{CLK}} = 37\text{MHz}, \text{OSR}=64$		110.0		dB
	HR 模式	$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 2.5\text{V}$		112.0		dB
		$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 3\text{V}$		113.5		dB
	LP 模式	$f_{\text{CLK}} = 27\text{MHz}/13.5\text{MHz}$		111.0		dB
	LS 模式	$f_{\text{CLK}} = 27\text{MHz}/5.4\text{MHz}$		111.1		dB
总谐波失真 (THD) ⁽³⁾	HS 模式	$f_{\text{CLK}} = 37\text{MHz}, \text{OSR}=64$		-121.1		dB
	HR 模式	$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 2.5\text{V}$		-123.7		dB
		$f_{\text{CLK}} = 27\text{MHz}, V_{\text{REF}} = 3\text{V}$		-123.7		dB
	LP 模式	$f_{\text{CLK}} = 27\text{MHz}/13.5\text{MHz}$		-126.0		dB
	LS 模式	$f_{\text{CLK}} = 27\text{MHz}/5.4\text{MHz}$		-119.4		dB
-3dB 带宽				$0.186f_{\text{DATA}}$		Hz
建立时间				$6/f_{\text{DATA}}$		s

(1) 选取通道间串扰的最坏结果。

(2) 最小信噪比由 DC 噪声特性的限制保证。

(3) 总谐波失真 THD 包括输入信号的最小 9 次谐波; 低速模式包括最小 5 次谐波。

电气特性 (continued)

若非另有说明，以下性能的测试条件为：-55°C~125°C，AVDD = +5V，DVDD = +1.8V，IOVDD = +3.3V， f_{CLK} = 27MHz，VREFP = 2.5V，VREFN = 0V，并且所有通道均工作。

参数		测试条件	最小值	标称值	最大值	单位
参考输入						
参考输入电压 (V_{REF}) ⁽¹⁾ ($V_{REF} = V_{REFP} - V_{REFN}$)		HR 模式	0.5	3		V
		其他模式	0.5	2.5		V
SWT1274 参考输入阻抗	HS 模式			0.95		kΩ
	HR 模式			1.3		kΩ
	LP 模式			2.6		kΩ
	LS 模式			13		kΩ
SWT1278 参考输入阻抗	HS 模式			0.47		kΩ
	HR 模式			0.65		kΩ
	LP 模式			1.3		kΩ
	LS 模式			6.5		kΩ
供电						
AVDD			4.75	5	5.25	V
DVDD			1.65	1.8	1.95	V
IOVDD			1.65	3.3	3.6	V
Power-down 电流	AVDD			1.8	5	μA
	DVDD			1	10	μA
	IOVDD			1	10	μA
SWT1274						
AVDD 电流	HS 模式			26.4		mA
	HR 模式			16.4		mA
	LP 模式			8.6		mA
	LS 模式			2.3		mA
DVDD 电流	HS 模式			4.1		mA
	HR 模式			2.8		mA
	LP 模式			1.7		mA
	LS 模式			0.6		mA
IOVDD 电流	HS 模式			0.44		mA
	HR 模式			0.32		mA
	LP 模式			0.32		mA
	LS 模式			0.31		mA
功耗	HS 模式			141		mW
	HR 模式			88		mW
	LP 模式			48		mW
	LS 模式			14		mW

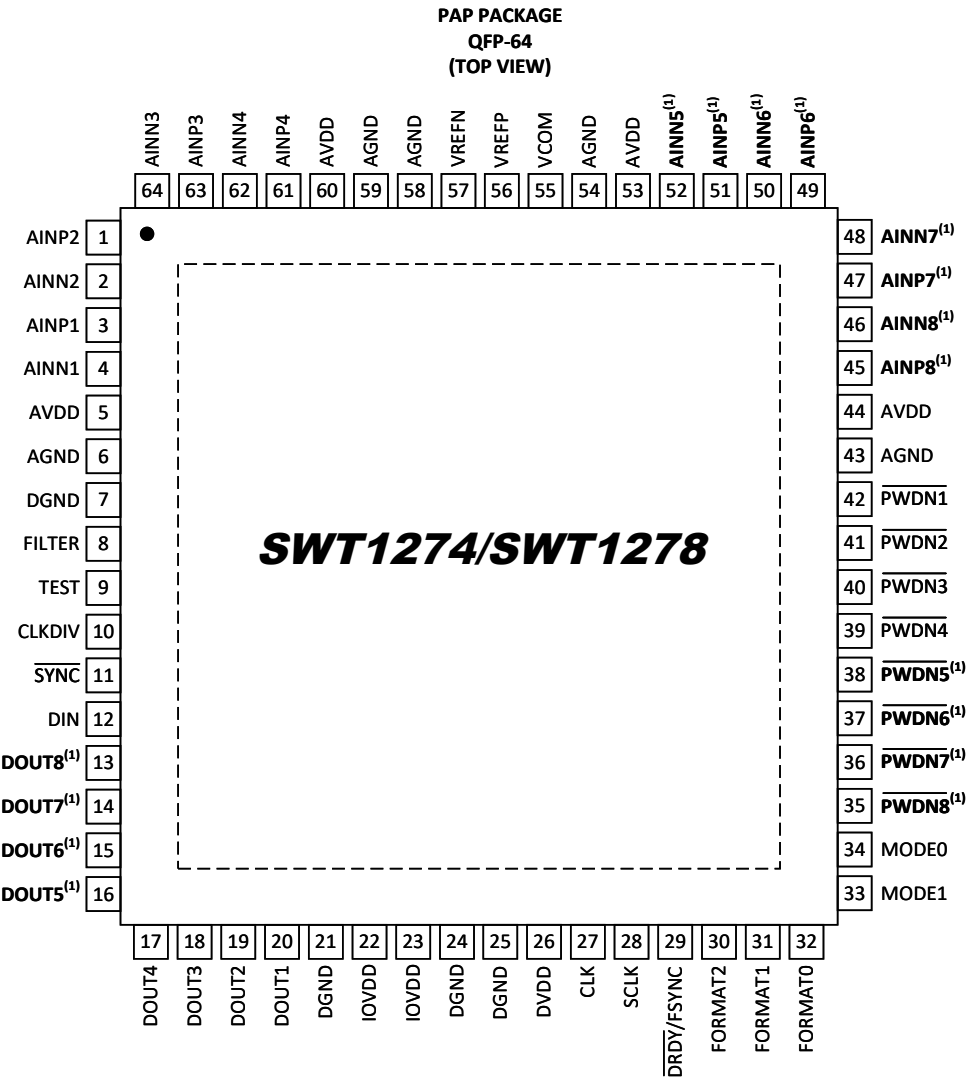
(1) 高速模式 f_{CLK} = 37MHz，其他模式为 27MHz。

电气特性 (continued)

若非另有说明，以下性能的测试条件为：-55°C~125°C，AVDD = +5V，DVDD = +1.8V，IOVDD = +3.3V， f_{CLK} = 27MHz，VREFP = 2.5V，VREFN = 0V，并且所有通道均工作。

参数		测试条件	最小值	标称值	最大值	单位
SWT1278						
AVDD 电流	HS 模式			51.4		mA
	HR 模式			31		mA
	LP 模式			16		mA
	LS 模式			3.6		mA
DVDD 电流	HS 模式			7.2		mA
	HR 模式			4.9		mA
	LP 模式			2.8		mA
	LS 模式			0.8		mA
IOVDD 电流	HS 模式			0.52		mA
	HR 模式			0.42		mA
	LP 模式			0.42		mA
	LS 模式			0.4		mA
功耗	HS 模式			272		mW
	HR 模式			166		mW
	LP 模式			87		mW
	LS 模式			21		mW

引脚定义和功能



(1) 仅限 SWT1278。

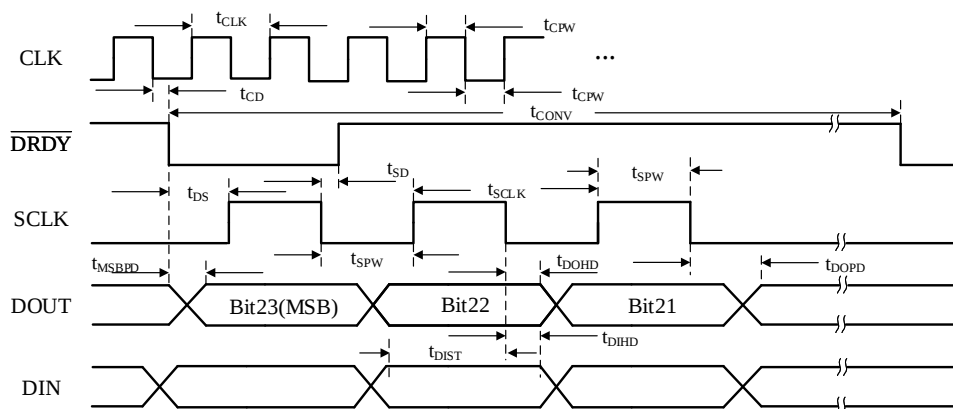
SWT1274/SWT1278 引脚功能

引脚		功能	描述
名称	编号		
AGND	6,43,54,58,59	模拟地	模拟地
AINP1	3	模拟输入	SWT1278: AINP[8:1] 通道 8 到 1 的差分模拟输入 (正端)。 SWT1274: AINP[8:5] 连接至模拟地; AINP[4:1] 通道 4 到 1 的差分模拟输入 (正端)。
AINP2	1	模拟输入	
AINP3	63	模拟输入	
AINP4	61	模拟输入	
AINP5	51	模拟输入	
AINP6	49	模拟输入	
AINP7	47	模拟输入	
AINP8	45	模拟输入	
AINN1	4	模拟输入	SWT1278: AINN[8:1] 通道 8 到 1 的差分模拟输入 (负端)。 SWT1274: AINN[8:5] 连接至模拟地; AINN[4:1] 通道 4 到 1 的差分模拟输入 (负端)。
AINN2	2	模拟输入	
AINN3	64	模拟输入	
AINN4	62	模拟输入	
AINN5	52	模拟输入	
AINN6	50	模拟输入	
AINN7	48	模拟输入	
AINN8	46	模拟输入	
AVDD	5,44,53,60	电源	模拟电源 (4.75V 到 5.25V)。
VCOM	55	模拟输出	AVDD/2 电压输出。
VREFN	57	模拟输入	负基准电压。
VREFP	56	模拟输入	正基准电压。
CLK	27	数字输入	主时钟 f_{CLK} 。
CLKDIV	10	数字输入	CLK 输入分频器控制: 1 = 37MHz(HS 模式)/27MHz(其它模式); 0 = 13.5MHz(LP 模式)/5.4MHz(LS 模式)。
DGND	7,21,24,25	数字地	数字地。
DIN	12	数字输入	菊花链数据输入。
DOUT1	20	数字输出	DOUT1 是 TDM 数据输出 (TDM 模式)。 SWT1278: DOUT[8:1] 通道 8 到通道 1 的数据输出。 SWT1274: DOUT[8:5] 建议浮空; DOUT[4:1] 通道 4 到通道 1 的数据输出。
DOUT2	19	数字输出	
DOUT3	18	数字输出	
DOUT4	17	数字输出	
DOUT5	16	数字输出	
DOUT6	15	数字输出	
DOUT7	14	数字输出	
DOUT8	13	数字输出	
DRDY/FSYNC	29	数字输入/输出	帧同步协议: 帧时钟输入; SPI 协议: 数据准备输出。
DVDD	26	电源	数字电源
FORMAT0	32	数字输入	FORMAT[2:0] 用于选择帧同步/SPI 协议, 及具体数据输出模式。
FORMAT1	31	数字输入	
FORMAT2	30	数字输入	
IOVDD	22,23	电源	I/O 电源。
MODE0	34	数字输入	MODE[1:0] 用于选择 HS、HR、LP 或 LS 模式。
MODE1	33	数字输入	

(1) 注意: CLKDIV 引脚内部具有拉高。

引脚		功能	描述
名称	编号		
PWDN1	42	数字输入	SWT1278: $\overline{\text{PWDN}}[8:1]$ 控制通道 8 到通道 1 的断电, 低电平断电。 SWT1274: $\overline{\text{PWDN}}[8:5]$ 需接地; $\overline{\text{PWDN}}[4:1]$ 控制通道 4 到通道 1 的断电, 低电平断电。
PWDN2	41	数字输入	
PWDN3	40	数字输入	
PWDN4	39	数字输入	
PWDN5	38	数字输入	
PWDN6	37	数字输入	
PWDN7	36	数字输入	
PWDN8	35	数字输入	
SCLK	28	数字输入	串行时钟输入。
SYNC	11	数字输入	同步所有通道。
FILTER	8	数字输入	数字滤波器切换: 0= 高带宽 FIR 滤波器;1= 低延迟 SINC 滤波器。
TEST	9	数字输入	内部测试引脚, 固定接数字地。

SPI 时序



SPI 格式时序规范

规格适用于 $T_A = -55^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $\text{IOVDD} = 1.65\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 1.95V (除非另有说明)。

特征	参数	最小值	标称值	最大值	单位
t_{CLK}	CLK 周期 ($1/f_{CLK}$) ⁽¹⁾	27		10000	ns
t_{CPW}	CLK 正/负脉冲宽度	13			ns
t_{CONV}	转换周期 ($1/f_{DATA}$) ⁽²⁾	256		2560	t_{CLK}
t_{CD} ⁽³⁾	CLK 下降沿到 DRDY 下降沿		20		ns
t_{DS} ⁽³⁾	DRDY 的下降沿到第一个 SCLK 的上升沿取数	1			t_{CLK}
t_{MSBPD}	DRDY 下降沿到 DOUT MSB 有效 (传播时延)			11	ns
t_{SD} ⁽³⁾	SCLK 下降沿到 DRDY 上升沿		15		ns
t_{SCLK} ⁽⁴⁾	SCLK 时钟周期	1			t_{CLK}
t_{SPW}	SCLK 正/负单脉冲宽度	0.4			t_{CLK}
t_{DOHD} ^{(3) (5)}	SCLK 下降沿到 DOUT 更新 (保持时间)	7			t_{CLK}
t_{DOPD} ⁽³⁾	SCLK 下降沿到下一个有效的 DOUT (传播时延)			18	ns
t_{DIST}	下一组 DIN 到 SCLK 下降沿有效 (建立时间)	6			ns
t_{DIHD} ⁽⁵⁾	上一组 DIN 到 SCLK 下降沿有效 (保持时间)	6			ns

(1) f_{CLK} 最大值为 37MHz;

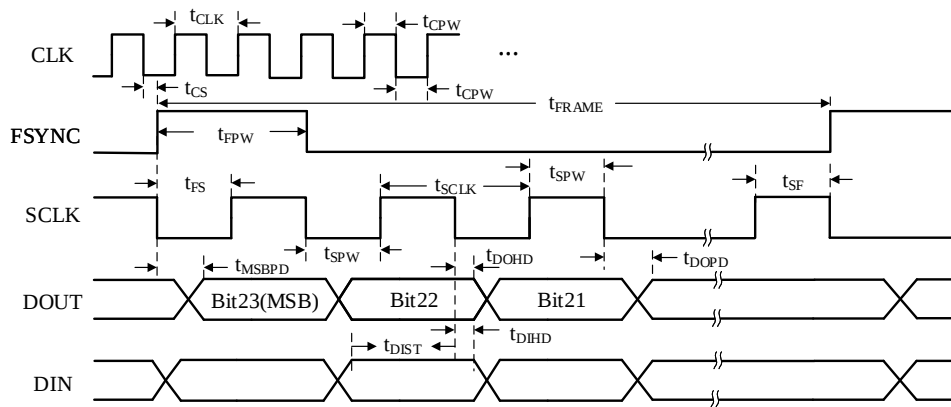
(2) 取决于 MODE[1:0] 和 CLKDIV 选择, 见表 (f_{CLK}/f_{DATA});

(3) 负载 DRDY 和 DOUT = 20pF;

(4) 若获得最佳性能, f_{SCLK} 不超过 f_{CLK} ;

(5) t_{DOHD} (DOUT 保持时间) 和 t_{DIHD} (DIN 保持时间) 是在相对极限情况下 (数字电源电压和环境温度) 确定的。

FRAME-SYNC 时序



FRAME-SYNC 格式时序规范

规格适用于 $T_A = -55^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $\text{IOVDD} = 1.65\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 1.95V (除非另有说明)。

特征	参数		最小值	标称值	最大值	单位
t_{CLK}	CLK 周期 ($1/f_{CLK}$)	高速模式	27		10,000	ns
		其他模式	37		10,000	ns
t_{CPW}	CLK 正/负脉冲宽度		12			ns
t_{CS}	CLK 下降沿到 SCLK 下降沿		0.1		0.18	t_{CLK}
t_{FRAME}	帧周期 ($1/f_{DATA}$) ⁽¹⁾		256		2560	t_{CLK}
t_{FPW}	FSYNC 正脉冲宽度			1		t_{SCLK}
t_{FS}	FSYNC 上升沿到 SCLK 上升沿			14		ns
t_{SF}	SCLK 上升沿到 FSYNC 上升沿			14		ns
t_{SCLK}	SCLK 时钟周期 ⁽²⁾		1			t_{CLK}
t_{SPW}	SCLK 正/负单脉冲宽度		0.4			t_{CLK}
t_{DOHD} ^{(3) (4)}	SCLK 下降沿到 DOUT 更新 (保持时间)		8			ns
t_{DOPD} ⁽⁴⁾	SCLK 下降沿到下一个有效的 DOUT (传播时延)				18	ns
t_{MSBPD}	FSYNC 上升沿到 DOUT MSB 有效 (传播时延)				18	ns
t_{DIST}	下一 DIN 到 SCLK 下降沿有效 (建立时间)		6			ns
t_{DIHD} ⁽³⁾	上一 DIN 到 SCLK 下降沿有效 (保持时间)		6			ns

(1) 取决于 MODE[1:0] 和 CLKDIV 选择, 见表 (f_{CLK}/f_{DATA});

(2) SCLK 必须连续运行, f_{SCLK} 不超过 f_{CLK} ;

(3) t_{DOHD} (DOUT 保持时间) 和 t_{DIHD} (DIN 保持时间) 是在相对极限情况下 (数字电源电压和环境温度) 确定的。

(4) 负载 DOUT = 20pF;

HS 模式典型特性

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HS 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$.

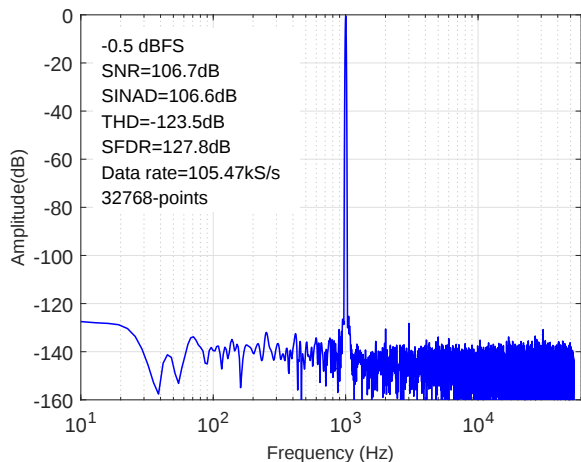


图 1. -0.5dBFS, 选用 FIR 滤波器的输出频谱图

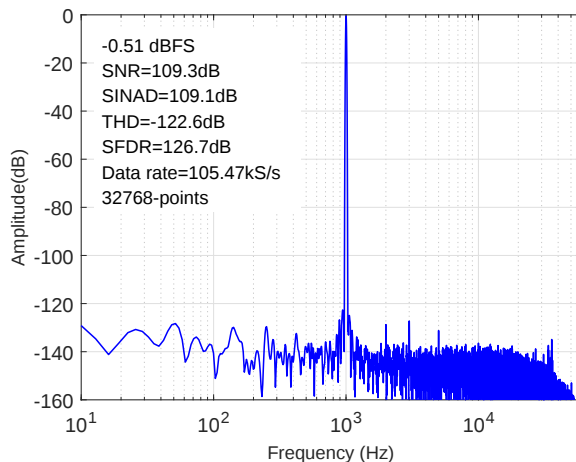


图 4. -0.5dBFS, 选用 SINC 滤波器的输出频谱图

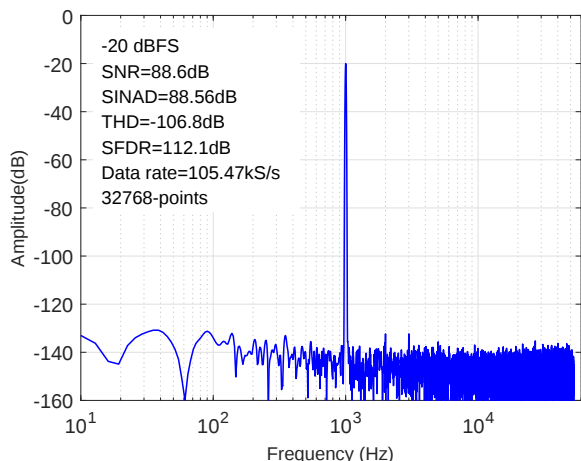


图 2. -20dBFS, 选用 FIR 滤波器的输出频谱图

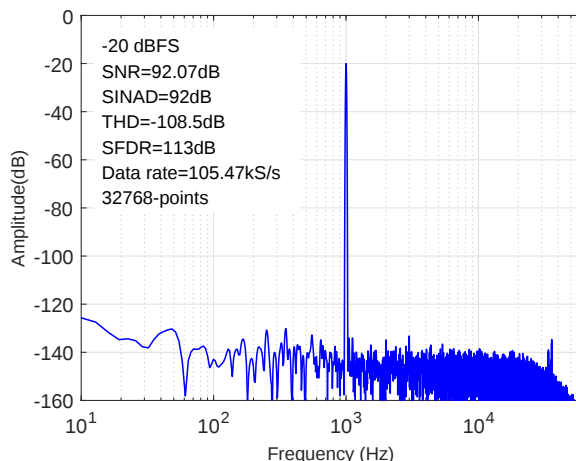


图 5. -20dBFS, 选用 SINC 滤波器的输出频谱图

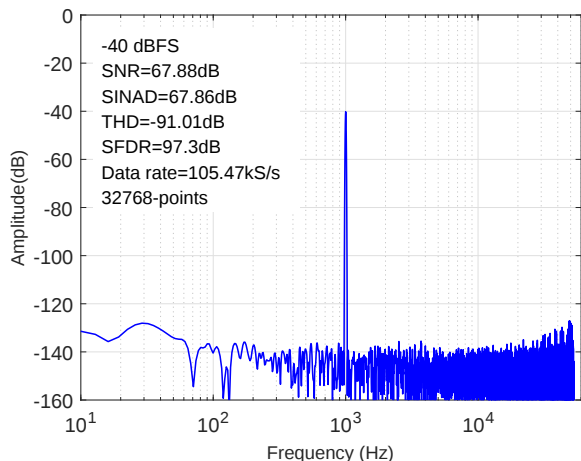


图 3. -40dBFS, 选用 FIR 滤波器的输出频谱图

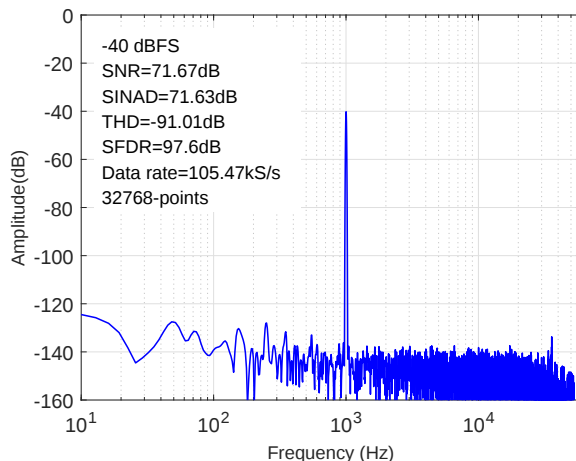


图 6. -40dBFS, 选用 SINC 滤波器的输出频谱图

HS 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HS 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$ 。

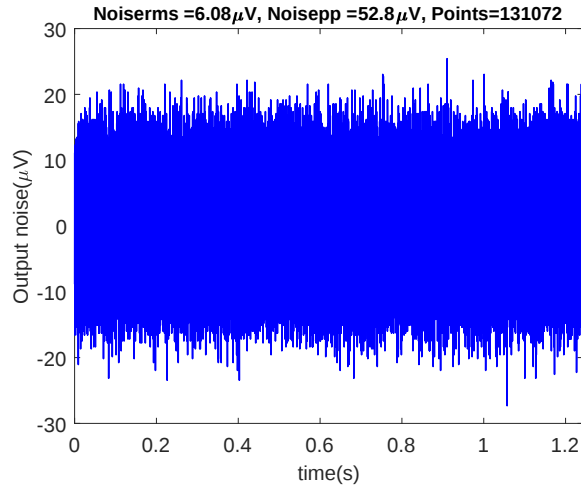


图 7. 选用 FIR 滤波器的时域噪声图

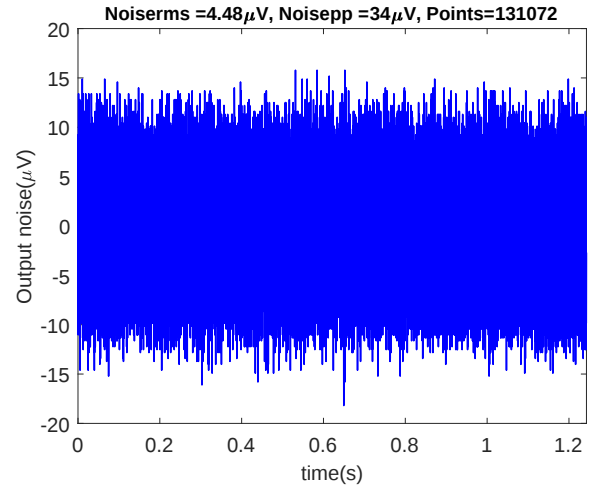


图 9. 选用 SINC 滤波器的时域噪声图

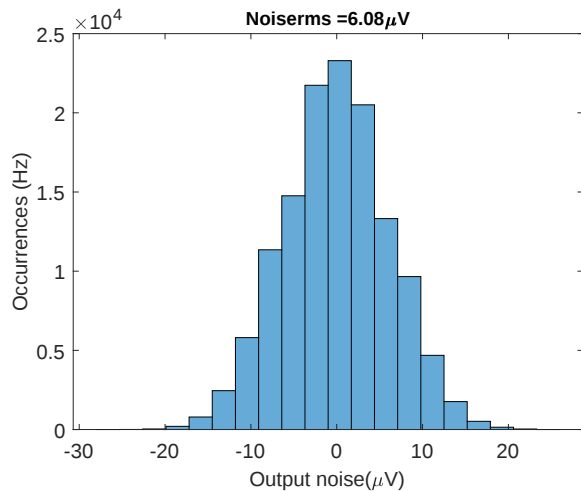


图 8. 选用 FIR 滤波器的噪声分布直方图

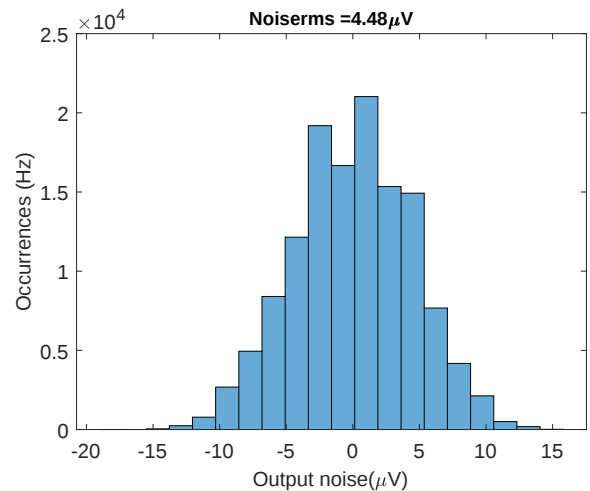


图 10. 选用 SINC 滤波器的噪声分布直方图

HS 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HS 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $VREFP = 2.5\text{V}$, $VREFN = 0\text{V}$, 特别注意, 本页性能在 $f_{\text{CLK}} = 37\text{MHz}$ 下测得。

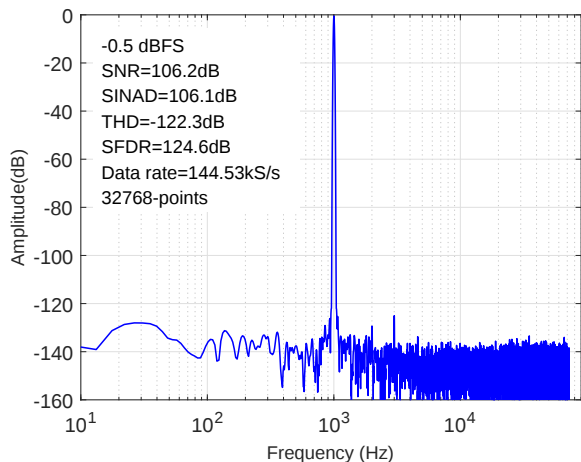


图 11. -0.5dBFS, 选用 FIR 滤波器的输出频谱图

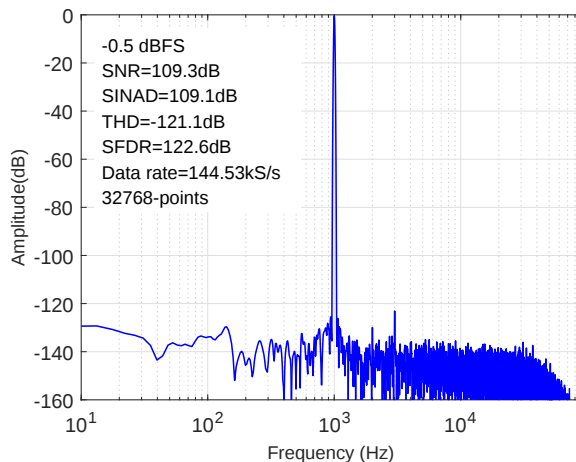


图 14. -0.5dBFS, 选用 SINC 滤波器的输出频谱图

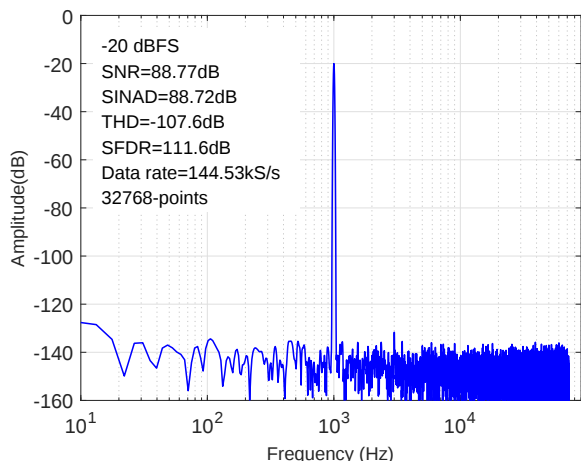


图 12. -20dBFS, 选用 FIR 滤波器的输出频谱图

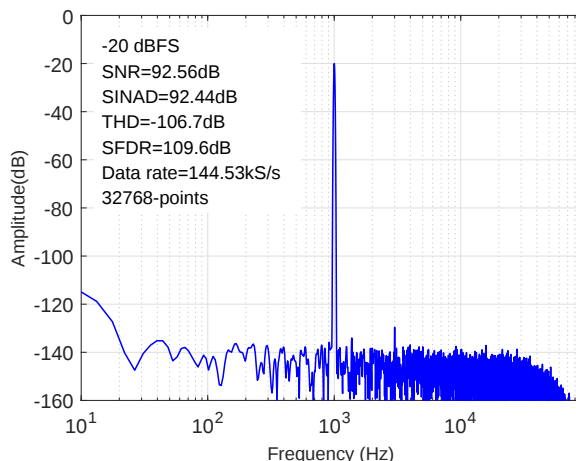


图 15. -20dBFS, 选用 SINC 滤波器的输出频谱图

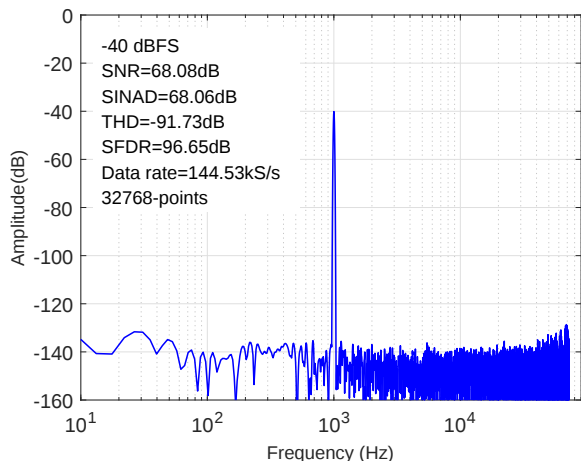


图 13. -40dBFS, 选用 FIR 滤波器的输出频谱图

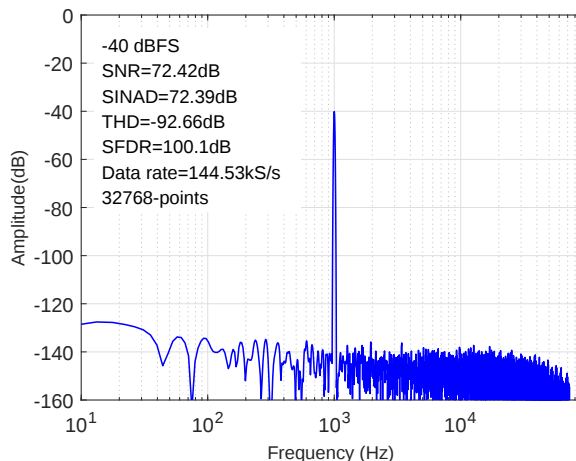


图 16. -40dBFS, 选用 SINC 滤波器的输出频谱图

HR 模式典型特性

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HR 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$.

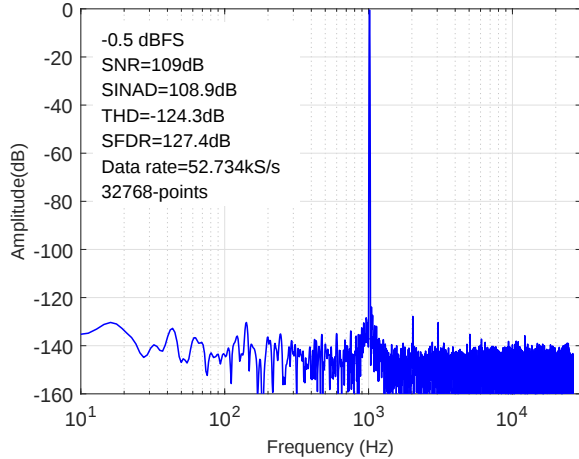


图 17 . -0.5dBFS, 选用 FIR 滤波器的输出频谱图

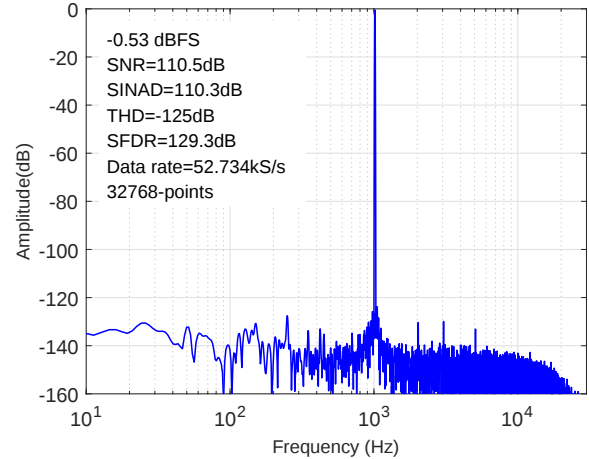


图 20 . -0.5dBFS, 选用 SINC 滤波器的输出频谱图

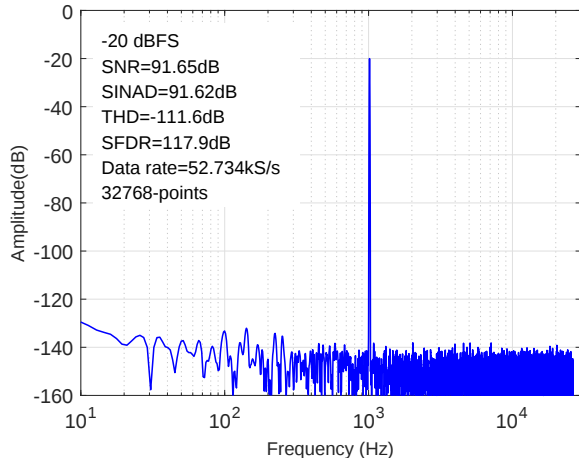


图 18 . -20dBFS, 选用 FIR 滤波器的输出频谱图

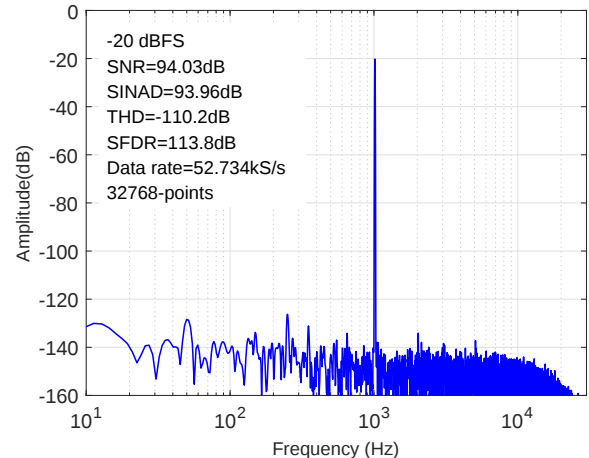


图 21 . -20dBFS, 选用 SINC 滤波器的输出频谱图

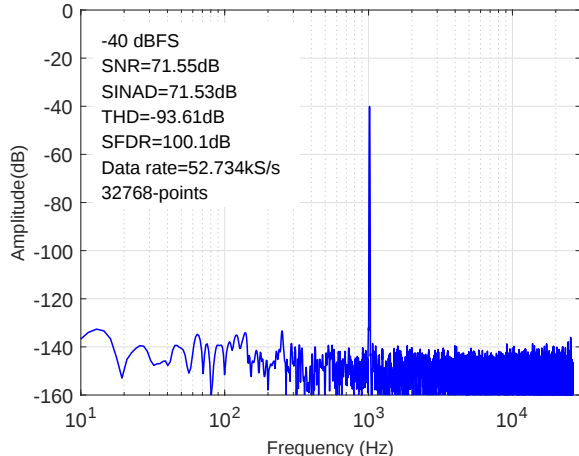


图 19 . -40dBFS, 选用 FIR 滤波器的输出频谱图

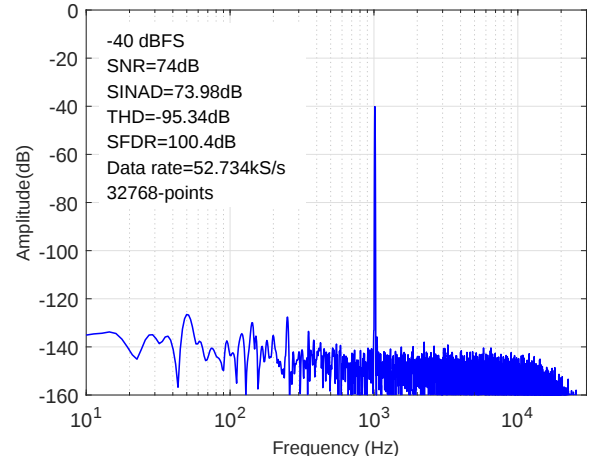


图 22 . -40dBFS, 选用 SINC 滤波器的输出频谱图

HR 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HR 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$ 。

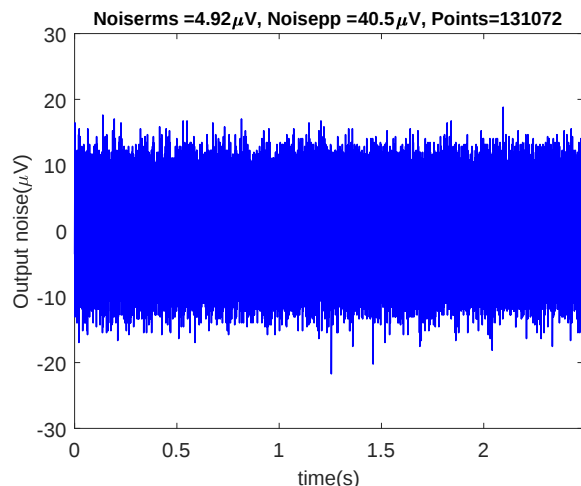


图 23 . HR 模式 FIR 滤波器噪声图

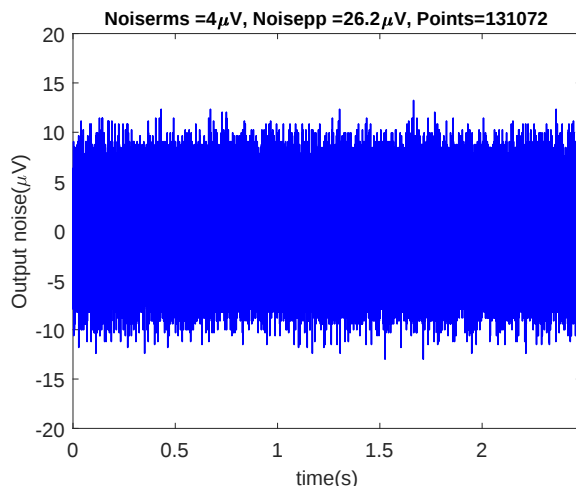


图 25 . HR 模式 SINC 滤波器噪声图

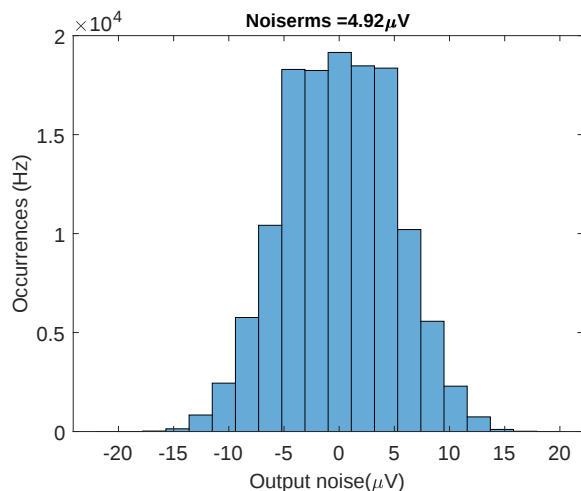


图 24 . HR 模式 FIR 滤波器噪声直方图

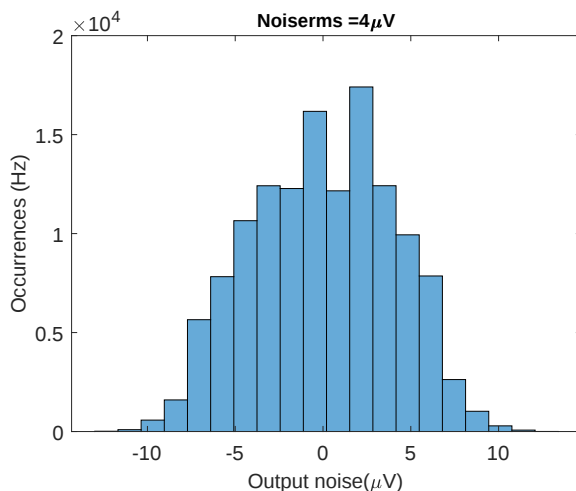


图 26 . HR 模式 SINC 滤波器噪声直方图

HR 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, HR 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, 特别注意, 本页性能在 $V_{\text{REFP}} = 3\text{V}$, $V_{\text{REFN}} = 0\text{V}$ 下测得。

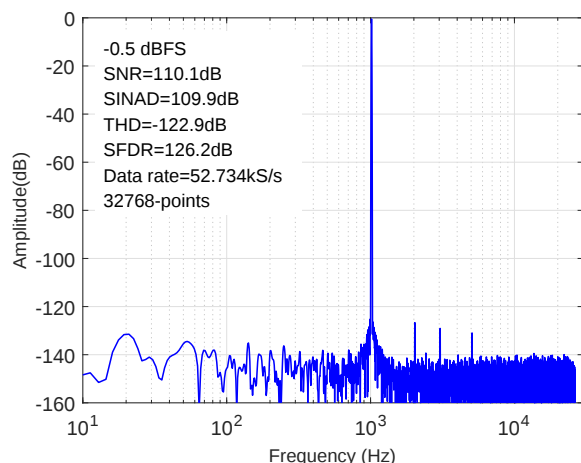


图 27 . -0.5dBFS, 选用 FIR 滤波器的输出频谱图

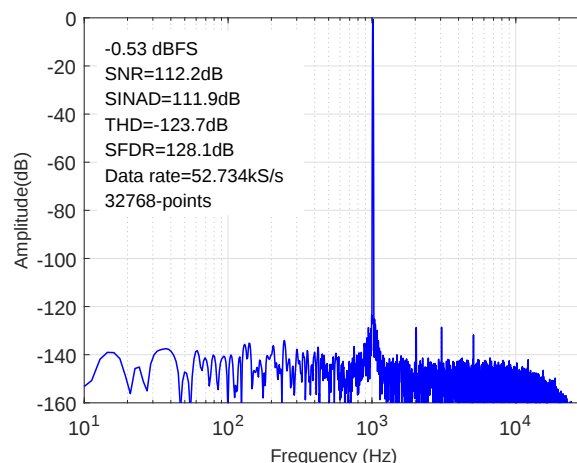


图 30 . -0.5dBFS, 选用 SINC 滤波器的输出频谱图

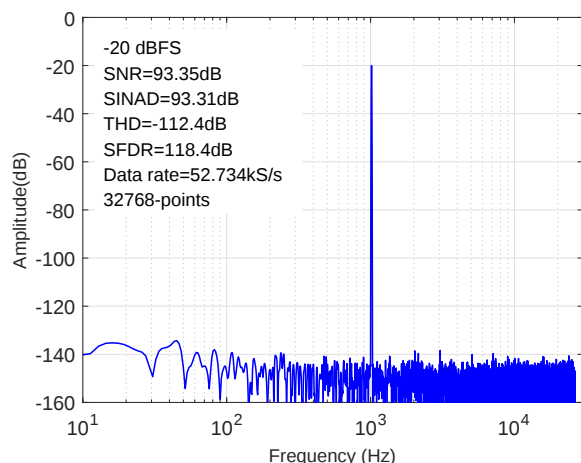


图 28 . -20dBFS, 选用 FIR 滤波器的输出频谱图

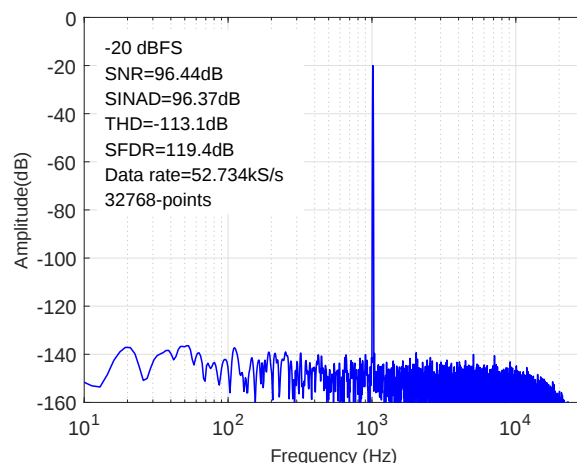


图 31 . -20dBFS, 选用 SINC 滤波器的输出频谱图

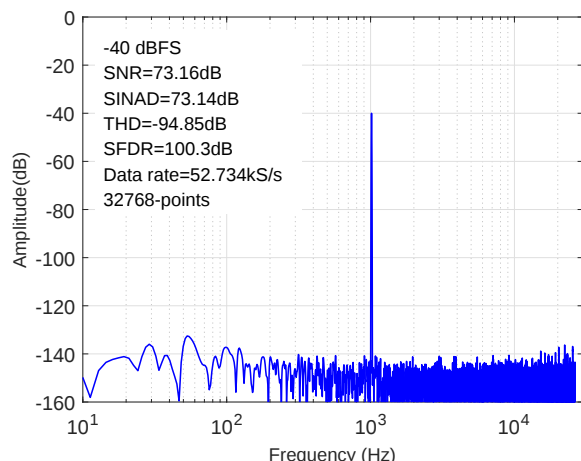


图 29 . -40dBFS, 选用 FIR 滤波器的输出频谱图

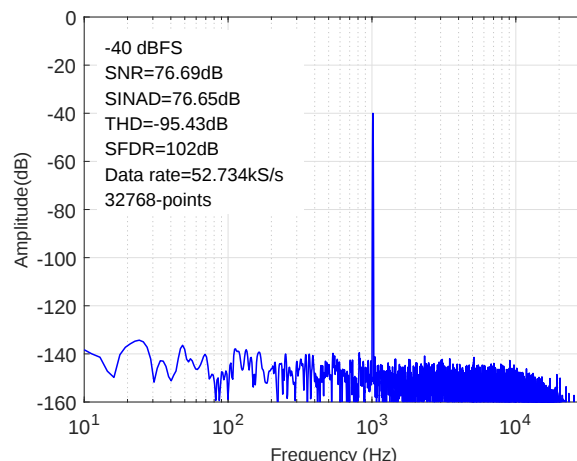


图 32 . -40dBFS, 选用 SINC 滤波器的输出频谱图

LP 模式典型特性

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, LP 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$.

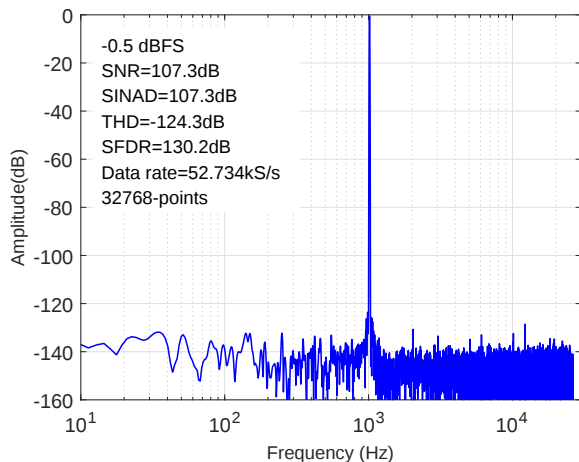


图 33 . -0.5dBFS, 选用 FIR 滤波器的输出频谱图

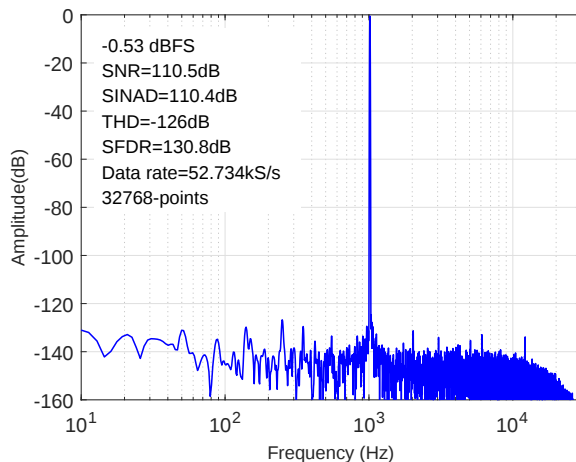


图 36 . -0.5dBFS, 选用 SINC 滤波器的输出频谱图

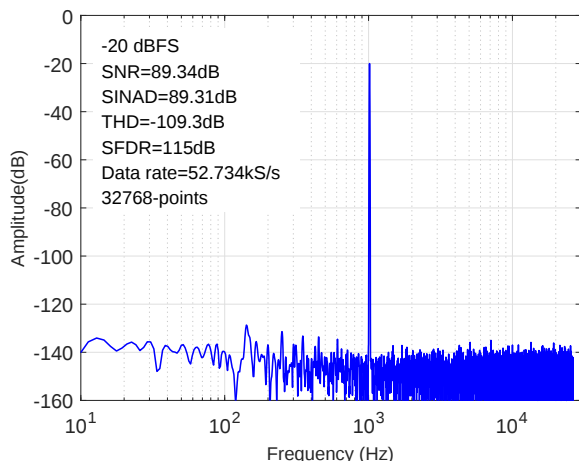


图 34 . -20dBFS, 选用 FIR 滤波器的输出频谱图

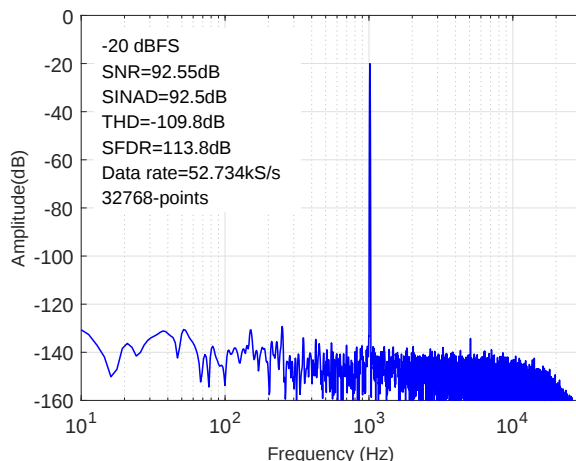


图 37 . -20dBFS, 选用 SINC 滤波器的输出频谱图

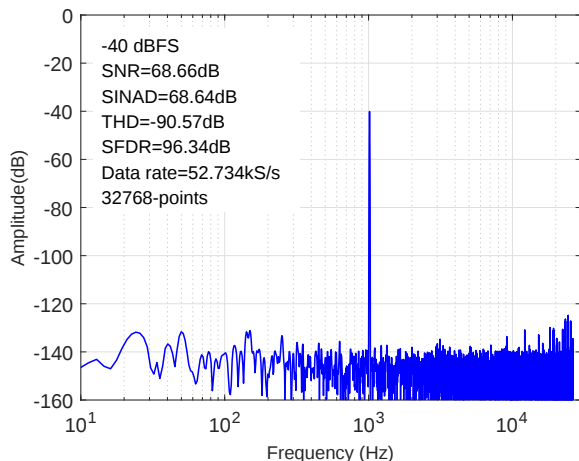


图 35 . -40dBFS, 选用 FIR 滤波器的输出频谱图

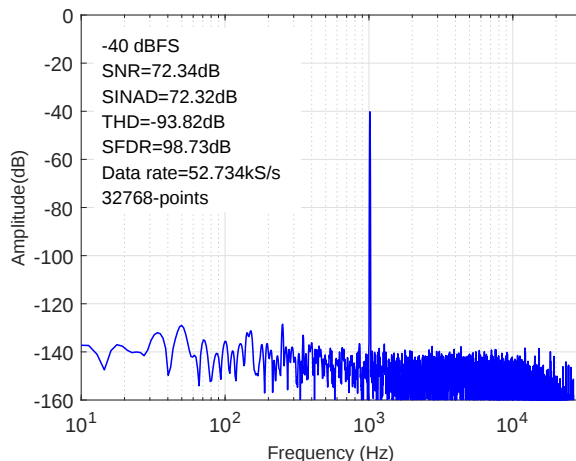


图 38 . -40dBFS, 选用 SINC 滤波器的输出频谱图

LP 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^\circ\text{C}$, LP 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$ 。

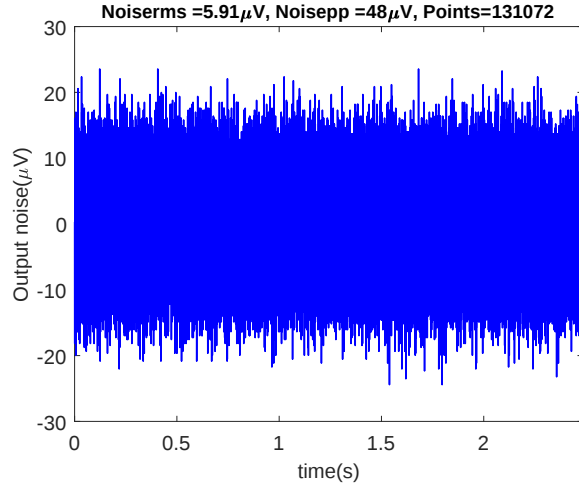


图 39 . 选用 FIR 滤波器的时域噪声图

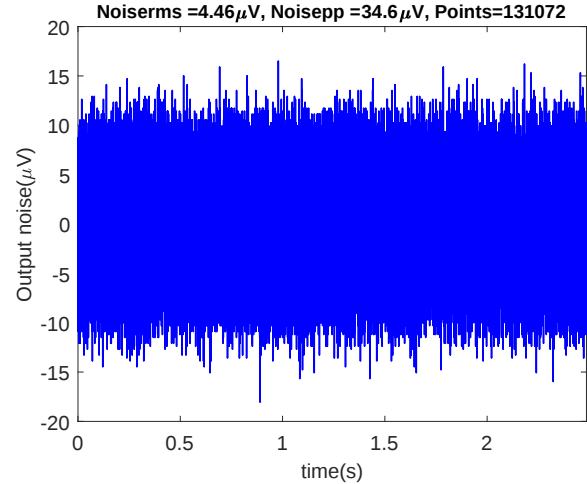


图 41 . 选用 SINC 滤波器的时域噪声图

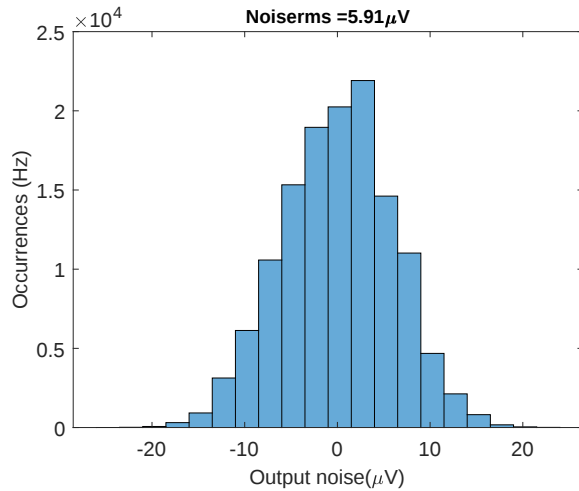


图 40 . 选用 FIR 滤波器的噪声分布直方图

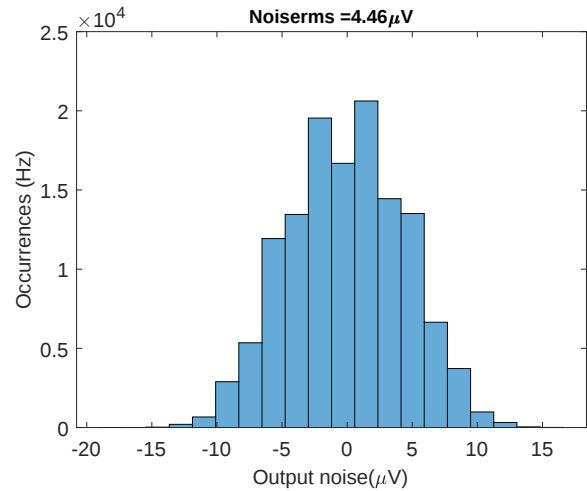


图 42 . 选用 SINC 滤波器的噪声分布直方图

LS 模式典型特性

若非另有说明, 以下性能的测试条件为: $T_A = +25^{\circ}\text{C}$, LS 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$.

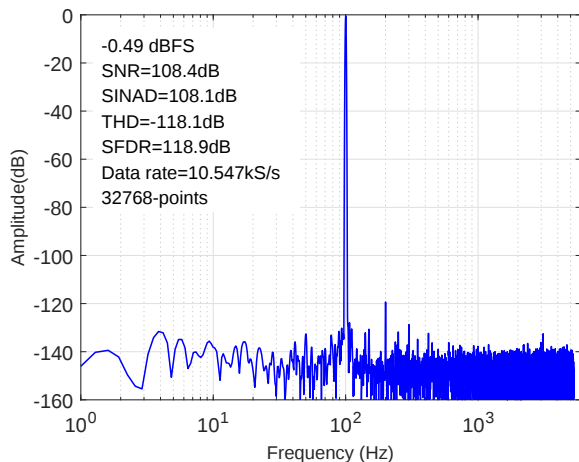


图 43 . -0.5dBFS, 选用 FIR 滤波器的输出频谱图

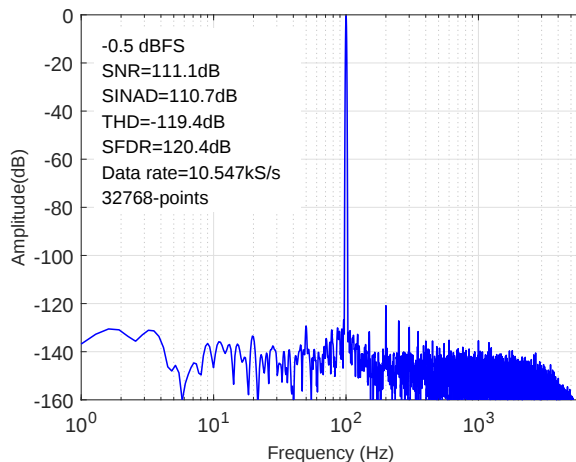


图 46 . -0.5dBFS, 选用 SINC 滤波器的输出频谱图

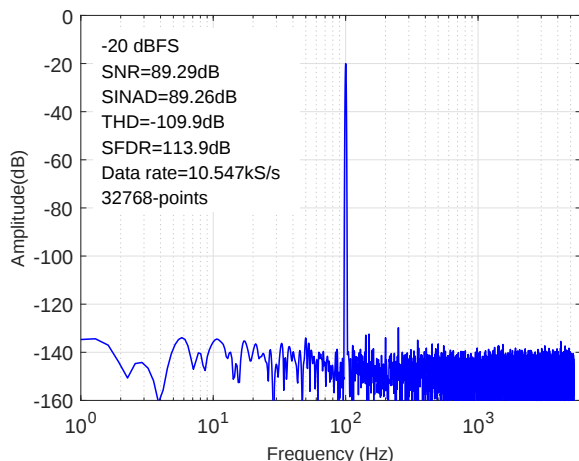


图 44 . -20dBFS, 选用 FIR 滤波器的输出频谱图

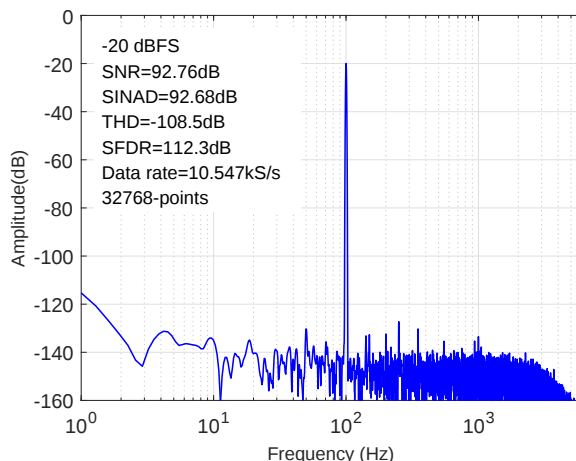


图 47 . -20dBFS, 选用 SINC 滤波器的输出频谱图

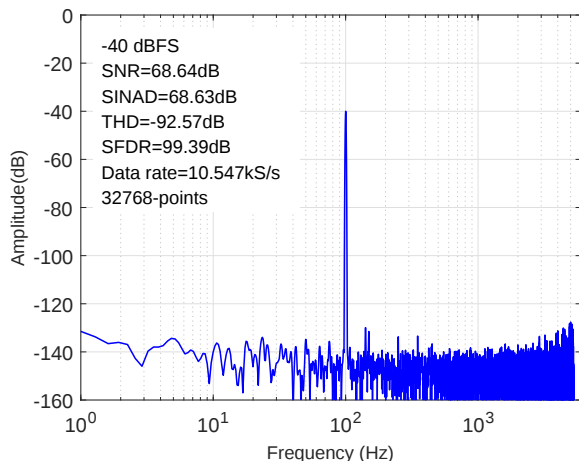


图 45 . -40dBFS, 选用 FIR 滤波器的输出频谱图

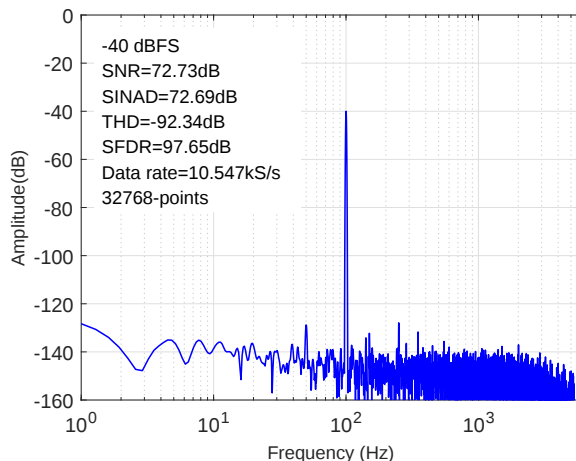


图 48 . -40dBFS, 选用 SINC 滤波器的输出频谱图

LS 模式典型特性 (continued)

若非另有说明, 以下性能的测试条件为: $T_A = +25^\circ\text{C}$, LS 模式, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$ 。

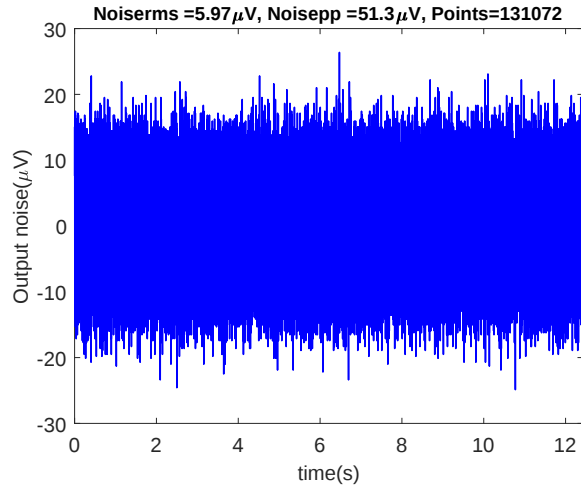


图 49 . 选用 FIR 滤波器的时域噪声图

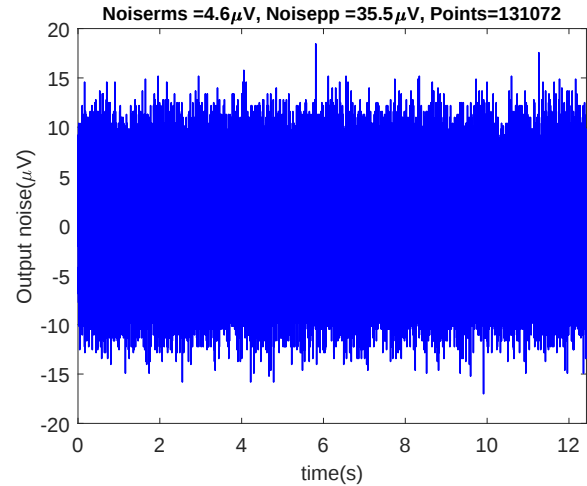


图 51 . 选用 SINC 滤波器的时域噪声图

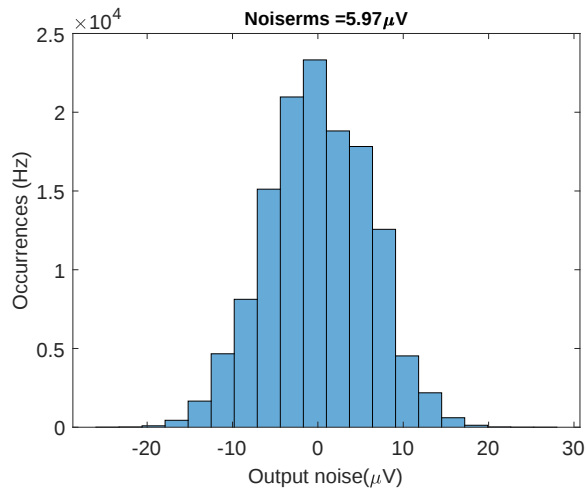


图 50 . 选用 FIR 滤波器的噪声分布直方图

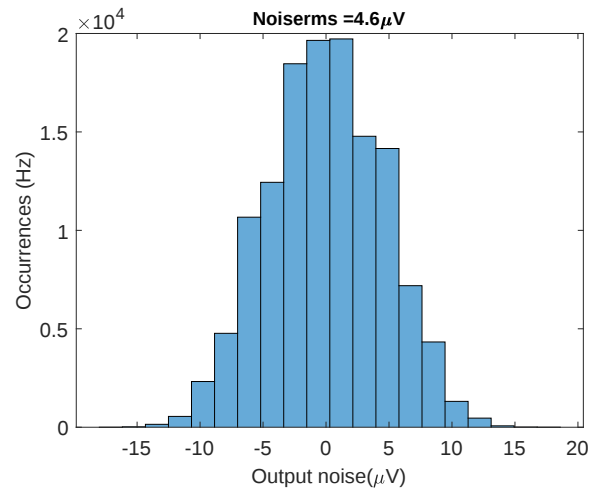


图 52 . 选用 SINC 滤波器的噪声分布直方图

概述

SWT1274/SWT1278 是 4/8 通道同步采样的 24 位 Δ - Σ 模数转换器，图 53 展示了 SWT1274/SWT1278 的结构框图。每个通道均由一个 Delta-sigma 调制器和线性相位数字滤波器构成。Delta-sigma 调制器以 $V_{REF} = (VREFP - VREFN)$ 作为参考电压，将输入差分信号 $V_{IN} = (AINP - AINN)$ 量化成码字流。数字滤波器将该码字流抽取滤波处理成 ADC 的 24 比特输出码字。SWT127x 提供了 4 种工作模式：高速 (HS) 模式、高精度 (HR) 模式、低功耗 (LP) 模式和低速 (LS) 模式，其性能汇总如表 1。

此外，SWT127x 具有两种线性数字滤波器可选：高带宽 FIR 滤波器，带宽达到了奈奎斯特带宽的 90.6%，带内纹波小于 $\pm 0.005\text{dB}$ ；低延迟 SINC 滤波器，可在 6 个周期内产生稳定的数据输出。SWT127x 不需要编程寄存器，所有控制仅需配置 I/O 引脚。SWT127x 支持 SPI 和帧同步的串行接口来输出数据。并可用菊花链模式串联多片数据，使用 $\overline{\text{SYNC}}$ 引脚可以使多芯片数据同步，从而可实现更多通道的系统。

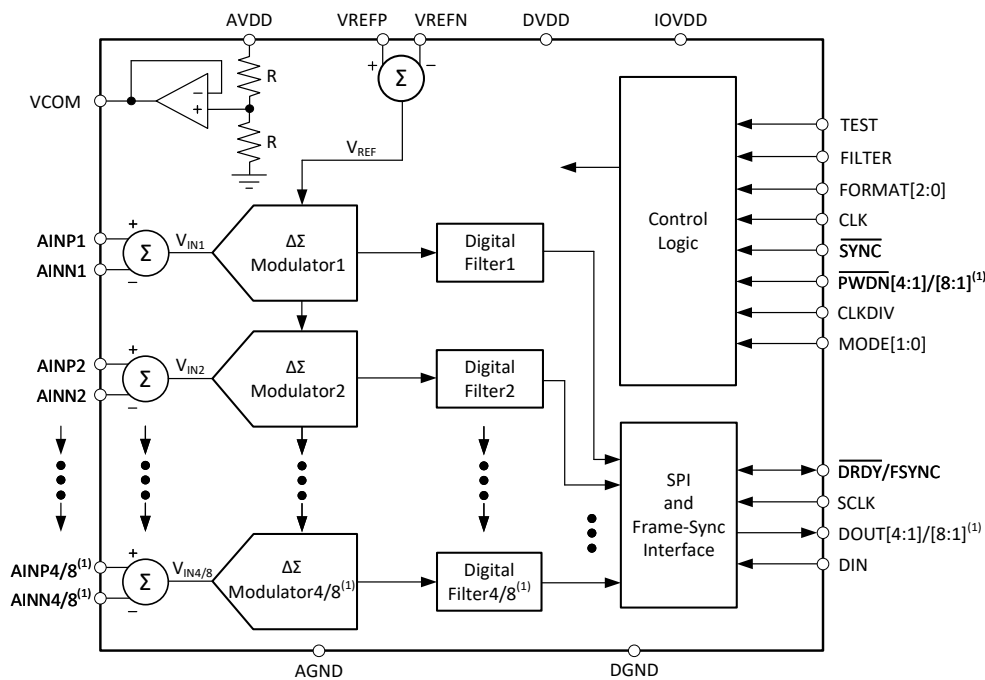


图 53 . SWT1274/SWT1278 结构框图

表 1 . 性能汇总

模式	时钟 (MHz)	数据速率 (Sps)	滤波器类型	-3dB 带宽 (kHz)	SNR ⁽²⁾ (dB)	THD (dB)	噪声 (μVrms)	功耗/通道 (mW)
HS	37	144531	FIR	70.820	108.0	-122.3	7.0	34.0
			SINC	26.882	110.0	-121.1	5.6	
HR	27	52734	FIR	25.839	111.7	-122.9	5.5	20.8
			SINC	9.808	113.5	-123.7	4.5	
LP	27/13.5	52734	FIR	25.839	108.7	-124.3	6.5	10.9
			SINC	9.808	111.0	-126.0	5.0	
LS	27/5.4	10547	FIR	5.168	109.0	-118.1	6.3	6.3
			SINC	1.961	111.1	-119.4	4.9	

(1)SWT1274 有四个通道；SWT1278 有八个通道。

(2) 最小信噪比由 DC 噪声特性的限制保证。

1 功能描述

SWT1274/SWT1278 拥有 4/8 个独立的 Δ - Σ 模数转换器 (ADC)，能够并行量化 4/8 个输入差分信号。每个通道均由一个 Delta-sigma 调制器和一个线性相位数字滤波器构成。Delta-sigma 调制器以 $V_{REF} = (V_{REFP} - V_{REFN})$ 作为参考电压，以一个高速率 f_{mod} ，将输入差分信号 $V_{IN} = (A_{INP} - A_{INN})$ 过采样并量化成码字流，将带内的量化噪声整形到高频。再通过数字滤波器将该码字流滤波并抽取，抑制高频噪声，从而得到较低速率，但更低噪声的 24 比特输出码字。通过以上的过采样和噪声整形原理，通带内实现了非常低的噪声功率，并极大的降低了外部抗混叠滤波器的需求。

2 采样孔径匹配

SWT127x 各通道参考相同的时钟，片内时钟按照树形分布进行了匹配，从而保证了较一致的采样时刻。同时，各通道数字滤波器也在相同的调制器时钟下开始滤波与抽取。以上设计使得 SWT127x 各通道之间实现了非常好的相位匹配。

但由于制造偏差、内部时钟信号的传播延迟以及外部时钟信号到达每个器件的差异的综合作用，可能会引起大的采样匹配误差，从而造成 SWT127x 片与片之间的相位匹配恶化，无法达到单片内通道之间的采样匹配性能。因此，多片使用时，建议用等长的时钟路径分布以减小采样匹配误差，同时在工作前同步所有器件。

3 频率响应

数字滤波器决定了转换器的频率响应。SWT127x 具有两种线性相位片上数字滤波器可选，通过 FILTER 引脚进行选择：FILTER=0 选择高带宽 FIR 滤波器；FILTER=1 选择低延迟 SINC 滤波器。两种数字滤波器的抽取率一样，且均是工作模式的函数，如表 2 所示。

FIR 滤波器在 $0.453f_{DATA}$ 带宽内具有平坦的带内响应，较高的阶数使得过渡带非常陡峭，虽然阻带抑制达到 100dB，但还是建议在输入处放置一个简单的 RC 抗混叠滤波器，以限制可能的高幅度带外信号或噪声对 ADC 的影响。特别注意，FIR 滤波器幅度响应在 DC 处具有约 -0.0023dB 的固定幅度衰减，但整个通带范围保持了 ± 0.005 dB 以下的纹波。若用户主要用于测直流电平，可以在 ADC 输出码字上补偿该幅度衰减，该幅度补偿会同时让带内其它频率幅度增加。客户也可选择用 SINC 滤波器测量直流电平。SINC 滤波器在直流处增益误差更小，延迟更低，带内噪声滤除更多从而有更好的噪声性能，但带宽较窄，带内平坦度远没有 FIR 滤波器好，因此更适合用于高精度直流测量。

Delta-sigma 调制器过采样码字流的抽取和滤波是在数字滤波器中进行。为了方便，以下频率响应图均归一化到 f_{DATA} ，用户可根据应用的输出速率来得到关键频率的幅度响应。比如，图 54 中，如用户使用的 $f_{DATA} = 144.531$ kSps，通带的频率为 $0.453f_{DATA}$ ，则在 0~65.472kHz 频率范围内，滤波器带内的纹波造成幅度变化不超过 ± 0.005 dB。

表 2. 不同模式的过采样率

工作模式	过采样率 (f_{MOD}/f_{DATA})
HS	64
HR	128
LP	64
LS	64

3.1 HS、LP 和 LS 模式的滤波器响应

HS、LP 和 LS 模式下的过采样率均为 64。图 54~57 展示了 HS、LP 和 LS 模式下 FIR 滤波器的频率响应，图 58~59 展示了 HS、LP 和 LS 模式下 SINC 滤波器的频率响应。

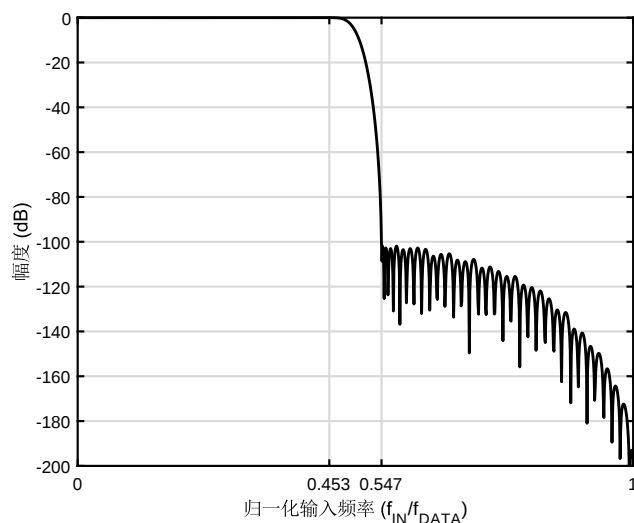


图 54 . FIR 滤波器, HS、LP、LS 模式频率响应

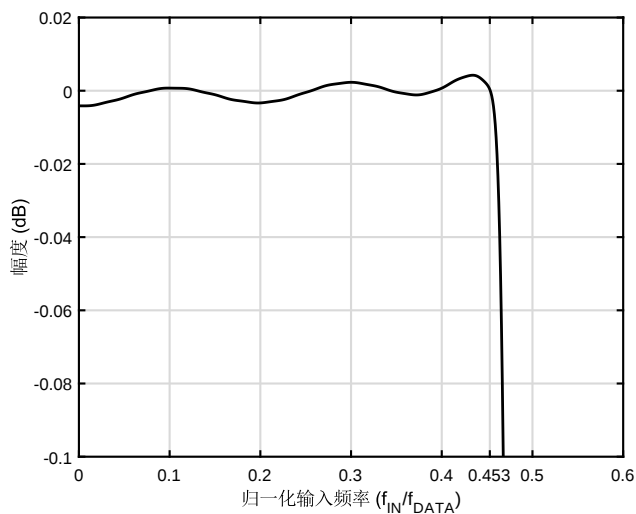


图 55 . FIR 滤波器, HS、LP、LS 模式通带响应

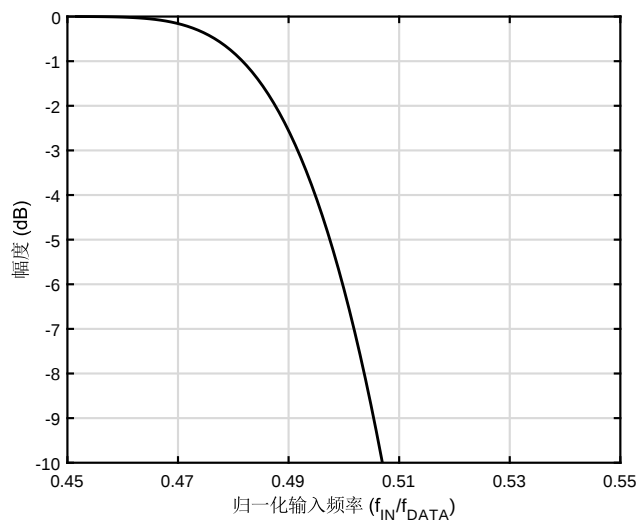


图 56 . FIR 滤波器, HS、LP、LS 模式过渡带响应

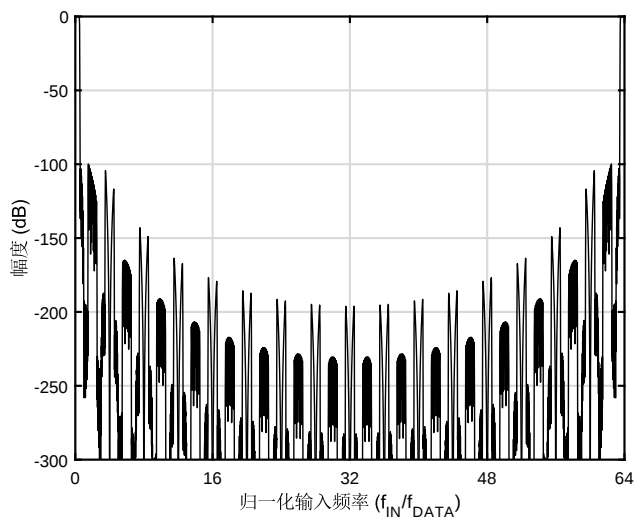


图 57 . FIR 滤波器, HS、LP、LS 模式带外频率响应

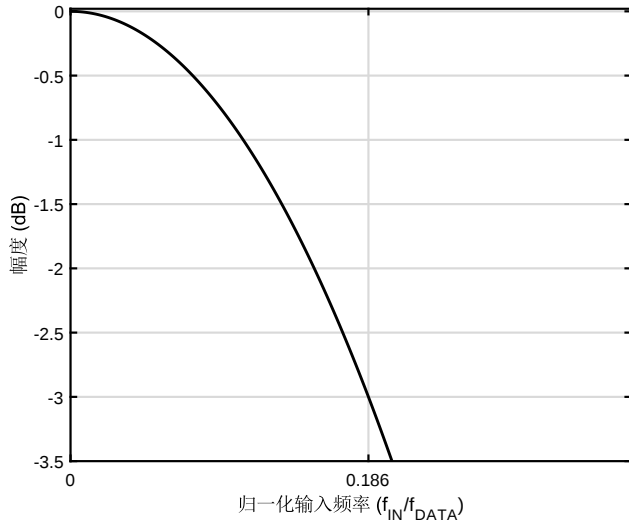


图 58 . SINC 滤波器, HS、LP、LS 模式过渡带响应

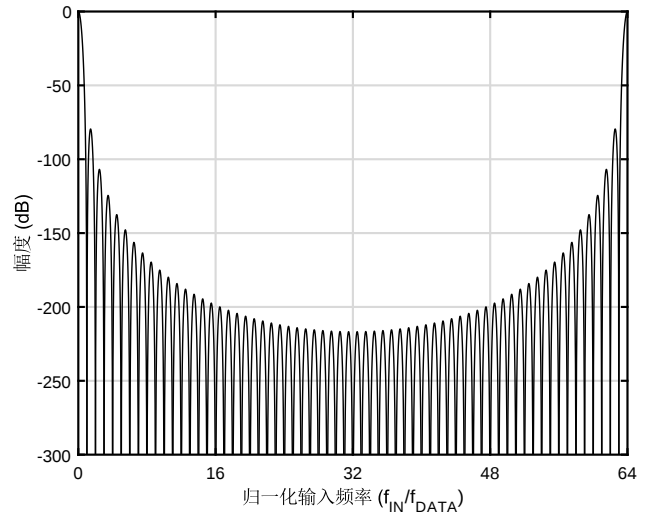


图 59 . SINC 滤波器, HS、LP、LS 模式带外频率响应

3.2 HR 模式的滤波器响应

HR 模式下的过采样率均为 128。图 60~63 展示了 HR 模式下 FIR 滤波器的频率响应，图 64~65 展示了 HR 模式下 SINC 滤波器的频率响应。

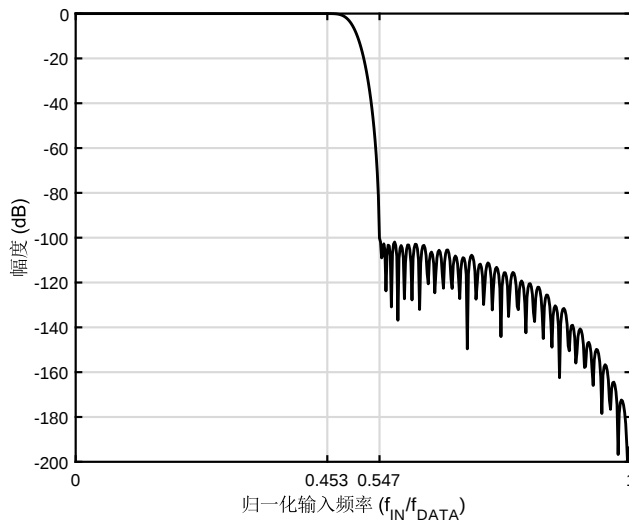


图 60. FIR 滤波器, HR 模式频率响应

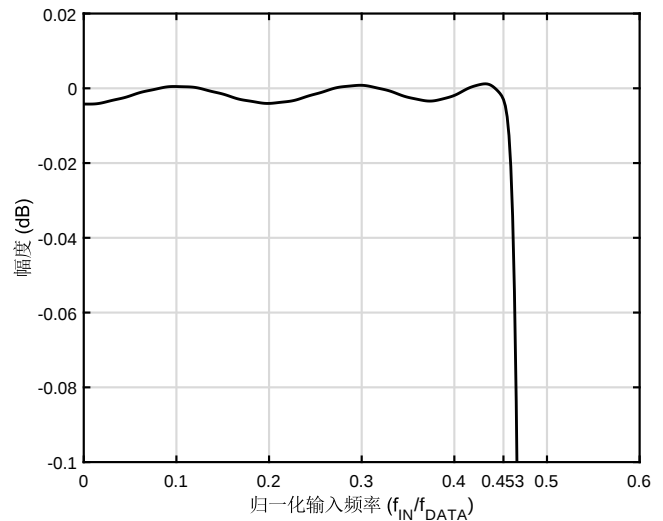


图 61. FIR 滤波器, HR 模式通带响应

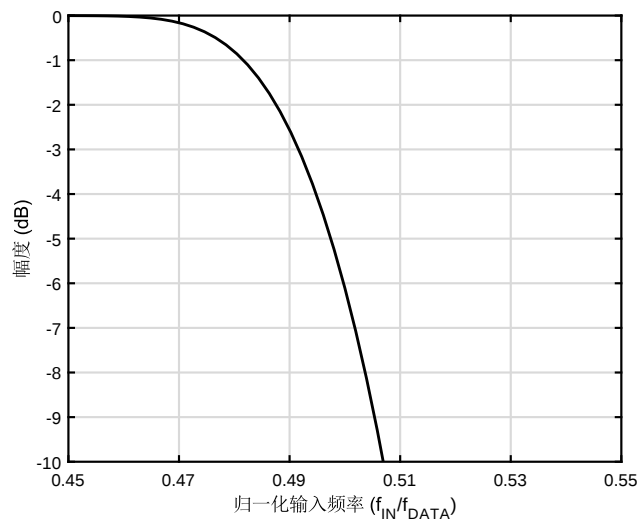


图 62 . FIR 滤波器, HR 模式过渡带响应

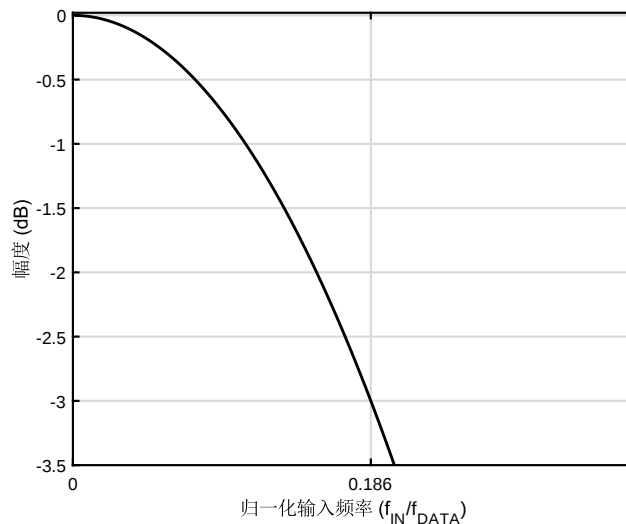


图 64 . SINC 滤波器, HR 模式过渡带响应

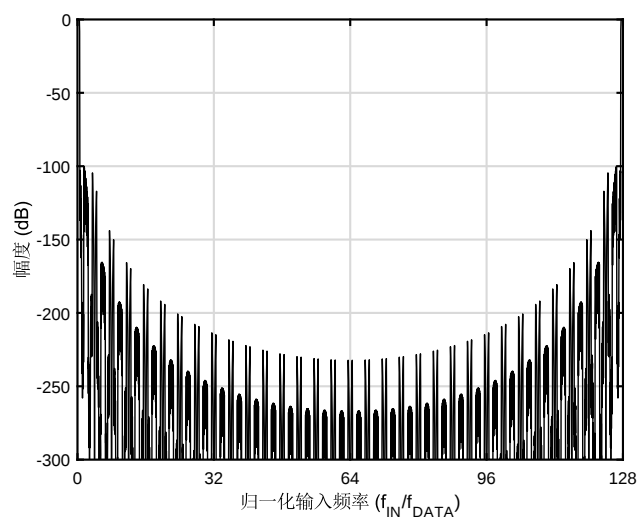


图 63 . FIR 滤波器, HR 模式带外频率响应

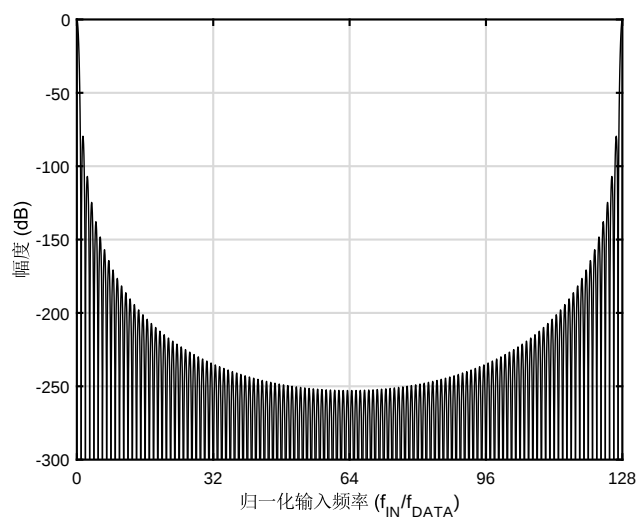


图 65 . SINC 滤波器, HR 模式带外频率响应

4 相位响应

SWT127x 集成的 FIR 滤波器和 SINC 滤波器均为线性相位数字滤波器。这种滤波器对输入频率表现出常数的延迟，即常数的群延迟。这个特性意味着任意频率的输入信号到 ADC 量化输出的延迟时间都是常数，从而在分析多频信号时，频率不会引起相位误差，非常适合对时刻非常敏感的应用场景。

5 建立时间

建立时间由数字滤波器决定。图 66 展示了 FIR 滤波器阶跃信号的输出建立行为。输入信号发生阶跃后，输出数据在前 30 次转换周期内几乎没变，第 38 次转换前后会有明显的阶跃，不同抽取率输出数据完全稳定略有不同，但都在 76 个转换周期内。图 67 展示了 SINC 滤波器阶跃信号的输出建立行为。输入信号发生阶跃后，输出数据在 6 次转换周期时即可完全稳定。建立除开输入信号发生大的阶跃外，在上电初始化时也需要建立时间，详见电源章节描述。

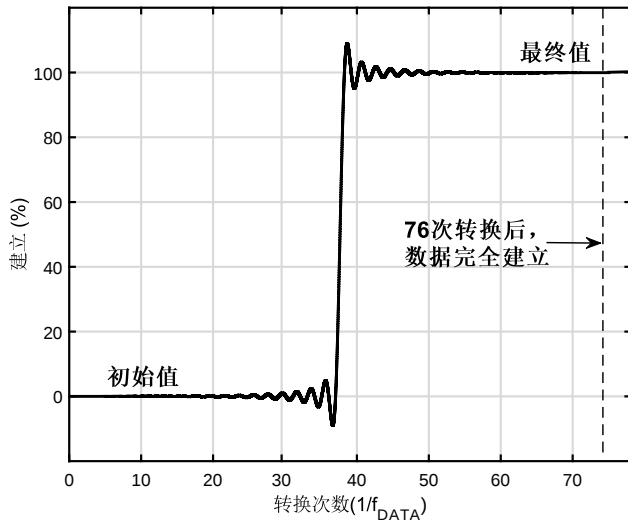


图 66 . FIR 滤波器的阶跃响应

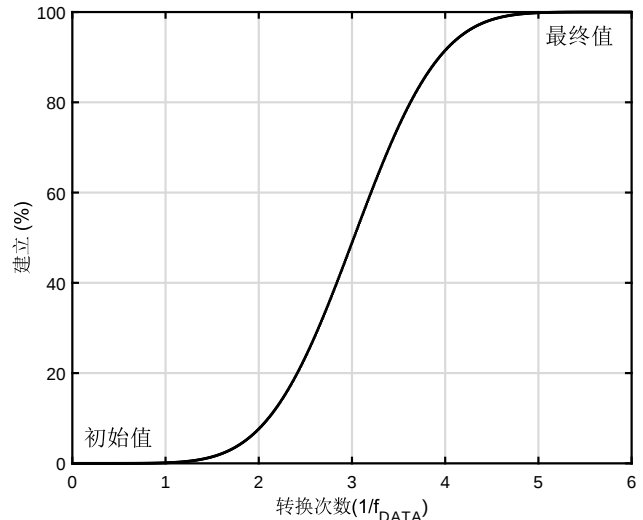


图 67 . SINC 滤波器的阶跃响应

6 数据格式

SWT127x 以二进制补码的格式输出 24 bit 数据。正的满摆幅输入电平理论的量化码字是 7FFFFFFh，负的满摆幅输入电平理论的量化码字是 800000h。超过满摆幅的输入会被截取。表 3 汇总了典型输入电平的理论输出码字。

表 3. 理想输出码字与输入电平

输入电平 V_{IN} (AINP-AINN)	理想输出码字
$\geq +V_{REF}$	7FFFFFFh
$\frac{+V_{REF}}{2^{23}-1}$	000001h
0	000000h
$\frac{-V_{REF}}{2^{23}-1}$	FFFFFFh
$\leq -V_{REF} \frac{2^{23}}{2^{23}-1}$	800000h

7 模拟输入 (AINP,AINN)

SWT127x 通过将差分输入信号 $V_{IN} = (AINP-AINN)$ 与差分参考 $V_{REF} = (V_{REFP}-V_{REFN})$ 作比较来进行测量。最大可测量的正差分输入是 $+V_{REF}$ ，产生的数字输出码字是 7FFFFFFh。同样地，最大可测量的负差分输入是 $-V_{REF}$ ，产生的数字输出码字是 800000h。

为了获得最佳的性能，SWT127x 的输入需要被差分驱动。对于单端输入的应用，输入驱动 AINP 或者 AINN，另一个端口接固定电平（通常是 AGND 或者 +2.5V）。对于差分输入的应用，将输入共模固定在 +2.5V 能够充分利用转换器的输入范围。

输入信号的绝对电压值也非常重要，该值指任意一个输入 (AINP 或者 AINN) 相对于 AGND 的电压。这个电压值的范围是

$$-0.1V < (AINN \text{ 或 } AINP) < AVDD+0.1V$$

如果输入的绝对电压低于 -0.4V 或者高于 (AVDD+0.4V)，输入上的 ESD 保护二极管就会开启，长期开启过大电流会有可靠性问题，为避免这种情况发生，需要外部有肖特基钳位二极管或者串联电阻，以将输入电压和输入电流限制在安全范围内。

SWT127x 是一款非常高性能的 Δ - Σ 模数转换器，是在如此高精度的产品中，该型号具有较高的速度。为了最佳的性能，用来驱动 SWT127x 输入的电路、搭配的参考芯片和时钟均非常重要的，详见应用信息章节。

SWT127x 使用开关电容电路来采样输入电压。内部的电容器通过输入端充电，然后放电。图 68 展示了此电路的等效输入电路，内部实际电路是不同的。开关 S_2 代表了调制器电路在采样电容放电时的效应，控制 S_1 和 S_2 开关的时钟见图 69。采样时间 (t_{SAMPLE}) 是调制器采样频率 (f_{MOD}) 的倒数，是模式、CLKDIV 输入、CLK 频率的函数，见表 4。由开关电容输入产生的平均负载可以用一个等效的差分阻抗建模，如图 70 所示。这个等效阻抗是 f_{MOD} 的函数。

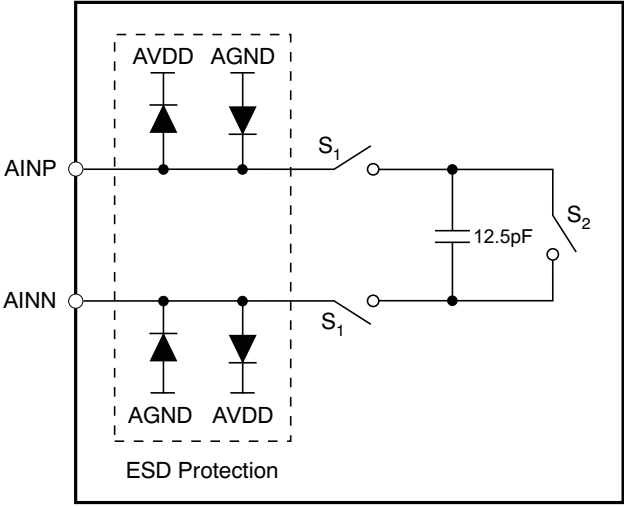


图 68. 模拟输入的等效电路

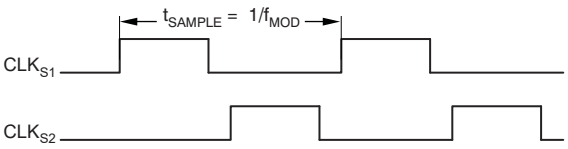


图 69. 图 68 中 S₁ 和 S₂ 开关时序

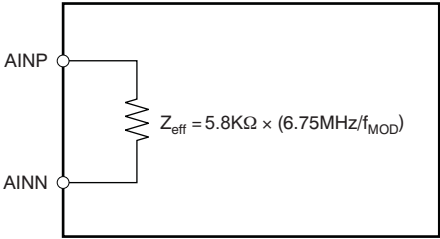


图 70. 等效输入阻抗

表 4. 不同模式的调试器频率 (f_{MOD})

模式	CLKDIV	f _{MOD}
HS	0 或 1	f _{CLK/4}
HR	0 或 1	f _{CLK/4}
LP	1	f _{CLK/8}
	0	f _{CLK/4}
LS	1	f _{CLK/40}
	0	f _{CLK/8}

8 输入参考电压 (VREFP,VREFN)

SWT127x 的参考电压是 VREFP 和 VREFN 之间的差分电压值，这个参考电压会提供给所有通道，参考输入电路如图 71 所示。和模拟输入一样，由开关电容产生的平均负载可以用一个差分阻抗等效，如图 72 所示。然而，参考电路的等效输入阻抗不仅取决于 f_{MOD}，还取决于启用的通道数量，启用和禁用通道引起的参考等效输入阻抗变化将导致外部参考电平的调整和建立，需要注意该影响，以避免影响精度。

与模拟输入一样，如果参考输入的绝对电压低于 AGND-0.4V 或者高于 (AVDD+0.4V)，芯片上的 ESD 保护二极管就会开启，长期开启过大电流会有可靠性问题，为避免这种情况发生，需要外部有肖特基钳位二极管或者串联电阻，以将参考输入电压和输入电流限制在安全范围内。

为了达到 SWT127x 的最佳性能，一个低噪声、有适当驱动能力的高性能参考是必不可少的。参考上的噪声和漂移会降低整体系统的性能。详见应用信息部分推荐的参考电路。

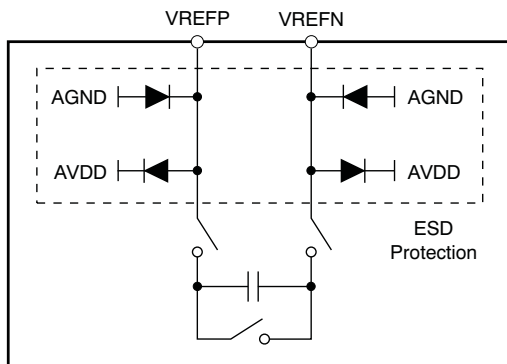
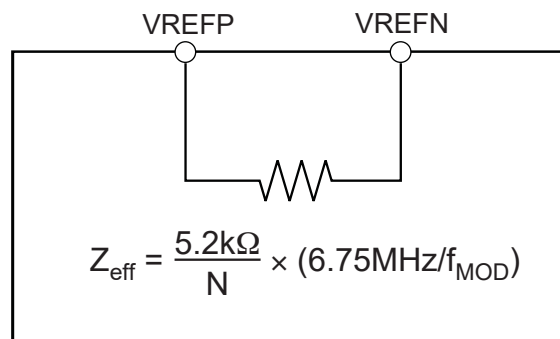


图 71. 等效参考输入电路



N = 启用的通道数量

图 72. 等效参考阻抗

9 VCOM 输出

VCOM PIN 脚可以提供 $(AVDD - AVSS)/2$ 的电压输出。该电平主要用于偏置前端驱动放大器的共模电平，以能有最大的差分输入范围。SWT127x 的 VCOM PIN 脚具备一定的驱动能力，当驱动的阻抗高于 $100k\Omega$ 时，可以不用增加片外的驱动缓冲器。靠近 VCOM PIN 脚处建议增加 $0.1\mu F$ 的去耦电容以减少电压噪声。

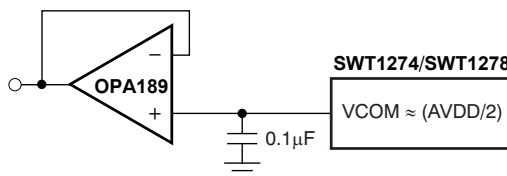


图 73. VCOM 输出

10 时钟输入

SWT127x 需要外部提供时钟输入。在 SWT127x 芯片内部，时钟呈树状分布，以保证到每个通道的时钟延迟一致。要得到最大输出数据速率，HS 模式需输入 $37MHz$ 时钟，HR 模式需输入 $27MHz$ 时钟，以上两种模式均无视 CLKDIV 的配置。LP 模式，可以选择输入 $27MHz$ 时钟，或者将 CLKDIV 配置为 0，则输入更低频率 $13.5MHz$ 时钟即可达到最大输出数据速率。LS 模式亦可根据 CLKDIV 配置，选择输入 $27MHz$ 时钟或 $5.4MHz$ 时钟。

外部时钟频率的选择不会影响 SWT127x 的精度，但会影响等效输入阻抗和等效参考阻抗，注意输入驱动电路和参考电路选择。使用更低频的 f_{CLK} 可以降低外部时钟驱动的功耗以及 SWT127x 的整体功耗。但输出数据速率会随时钟频率降低而比例缩放，直到最小的时钟频率 $f_{CLK} = 100kHz$ 。表 5 总结了四种工作模式下，CLKDIV 的配置、时钟输入频率与数据速率的比例以及最大数据速率。

与任何高速高精度 ADC 一样，为了最佳的性能，一个高质量、低抖动的时钟是必不可少的，推荐使用晶振作为 SWT127x 的时钟源。在布局时，让时钟路径尽量短，并在靠近时钟源端串联 50Ω 电阻，通常有助于减少过量的振铃，保证时钟质量。

表 5. 输入时钟选择

模式选择	最大 f_{CLK} (MHz)	CLKDIV	f_{CLK}/f_{DATA}	数据速率 (SPS)
HS	37	0 或 1	256	144531
HR	27	0 或 1	512	52734
LP	27	1	512	52734
	13.5	0	256	
LS	27	1	2560	10547
	5.4	0	512	

11 模式选择

为了提供更多速度、精度和功耗的选项，SWT127x 提供了 HS、HR、LP 和 LS 四种工作模式。用户可以根据数字输入引脚 MODE[1:0] 来选择，如表 6 所示。SWT127x 在工作期间会持续监测 MODE 引脚电平状态，状态改变会引起芯片短暂的全局复位，以清空 Delta-sigma 架构的累积效应，保证数据输出的精度。特别注意，除开 MODE[1:0] 引脚，SWT127x 在工作期间还会持续监测 FILTER、FORMAT[2:0]、CLKDIV 和 TEST 引脚，电平状态改变同样会引起芯片短暂的全局复位，请注意保证这些控制 PIN 脚的电平稳定，另外和其他全局复位一样，转换器需一段时间的建立过程。

表 6. 模式选择

MODE[1:0]	模式选择	最大 $f_{DATA}^{(1)}$
00	HS	144531
01	HR	52734
10	LP	52734
11	LS	10547

(1) f_{CLK} 最大值为 27MHz(HS 模式 f_{CLK} 最大值为 37MHz)。

当使用 SPI 协议时，在模式改变发生后， $\overline{DRDY}$ 保持高电平，直到数据准备好，参见图 74 和表 7。当使用帧同步协议时，DOUT 引脚在模式变化后保持为低电平，直到数据准备就绪，参考图 74 和表 7。取数的设备可以检测 DOUT 何时变为逻辑 1，表明数据已经有效。

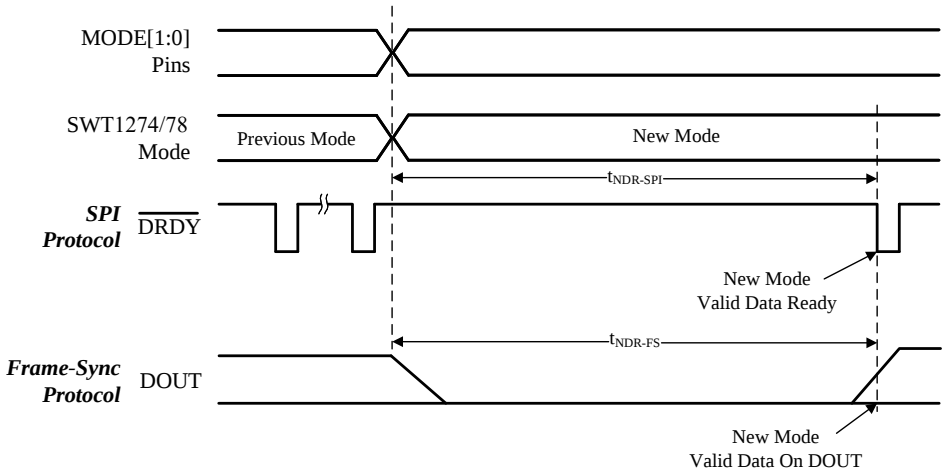


图 74. 模式改变的时序图

表 7. 模式更改后的新数据时间要求

符号	描述	最小值	标称值	最大值	单位
$t_{\text{NDR-SPI}}$	新数据准备就绪的时间 (SPI)			129	转换 ($1/f_{\text{DATA}}$)
$t_{\text{NDR-FS}}$	新数据准备就绪的时间 (Frame-Sync) ⁽¹⁾	127		128	转换 ($1/f_{\text{DATA}}$)

(1) 如果模式切换是异步到 FSYNC 时钟, 则 $t_{\text{NDR-FS}}$ 转换范围为 127~128。如果模式转换同步到 FSYNC, 则 $t_{\text{NDR-FS}}$ 是稳定的。

12 同步功能 (SYNC)

SWT127x 可以通过将 $\overline{\text{SYNC}}$ 引脚拉低, 然后再拉高来同步器件。当引脚电平拉低时, ADC 转换停止, 数字滤波器的内部计数器被重置。当 $\overline{\text{SYNC}}$ 引脚拉到高电平时, ADC 重新开始转换。同步功能也是复位功能, 当外部输入、参考、时钟、电源改变等事件发生后, 建议使用同步功能以避免产生累加效应, 影响精度。

由于 SWT127x 各通道使用相同的主时钟, 并使用相同的 $\overline{\text{SYNC}}$ 输入控制, 因此它们总是彼此同步, 内部通道之间的孔径匹配通常小于 500ps。但是, 多个器件之间, 由于布线及各个器件工艺的偏差, 会造成更大的失配。

$\overline{\text{SYNC}}$ 引脚可用于同步多个设备。图 75 描述了 SPI 协议的 $\overline{\text{SYNC}}$ 和 CLK 的时序需求。图 76 描述了帧同步协议的时序要求。同步后, 有效数据的指示取决于是否使用 SPI 或帧同步协议。

在 SPI 格式中, 当 $\overline{\text{SYNC}}$ 被拉低时, $\overline{\text{DRDY}}$ 输出高, 参见图 75。在 $\overline{\text{SYNC}}$ 回到高电平后, $\overline{\text{DRDY}}$ 保持高电平, 因为数字滤波器正在稳建立中。一旦有效数据准备好, $\overline{\text{DRDY}}$ 就会变为低电平。

在帧同步格式中, 当 $\overline{\text{SYNC}}$ 被拉低时, DOUT 输出低电平, 参见图 76。在 $\overline{\text{SYNC}}$ 回到高电平后, 数字滤波器建立期间, DOUT 仍保持低电平。一旦有效数据准备好, DOUT 就开始输出有效数据。为了实现正确的同步, FSYNC、SCLK 和 CLK 必须在 $\overline{\text{SYNC}}$ 高电平就建立好, 然后必须保持运行。如果这些输入 (CLK, FSYNC 或 SCLK) 中断或重置, 则需重新置位 $\overline{\text{SYNC}}$ 引脚。

为了保持一致的性能, 请在上电初始化数据首次出现时重新置位 $\overline{\text{SYNC}}$ 。

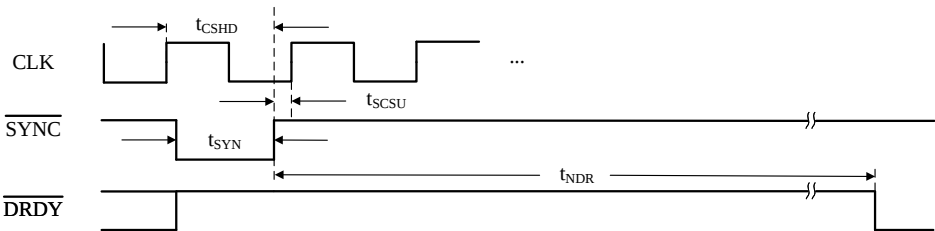


图 75. 同步时序 (SPI 协议)

表 8.SPI 协议

符号	描述	最小值	标称值	最大值	单位
t_{CSHD}	CLK 到 $\overline{\text{SYNC}}$ 保持时间	10			ns
t_{SCSU}	$\overline{\text{SYNC}}$ 到 CLK 建立时间	5			ns
t_{SYN}	同步脉冲宽度	1			CLK 周期
t_{NDR}	新数据准备时间			129	数据转换 ($1/f_{\text{DATA}}$)

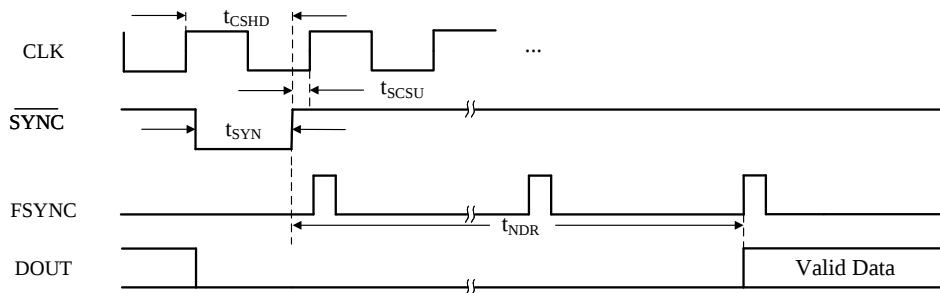


图 76. 同步时序 (帧同步协议)

表 9. 帧同步协议

符号	描述	最小值	标称值	最大值	单位
t_{CSHD}	CLK 到 $\overline{SYNC}$ 保持时间	10			ns
t_{SCSU}	$\overline{SYNC}$ 到 CLK 建立时间	5			ns
t_{SYN}	同步脉冲宽度	1			CLK 周期
t_{NDR}	新数据准备时间 ⁽¹⁾	127		128	数据转换 (1/DATA)

(1) 如果 $\overline{SYNC}$ 与 FSYNC 时钟异步, 则 t_{NDR} 从 $\overline{SYNC}$ 上升沿开始, 从 127 到 128 转换。如果 $\overline{SYNC}$ 与 FSYNC 时钟同步, 则 t_{NDR} 是稳定的。

13 $\overline{PWDN}$

SWT127x 的通道可以通过使用 $\overline{PWDN}$ 输入独立下电。要进入掉电模式, 请将相应的 $\overline{PWDN}$ 引脚保持为低电平至少两个 CLK 周期。要退出掉电, 需将相应的 $\overline{PWDN}$ 引脚重新拉高。请注意, 当所有通道断电时, SWT127x 进入微瓦 (μW) 功率状态, 所有内部偏置都被禁用。在这种状态下, TEST 输入引脚必须被驱动; 其他所有输入引脚都可以悬空。SWT127x 输出保持驱动状态。

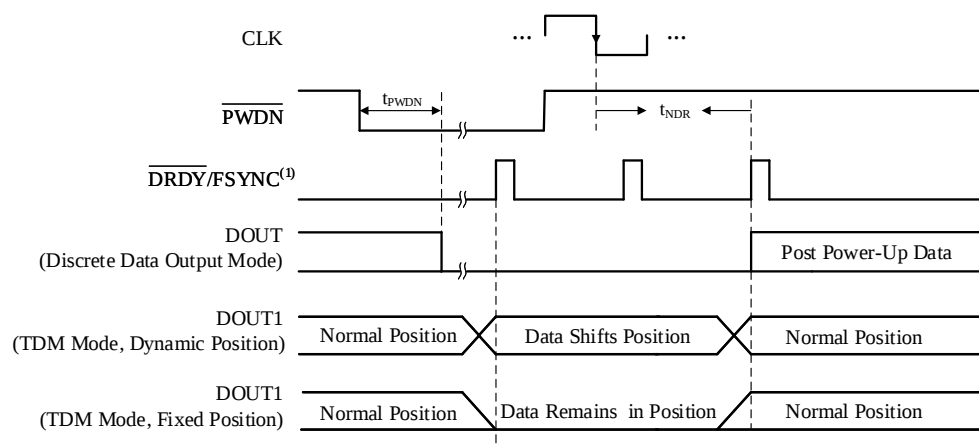
如图 77 和表 10 所示, 在退出掉电后读取数据之前, SPI 接口必须经过 130 个转换周期, 帧同步必须经过 129 个转换周期。已经运行的通道的数据不受影响。用户软件可以通过以下任何一种方式执行所需的延迟时间:

1. 将 $\overline{PWDN}$ 引脚拉高后计算数据转换的次数。
2. 将 $\overline{PWDN}$ 引脚拉高后延迟 $129/f_{DATA}$ 或 $130/f_{DATA}$, 然后读取数据。
3. 在通电通道中检测非零数据。

通电一个或多个通道后, 通道之间相互同步。不需要使用 $\overline{SYNC}$ 引脚来同步它们。

当一个通道以 TDM 数据格式断电时, 该通道的数据要么被强制为零 (固定 TDM 数据模式), 要么被从下一个通道转移到空出的数据位置 (动态 TDM 数据模式) 所取代。

在离散数据格式中, 数据总是被强制为零。当在动态位置 TDM 数据格式模式下启动信道时, 信道数据保持打包, 直到数据准备好, 此时数据帧被扩展以包含刚刚启动的信道数据。有关详细信息, 请参阅[数据输出模式](#)部分。



(1) 在 SPI 协议中，定时发生在 $\overline{\text{DRDY}}/\text{FSYNC}$ 的下降沿上。关闭所有通道强制 $\overline{\text{DRDY}}/\text{FSYNC}$ 高电平。

图 77. 掉电时序图

表 10. 掉电时序

符号	描述	最小值	标称值	最大值	单位
t_{PWDN}	进入掉电模式时 $\overline{\text{PWDN}}$ 脉冲宽度	2			CLK 周期
t_{NDR}	新数据准备时间 (SPI)	129		130	数据转换 ($1/f_{\text{DATA}}$)
t_{NDR}	新数据准备时间 (Frame-Sync) ⁽¹⁾	128		129	数据转换 ($1/f_{\text{DATA}}$)

(1) FSYNC 时钟先于 $\overline{\text{PWDN}}$ 上升沿运行。 $\overline{\text{PWDN}}$ 与 FSYNC 时钟异步时， $t_{\text{NDR-FS}}$ 转换范围为 127~128。如果 $\overline{\text{PWDN}}$ 与 FSYNC 同步，那么 $t_{\text{NDR-FS}}$ 是稳定的。

14 串行接口协议

从 SWT127x 中检索数据有两种协议：SPI 和帧同步，都使用相同的引脚： SCLK 、 $\overline{\text{DRDY}}/\text{FSYNC}$ 、 $\text{DOUT}[4:1]$ (SWT1278 为 $\text{DOUT}[8:1]$) 和 DIN 。

14.1 SPI 串行接口

SWT127x 的 SPI 协议是只读接口。 $\overline{\text{DRDY}}$ 的下降沿指示数据何时准备好，数据在 SCLK 的下降沿移出（优先 MSB）。当使用多个 SWT127x 时，接口可以使用 DIN 进行菊花链连接。详细信息，请参阅菊花链部分。

注：SPI 格式的 CLK 输入频率最大为 37MHz。

14.1.1 SCLK

串行时钟 (SCLK) 是施密特触发输入，并在下降沿移出 DOUT 上的数据。当进行菊花链传输时，它还会在下降沿转移 DIN 上的数据。芯片在 SCLK 下降沿移出数据，用户在 SCLK 上升沿采样数据。

建议尽量降低 SCLK 的延迟，并保持 SCLK 尽可能干净，以防止意外传输数据的毛刺。SCLK 的频率可以和 CLK 一样快。每次转换之间，SCLK 可以是自由运行的，也可以是停止运行的。注意，从 $\overline{\text{DRDY}}$ 的下降沿 CLK 的第一个上升沿到 SCK 的第一个上升沿需要一个 CLK 周期。为了获得最佳性能，将 $f_{\text{SCLK}}/f_{\text{CLK}}$ 限制为 1、1/2、1/4、1/8 等比率。

14.1.2 $\overline{\text{DRDY}}$ /FSYNC(SPI 格式)

在 SPI 协议中, 该引脚用作 $\overline{\text{DRDY}}$ 输出。当数据准备好进行检索时, $\overline{\text{DRDY}}$ 变低, 然后在第一个 SCLK 的下降沿返回高电平。如果没有检索到数据 (也就是说, SCLK 保持在低电平), $\overline{\text{DRDY}}$ 会发出高脉冲, 如图 78 所示。在 $\overline{\text{DRDY}}$ 变低之前, 在一个 CLK 周期内加载新数据, 所有数据必须在此时间之前被移出, 以避免被覆盖。

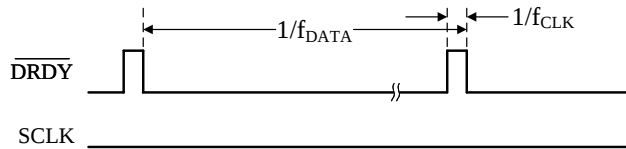


图 78. 无回读的 $\overline{\text{DRDY}}$ 时序

14.1.3 输出 (DOUT)

转换数据在 DOUT[4:1]/[8:1] 上输出。 $\overline{\text{DRDY}}$ 变低后, MSB 数据在 DOUT[4:1]/[8:1] 上仍有效。后续数据在 SCLK 的每个下降沿被移出。如果采用菊花链, 则在所有通道数据被移出后, DIN 移入的数据会出现在 DOUT 上。

14.1.4 输入 (DIN)

当多个 SWT127x 芯片以菊花链结构串联在一起时, 使用此 DIN 输入。第一个芯片的 DOUT1 引脚连接到下一个芯片的 DIN 引脚, 以此类推。它在 SPI 或帧同步协议中使用。数据在 SCLK 的下降沿上转移。当只使用一个芯片时, 将 DIN 接低电平。有关详细信息, 请参阅[菊花链](#)部分。

14.2 帧同步串行接口

帧同步类似于音频 ADC 上常用的接口。它以从属方式工作: 用户必须提供帧信号 FSYNC (类似于立体声音频 ADC 的左/右时钟) 和串行时钟 SCLK (类似于音频 ADC 的位时钟)。数据首先输出 MSB 或在 FSYNC 的上升沿上左对齐。当使用帧同步协议时, FSYNC 和 SCLK 输入必须按照帧同步的时序要求。

14.2.1 SCLK

串行时钟 (SCLK) 是施密特触发输入, 并在下降沿移出 DOUT 上的数据。当用于菊花链时, 它在下降沿转移 DIN 上的数据。SCLK 尽量降低延迟, 并尽可能保持 SCLK 干净, 以防止意外传输数据的毛刺。当使用帧同步时, SCLK 必须连续运行。如果它被关闭, 数据回读将被破坏。一个帧周期内 (FSYNC 时钟) 的 SCLK 数量可以是 CLK 周期 (1, 1/2, 1/4 等) 的任意 2 次方, 只要能保证周期数量足以在一个帧内从所有通道数据输出。

14.2.2 $\overline{\text{DRDY}}$ /FSYNC(帧同步格式)

在帧同步格式中, 该引脚用作 FSYNC 输入。帧同步输入 (FSYNC) 设置帧周期, 帧周期必须与数据速率一致。每个 FSYNC 周期所需的 f_{CLK} 周期数取决于模式选择和 CLKDIV 输入。表 5 显示了每帧 CLK 周期的数量 ($f_{\text{CLK}}/f_{\text{DATA}}$)。如果 FSYNC 周期设置不正确, 会导致数据回读失败。

14.2.3 输出 (DOUT)

转换数据在 DOUT[4:1]/[8:1] 上被移出。FSYNC 拉高后, MSB 数据在 DOUT[4:1]/[8:1] 上有效。后面数据随着 SCLK 的每一个下降沿被移出。如果采用菊花链, 则在所有通道数据被移出后, DIN 移入的数据才出现在 DOUT[4:1]/[8:1] 上。

14.2.4 输入 (DIN)

多个 SWT127x 串联在一起时，使用此输入。SPI 或帧同步协议均可用。数据在 SCLK 的下降沿上转移。当只使用一个 SWT127x 时，将 DIN 接低电平。有关详细信息，请参阅[菊花链](#)部分。

15 数据输出模式 (FORMAT[2:0])

SWT127x 通过 SPI 接口协议或帧同步接口协议来读取数据，并且两种接口协议均有固定数据位置的时分复用(TDM)模式、动态数据位置的时分复用 (TDM) 模式和离散数据位置模式可选。使用 FORMAT[2:0] 选择相应数据输出模式，表 11 列出了对应的选项。

表 11. 数据输出格式

FORMAT[2:0]	接口协议	数据输出模式	数据位置
000	SPI	时分复用	动态
001	SPI	时分复用	固定
010	SPI	离散型	—
011	帧同步	时分复用	动态
100	帧同步	时分复用	固定
101	帧同步	离散型	—

对于 SPI 和帧同步接口协议，数据通过单个通道 DOUT 引脚以并行数据格式 (离散模式) 移出，或者通过公共引脚 DOUT1 (TDM 模式) 以串行格式移出所有通道的数据。

15.1 TDM 模式

在 TDM (时分多路复用) 数据输出模式中，所有通道数据按顺序在单个引脚 (DOUT1) 上移出。如图 79 所示，首先从通道 1 移出数据，然后是通道 2 数据，以此类推。最后一个通道的数据移出后，DIN 输入的数据随之移出。DIN 用于将来自额外 SWT127x 或其他兼容设备的数据输出串接起来。请注意，当 SWT127x 的所有通道被禁用时，接口被禁用，DIN 输入也被禁用。当 SWT127x 的一个或多个通道断电时，TDM 模式的数据格式分为固定和动态数据位置格式。

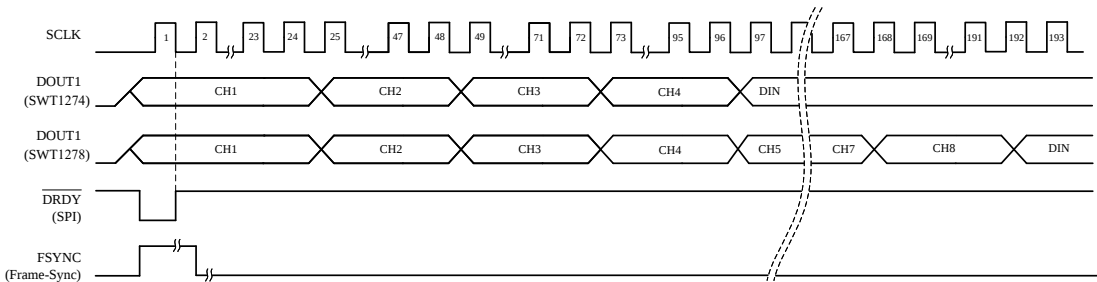


图 79.TDM 模式 (所有通道使能)

15.1.1 固定数据位置的 TDM 模式

在这种 TDM 数据输出模式下，无论通道是否断电，通道的数据位置都保持固定。如果一个通道断电，数据被强制归零，但在数据流中占据相同的位置。图 80 显示了通道 1 和通道 3 断电时的数据输出。

15.1.2 动态数据位置的 TDM 模式

在这种 TDM 数据输出模式中，当一个通道断电时，来自较高通道的数据在数据流中移动一个位置以填充空出的数据槽。图 81 显示了通道 1 和通道 3 断电时的数据输出。

15.2 离散数据输出模式

在离散数据输出模式下，通道数据使用单个通道数据输出引脚 DOUT[4:1]/[8:1] 并行移出。在第 24 次 SCLK 之后，信道数据被强制为零。对于掉电的通道，数据也被强制归零。图 82 显示了离散数据输出格式。

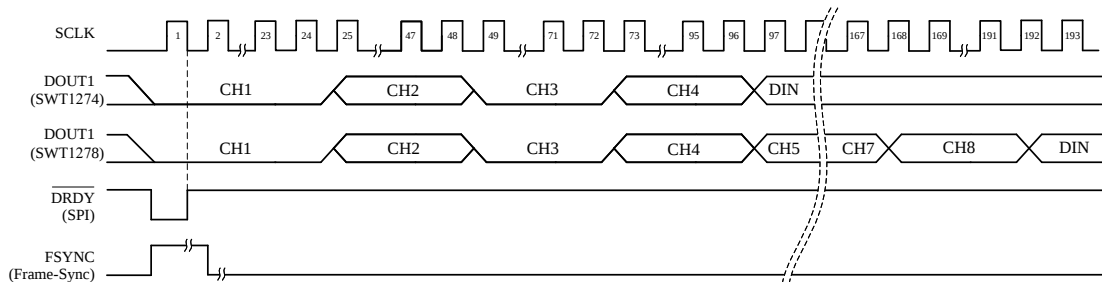


图 80. 固定数据位置的 TDM 模式 (通道 1、3 断电)

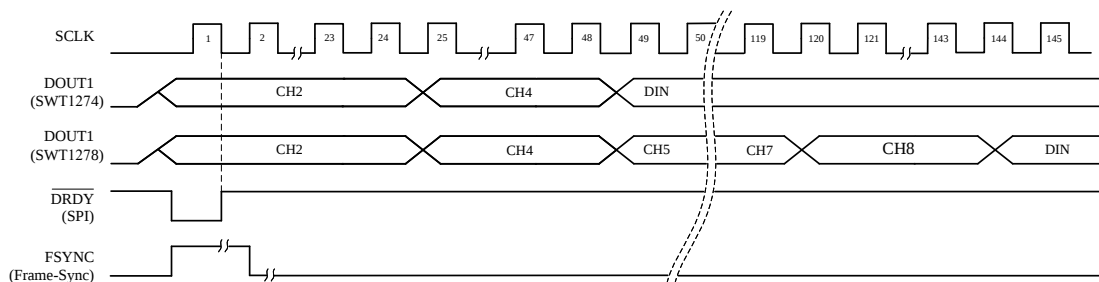


图 81. 动态数据位置的 TDM 模式 (通道 1、3 断电)

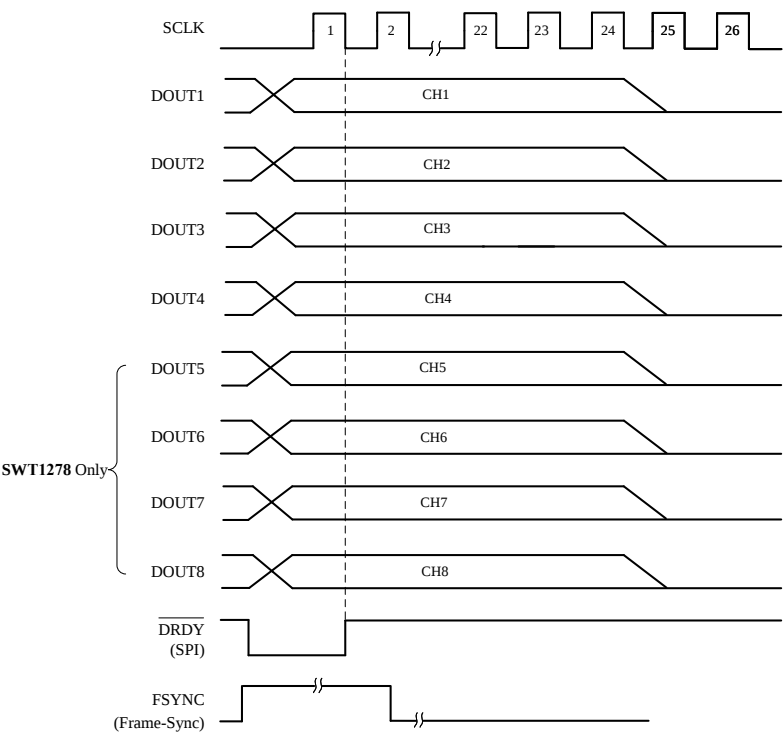


图 82. 离散数据输出模式

16 菊花链

通过一个芯片的 DOUT1 数据输出引脚连接到下一个设备的 DIN。多个 SWT127x 可以串联在一起，在单个芯片上输出所需数据，以减少与数据接收设备的连接。如图 83 所示，U1 的 DOUT1 引脚向控制器提供输出数据，U2 的 DIN 接地。图 84 是回读数据时的数据格式。

以这种方式链接的通道的最大数量受到 f_{SCLK} 的频率、模式和 CLKDIV 输入的限制。 f_{SCLK} 的频率必须足够高，以便在 f_{DATA} 周期内将数据从所有通道中完全转移出去。表 12 列出了当 $f_{SCLK} = f_{CLK}$ 时，菊花链通道的最大数目。

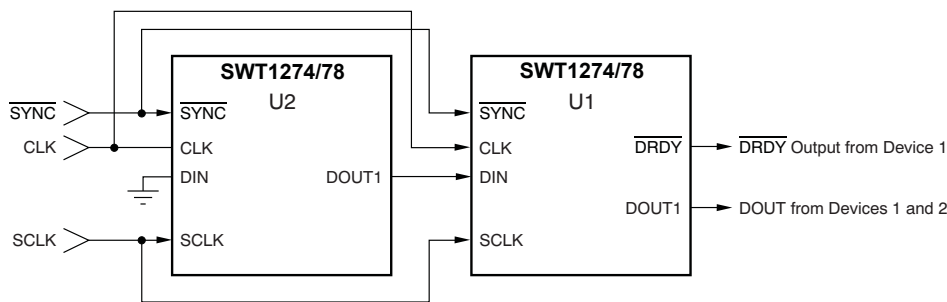
为了增加链中可能的数据通道数量，可以使用分段 DOUT 方案，产生两个数据流。图 85 显示了 4 个 SWT127x，其中一对 SWT127x 用菊花链连接在一起。每个菊花链对的通道数据并行移出，并通过独立的数据通道处理器接收。

表 12. 菊花链中的最大通道数 ($f_{SCLK} = f_{CLK}$)

模式选择	CLKDIV	最大通道数
HS	0 或 1	10
HR	0 或 1	21
LP	1	21
	0	10
LS	1	106
	0	21

无论接口协议是 SPI 还是帧同步，建议通过将 SYNC 输入绑定在一起来同步所有设备。当在 SPI 协议中同步时，只需要监控一个 SWT127x 的 DRDY 输出。

在帧同步接口协议中，经过 FSYNC 上升沿后，所有设备的数据均已准备就绪。由于 DOUT1 和 DIN 都在 SCLK 的下降沿上移位，因此 DOUT1 上的传播延迟在 DIN 上创建了一个建立时间，将随后的 SCLK 时钟偏移做到最小，以避免时序违例。



注：链接器件的数量受 SCLK 速率和模式限制。

图 83 . 采用 SPI 协议的两芯片菊花链连接 (FORMAT[2:0] = 000/001)

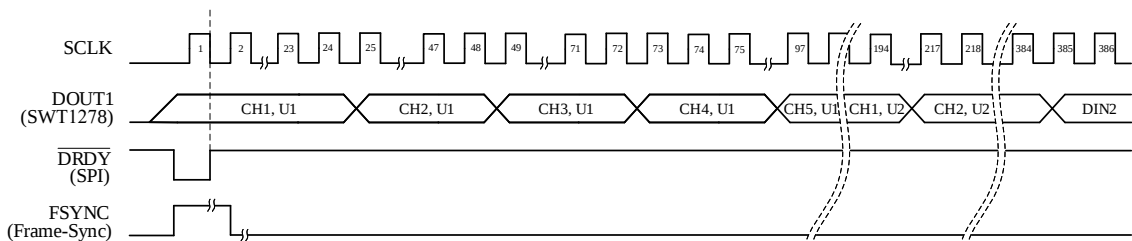
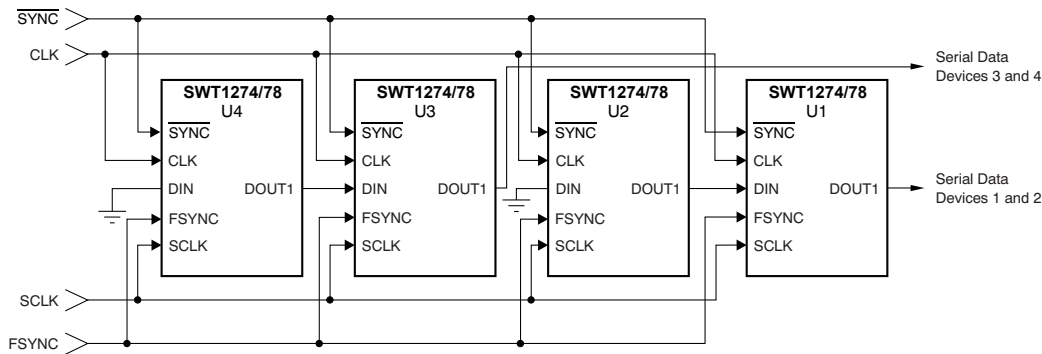


图 84. 图 83 的菊花链数据格式



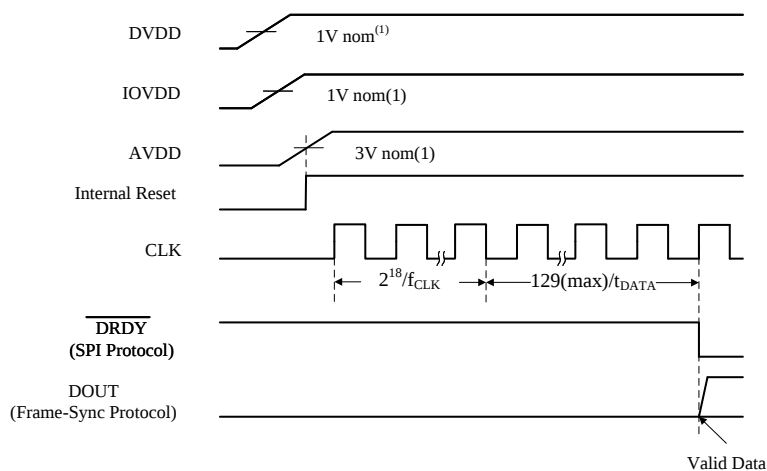
注：链接器件的数量受 SCLK 速率和设备模式限制。

图 85. 采用帧同步协议的 4 芯片菊花链连接 (FORMAT[2:0] = 011/100)

17 电源供给

SWT127x 需提供 AVDD、DVDD、IOVDD 三种电源。AVDD 是为模拟模块和 Delta-sigma 调制器供电的模拟电源，DVDD 是为数字电路供电的数字电源，IOVDD 是数字 I/O 的电源。如果需要，IOVDD 和 DVDD 电源可以绑在一起 (+1.8V)。为了达到额定性能，建议靠近电源引脚处放置 0.1 μ F 和 10 μ F 的去耦电容。

SWT127x 可以有任意的上电顺序，但建议上电时间间隔不要过大，以免内部保护二极管长期处于导通状态，降低芯片的可靠性。因此，建议如图 86 的启动顺序。在开机时，首先打开 DVDD 电源，然后是 IOVDD，然后是 AVDD。只有所有电源都上电完成，即超过电源复位阈值，芯片的全局复位才释放，约 129 次数据转换后有稳定的数据输出。



(1) 电源复位阈值为近似值。

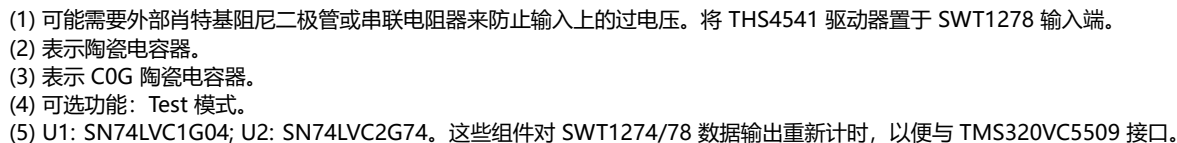
图 86. 建议启动顺序

应用信息

为从 SWT127x 获得规定的特性，下述布局和元器件参数建议须要考虑。

1. 电源：芯片共有三个工作电源：DVDD、IOVDD 和 AVDD。DVDD 的允许范围为 1.65V 至 1.95V；IOVDD 的范围为 1.65V 至 3.6V；AVDD 限制为 4.75V 至 5.25V。SWT127x 的上电顺序允许任意组合，但建议各电源上电时间先后间隔不要过大，以免内部保护二极管长期处于导通状态。对于所有的电源，建议使用一个 10 μ F 的钽电容或陶瓷电容，并在靠近芯片电源引脚处就近放置一个 0.1 μ F 的旁路陶瓷电容。电源应尽可能的干净，避免与瞬时峰值较大的器件共用，比如 LED 驱动、继电器等。若使用 DC-DC，建议选用电压纹波较低 (≤ 2 mV)，开关频率在 SWT127x 带外的型号，并经过 LDO 降低电源噪声。
2. 地：可以使用一个地平面来连接 AGND 和 DGND。如果数字地和模拟地是分离的，需要单点接地，以保证芯片的数字模拟地电势相等。
3. 数字输入：建议在数字输入到芯片间串接 50 Ω 的电阻。此电阻就近放置于数字源（振荡器、逻辑门、DSP 等等）的驱动端。有助于减少在芯片 IO 处的纹波（该纹波会引起 ADC 特性的降低）。特别注意：SWT127x 的数字 IO 内部具有 22k Ω 的上拉电阻（PIN10 CLKDIV 的内部则是 50k Ω 的下拉电阻），对于片外固定拉高拉低的需求，电阻建议选择 1k Ω 。
4. 模拟/数字电路：将模拟相关电路（输入缓冲器、参考）布局在一起，远离数字电路（DSP、微控制器、逻辑单元等），以避免数字电路的噪声串扰，影响模拟电路的性能。
5. 参考电源输入：推荐使用一个最小 10 μ F 的钽电容和一个 0.1 μ F 的陶瓷电容跨接在参考输入 VREFP 和 VREFN 之间，以减少参考电平抖动。为达到标称性能，参考源的带内噪声须小于 3 μ V_{RMS}。当参考源的噪声高过此水平时，有必要引入外部参考电源滤波器，但注意额外滤波器引入的参考电平衰减。
6. 模拟输入：模拟输入管脚需要差分驱动。建议使用全差分的驱动，如 THS4551/THS4541/THS4521 等，以达到标称的性能。模拟输入 (AINP、AINN) 是一对差分信号，需做差分匹配，最好能有屏蔽，尽可能的短直以减少路径阻抗与串扰。模拟输入管脚 AINP 和 AINN 之间可以放置一个 1nF 到 10nF 的电容，以滤除差模成分。模拟输入管脚 AINP 和 AINN 到地可以各放置一个典型值是 100pF 的电容，以滤波共模成分。特别注意：输入路径上的电容（包含前面的 RC 滤波器、全差分驱动放大器）均需选择低 K 介质（如 C0G 或薄膜型），以避免电容的压电效应影响 ADC 的 THD 性能。
7. 元件放置：将电源、模拟输入、参考电源输入的旁路电容尽可能地靠近芯片管脚。小容量的陶瓷电容放在最靠近芯片管脚的位置，大容量退耦电容可以放置的更远一些。

图 87 至图 88 说明了可与 SWT1274/SWT1278 一起使用的基本连接和接口。



- www.silicoway.com

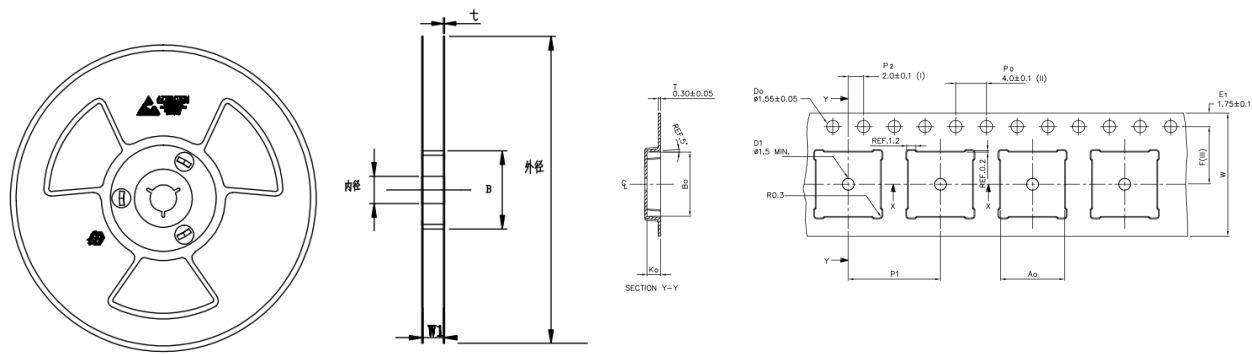
机械、封装和可订购信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。

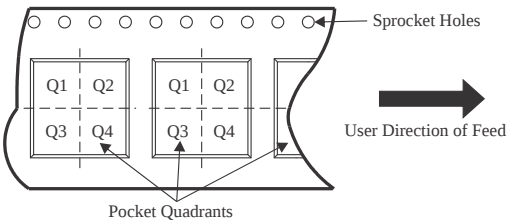
可订购信息

可订购器件	状态	封装形式	引脚	最小包装	等级认证标准	MSL 等级	工作温度 (°C)	器件标识
SWT1274PH	ES	QFP	64	1600	RoHS/Reach Pb-free	/	-55~+125	SWT1274
SWT1278PH	ES	QFP	64	1600	RoHS/Reach Pb-free	/	-55~+125	SWT1278

TAPE AND REEL INFORMATION



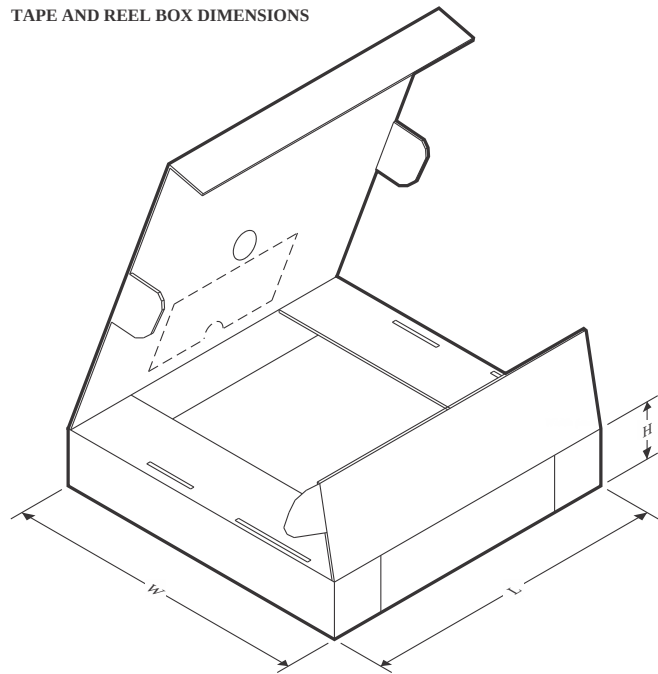
A0	设计尺寸以适应部件宽度
B0	设计尺寸以适应部件长度
K0	设计尺寸以适应部件厚度
W	载带的总宽度
P1	连续型腔中心之间的间距



器件	封装类型	引脚	SPQ	卷轴直径 (mm)	卷轴宽度 W (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SWT1274PH	QFP	64	5000	3300	16.0	8.35	8.37	1.76	12.0	16.0
SWT1278PH	QFP	64	5000	3300	16.0	8.35	8.37	1.76	12.0	16.0

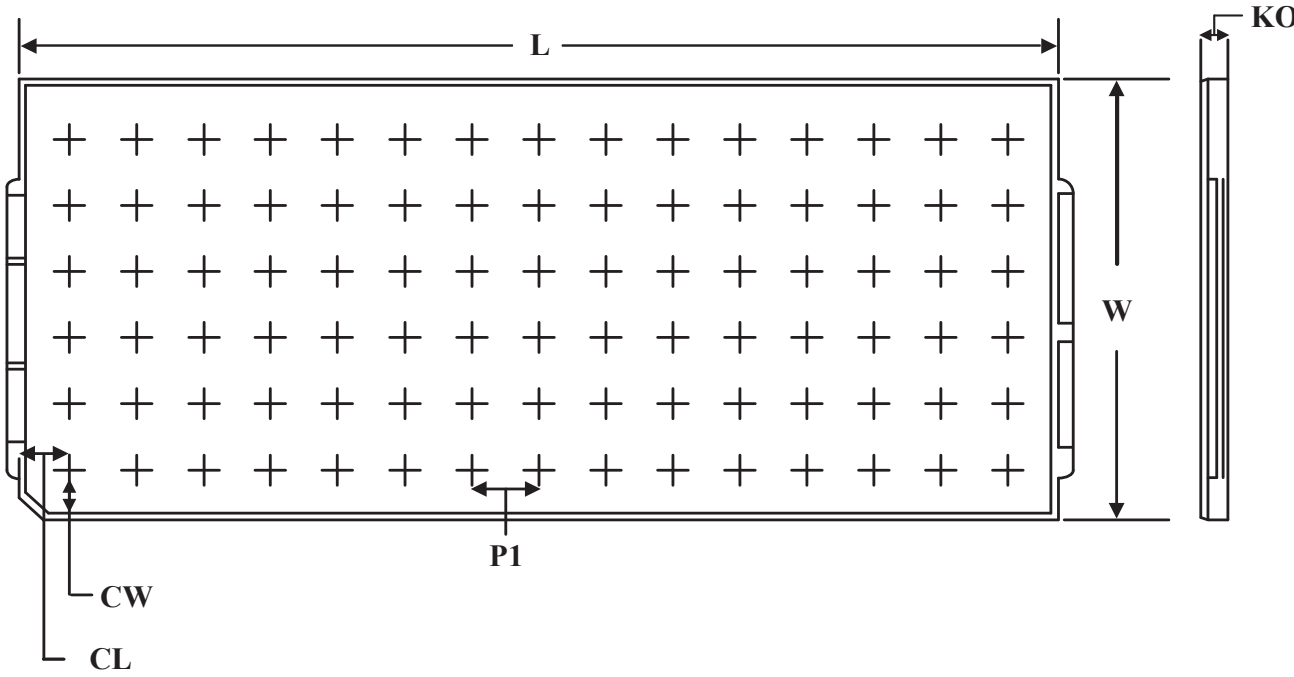
TAPE AND REEL BOX DIMENSIONS

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
SWT1274PH	QFP	64	5000	336.0	336.0	48.0
SWT1278PH	QFP	64	5000	336.0	336.0	48.0

TRAY



器件	封装类型	引脚	SPQ	Unit array matrix	L (mm)	W (mm)	K0 (mm)	P1 (mm)	CL (mm)	CW (mm)
SWT1274PH	QFP	64	160	8 x 20	315	135.9	7.62	15.2	13.1	13.0
SWT1278PH	QFP	64	160	8 x 20	315	135.9	7.62	15.2	13.1	13.0

QFP64 封装

