

SW303x: 4 通道、6 通道和 8 通道、24 位同步采样 Δ - Σ ADC

1 特性

- 四/六/八路差分模数转换器 (ADC) 输入
- 数据速率: 0.25, 0.5, 1, 2, 4, 8, 16, 32 和 64kSps
- 可编程增益: 1、2、3、4、6、8、12 和 24
- 动态范围:
 - 120.6dB @1kSps 采样率
 - 117.0dB @16kSps 采样率
 - 107.0dB @32kSps 采样率
 - 87.6dB @64kSps 采样率
- 总谐波失真: 50Hz 和 60Hz 时为-108dB
- 共模抑制比 (CMRR): -116dB
- 串扰: -125dB
- 低功耗: 每通道仅 1.84mW
- 数据缓存功能, 可节省系统功耗
- 故障检测、通道测试及自动 offset 校准功能
- 4 个通用输入输出接口 (GPIO)
- SPI™ 数据接口
- 单极电源:
 - 模拟电压: 2.7V 至 5.25V
 - 数字电压: 1.8V 至 3.6V
- 卓越的 ESD 能力:
 - HBM ± 8 kV
 - CDM ± 1.5 kV
 - Latch-up ± 600 mA
- 封装: QFP-64、BGA-64
- 工作温度范围: -40°C 至 +105°C

2 应用

- 电源保护: 断路器和继电器保护
- 电能计量: 单相、多相和电能质量
- 电池测试系统
- 测试和测量
- 同步采样数据采集系统

3 说明

SW303x 是一系列多通道同步采样、24 位 Δ - Σ 模数转换器 (ADC), 内置可编程增益放大器 (PGA)、参考基准和时钟。该系列具备优异的动态范围、250Sps 64kSps 的数据采样速率以及故障监测功能, 受到工业电源监测和保护,

以及测试和测量应用的青睐。高阻抗输入支持 SW303x 直接与电阻分压器网络或电压互感器相连以测量线路电压, 或与电流互感器或罗戈夫斯基线圈相连来测量电流。借助于高集成度和出色的动态性能, SW303x 系列产品可在极大降低尺寸、功耗和总成本的前提下, 升级工业电源系统。

SW303x 在每通道上有一个灵活输入多路复用器, 可选择连接至内部生成的测试信号、温度信号、电源信号, 以实现对应测量与故障检测。输入故障检测可在器件内部执行, SW303x 内部具备多电平档位的比较器。SW303x 还具备数据缓存功能, 能有效减少上位机取数中断, 从而节省系统功耗。

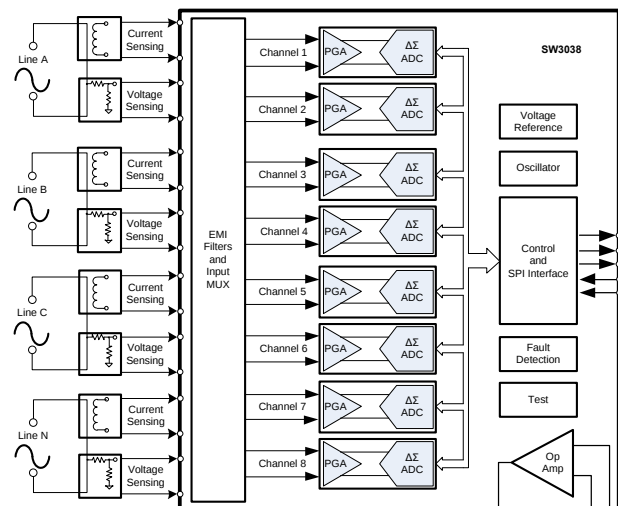
这些完整的模拟前端 (AFE) 解决方案采用 10.00mm * 10.00mm 64-PIN QFP 封装, 额定工作为-40°C~+105°C。另外, SW303x 还提供了 8.00mm * 8.00mm 64-PIN BGA 封装选项, 可用于减小系统尺寸。

器件信息 (1)

器件型号	封装	封装尺寸
SW303x	QFP(64)	10.00mm×10.00mm
	BGA(64)	8.00mm×8.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的封装选项附录。

SW3038 简化电路原理图



目录

1	特性	1	9.4.1	启动模式	25
2	应用	1	9.4.2	复位 (RESET 引脚和复位命令)	26
3	说明	1	9.4.3	关断引脚 (PWDN)	26
4	修订历史记录	2	9.4.4	连续转换模式	26
5	器件比较表	2	9.4.5	数据检索	27
6	引脚定义和功能	3	9.5	编程	29
7	规格	9	9.5.1	数据格式	29
7.1	绝对最大额定值	9	9.5.2	SPI 接口	29
7.2	ESD/LU/MSV 性能指标	9	9.5.3	SPI 命令定义	31
7.3	建议的工作条件	9	9.6	寄存器映射	36
7.4	热性能信息	10	9.6.1	寄存器说明	37
7.5	电气特性	10	10	应用和实现	53
7.6	时序要求：串行接口	13	10.1	应用信息	53
7.7	开关特性：串行接口	13	10.1.1	未使用的输入和输出	53
7.8	典型特性	14	10.1.2	设置器件以进行基本数据采集	53
8	参数测量信息	16	10.1.3	多器件配置	55
8.1	噪声测量	16	10.1.4	电力监测特定应用	58
9	详细说明	18	11	电源建议	62
9.1	概要	18	11.1	上电时序	62
9.2	功能方框图	19	11.2	连接到单极电源	63
9.3	特性说明	20	12	布局	64
9.3.1	EMI 滤波器	20	12.1	布局指南	64
9.3.2	输入多路复用器	20	12.2	布局示例	65
9.3.3	模拟输入	21	13	机械、封装和可订购信息	66
9.3.4	PGA 设置和输入范围	22	13.1	可订购信息	66
9.3.5	ADC Δ - Σ 调制器	23	13.2	包装信息	67
9.3.6	时钟	23	13.2.1	TAPE AND REEL INFORMATION	67
9.3.7	数字抽取滤波器	23	13.2.2	TAPE AND REEL BOX DIMENSIONS	68
9.3.8	基准	24	13.2.3	TRAY	69
9.3.9	输入超出范围检测	25	13.3	封装信息	70
9.3.10	GPIO 引脚	25	13.3.1	QFP64 封装	70
9.4	器件功能模式	25	13.3.2	BGA64 封装	71

4 修订历史记录

- 初版
- 后续版本

5 器件比较表

产品	封装	通道	基准选项	ADC 分辨率	上电时间 (ms)
SW3034	QFP-64	4	内部，外部	24	128
	BGA-64				
SW3036	QFP-64	6	内部，外部	24	128
	BGA-64				
SW3038	QFP-64	8	内部，外部	24	128
	BGA-64				

6 引脚定义和功能

ZXG封装
64引脚 BGA
俯视图,底部的焊接凸点

H	G	F	E	D	C	B	A	
IN1P	IN2P	IN3P	IN4P	IN5P	IN6P	IN7P	IN8P	1
IN1N	IN2N	IN3N	IN4N	IN5N	IN6N	IN7N	IN8N	2
VREFP	NC	TESTN	TESTP	NC	OPAMPN	OPAMP_OUT	NC	3
VREFN	NC	NC	NC	AVSS	OPAMPP	AVDD	AVDD	4
VCAP1	PWDN	GPIO1	GPIO4	AVSS	AVSS	AVSS	AVSS	5
VCAP2	RESET	DAISY_IN	GPIO3	DRDY	AVDD	AVDD	AVDD	6
DGND	START	CS	GPIO2	DGND	DGND	NC	AVDD1	7
DIN	CLK	SCLK	DOUT	DVDD	DVDD	CLKSEL	AVSS1	8

引脚功能：BGA 封装

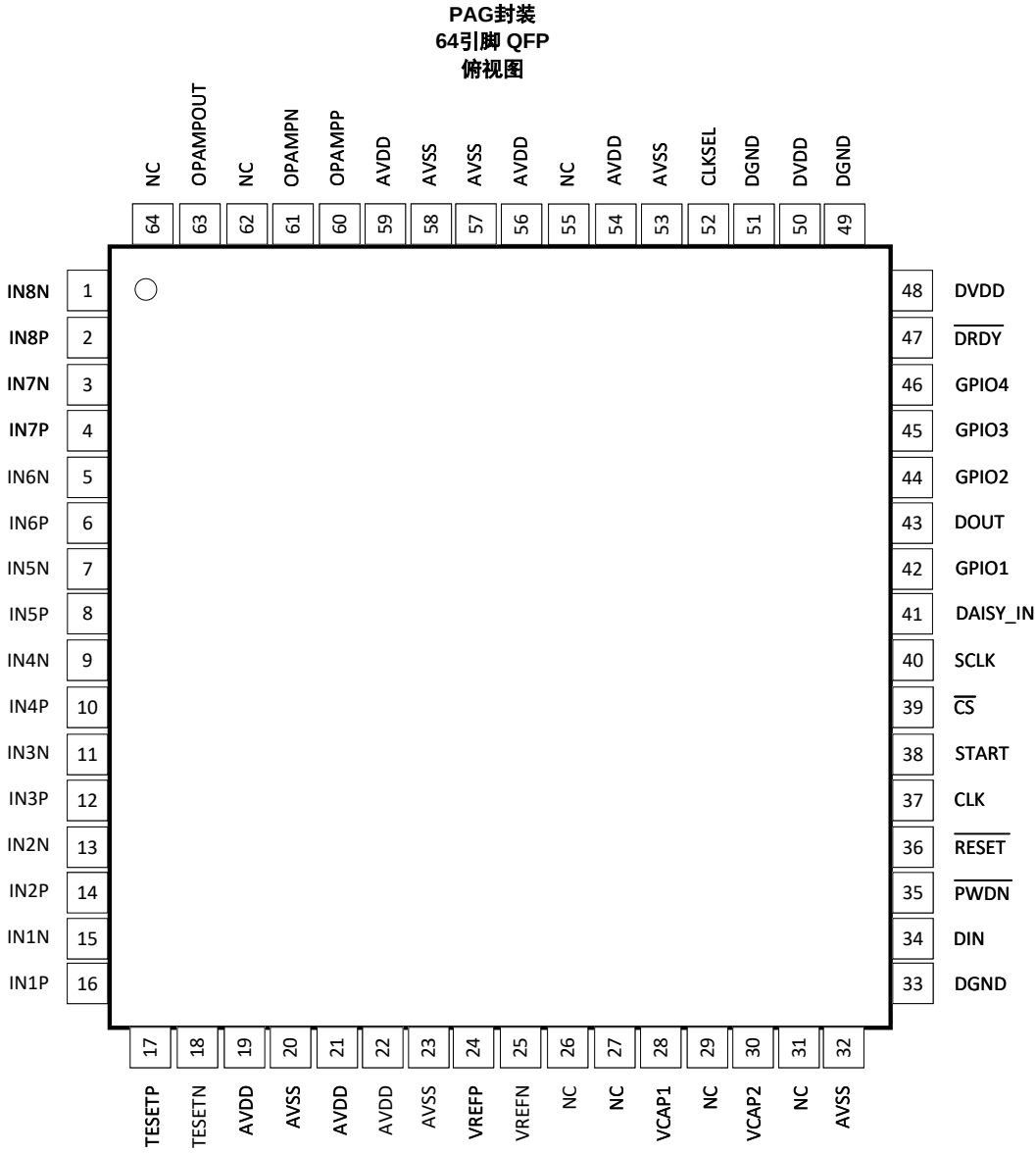
引脚		类型	说明
编号	名称		
1A	IN8P ⁽¹⁾	模拟输入	差分模拟正输入 8(仅限 SW3038)
1B	IN7P ⁽¹⁾	模拟输入	差分模拟正输入 7(仅限 SW3038)
1C	IN6P ⁽¹⁾	模拟输入	差分模拟正输入 6(仅限 SW3036,SW3038)
1D	IN5P ⁽¹⁾	模拟输入	差分模拟正输入 5(仅限 SW3036,SW3038)
1E	IN4P ⁽¹⁾	模拟输入	差分模拟正输入 4
1F	IN3P ⁽¹⁾	模拟输入	差分模拟正输入 3
1G	IN2P ⁽¹⁾	模拟输入	差分模拟正输入 2
1H	IN1P ⁽¹⁾	模拟输入	差分模拟正输入 1
2A	IN8N ⁽¹⁾	模拟输入	差分模拟负输入 8(仅限 SW3038)
2B	IN7N ⁽¹⁾	模拟输入	差分模拟负输入 7(仅限 SW3038)
2C	IN6N ⁽¹⁾	模拟输入	差分模拟负输入 6(仅限 SW3036,SW3038)
2D	IN5N ⁽¹⁾	模拟输入	差分模拟负输入 5(仅限 SW3036,SW3038)
2E	IN4N ⁽¹⁾	模拟输入	差分模拟负输入 4
2F	IN3N ⁽¹⁾	模拟输入	差分模拟负输入 3
2G	IN2N ⁽¹⁾	模拟输入	差分模拟负输入 2
2H	IN1N ⁽¹⁾	模拟输入	差分模拟负输入 1
3A	NC	/	不需连接
3B	OPAMPOUT	模拟输出	运算放大器输出；如果未使用，请保持悬空状态，并关闭运算放大器。
3C	OPAMPN	模拟输入	运算放大器反相输入；如果未使用，请保持悬空状态，并关闭运算放大器。
3D	NC	/	不需连接
3E	TESTP	模拟输入/输出	测试信号，正极引脚。有关未使用的引脚，请参阅未使用的输入和输出部分。
3F	TESTN	模拟输入/输出	测试信号，负极引脚。有关未使用的引脚，请参阅未使用的输入和输出部分。
3G	NC	/	不需连接
3H	VREFP	模拟输入/输出	正基准输入/输出电压
4A	AVDD	电源	模拟电源
4B	AVDD	电源	模拟电源
4C	OPAMPP	模拟输入	运算放大器同相输入；如果未使用，请保持悬空状态，并关闭运算放大器。
4D	AVSS	电源	模拟接地
4E	NC	/	不需连接
4F	NC	/	不需连接
4G	NC	/	不需连接
4H	VREFN	模拟输入	负基准电压
5A	AVSS	电源	模拟接地
5B	AVSS	电源	模拟接地
5C	AVSS	电源	模拟接地
5D	AVSS	电源	模拟接地

(1) 将未使用的引脚连接到 AVDD。

引脚功能：BGA 封装 (continued)

引脚		类型	说明
编号	名称		
5E	GPIO4	数字输入/输出	通用输入/输出引脚 4
5F	GPIO1	数字输入/输出	通用输入/输出引脚 1
5G	$\overline{\text{PWDN}}$	数字输入	关断引脚; 低电平有效。
5H	VCAP1	/	模拟旁路电容器; 将 22 μF 电容器连接到 AVSS。
6A	AVDD	电源	模拟电源
6B	AVDD	电源	模拟电源
6C	AVDD	电源	模拟电源
6D	$\overline{\text{DRDY}}$	数字输出	数据就绪; 低电平有效。
6E	GPIO3	数字输入/输出	通用输入/输出 3
6F	DAISY_IN ⁽²⁾	数字输入	菊花链输入; 如未使用请与 DGND 短接。
6G	$\overline{\text{RESET}}$	数字输入	系统复位引脚; 低电平有效。
6H	VCAP2	/	模拟旁路电容; 外接到 AVSS 的 1 μF 电容。
7A	AVDD	电源	模拟电源
7B	NC	/	不需连接
7C	DGND	电源	数字接地
7D	DGND	电源	数字接地
7E	GPIO2	数字输入/输出	通用输入/输出 2
7F	$\overline{\text{CS}}$	数字输入	SPI 片选; 低电平有效。
7G	START	数字输入	开始转换
7H	DGND	电源	数字接地
8A	AVSS	电源	模拟接地
8B	CLKSEL	数字输入	主时钟选择; 高电平选择内部振荡器输出。
8C	DVDD	电源	数字电源
8D	DVDD	电源	数字电源
8E	DOUT	数字输出	SPI 数据输出
8F	SCLK	数字输入	SPI 时钟
8G	CLK	数字输入/输出	外部主时钟输入或内部时钟输出
8H	DIN	数字输入	SPI 数据输入

(2)DAISY_IN 在未使用时连接到逻辑 0。



引脚功能：QFP 封装

引脚		类型	说明
编号	名称		
1	IN8N ⁽¹⁾	模拟输入	差分模拟负输入 8(仅限 SW3038)
2	IN8P ⁽¹⁾	模拟输入	差分模拟正输入 8(仅限 SW3038)
3	IN7N ⁽¹⁾	模拟输入	差分模拟负输入 7(仅限 SW3038)
4	IN7P ⁽¹⁾	模拟输入	差分模拟正输入 7(仅限 SW3038)
5	IN6N ⁽¹⁾	模拟输入	差分模拟负输入 6(仅限 SW3036 和 SW3038)
6	IN6P ⁽¹⁾	模拟输入	差分模拟正输入 6(仅限 SW3036 和 SW3038)
7	IN5N ⁽¹⁾	模拟输入	差分模拟负输入 5(仅限 SW3036 和 SW3038)
8	IN5P ⁽¹⁾	模拟输入	差分模拟正输入 5(仅限 SW3036 和 SW3038)
9	IN4N ⁽¹⁾	模拟输入	差分模拟负输入 4
10	IN4P ⁽¹⁾	模拟输入	差分模拟正输入 4
11	IN3N ⁽¹⁾	模拟输入	差分模拟负输入 3
12	IN3P ⁽¹⁾	模拟输入	差分模拟正输入 3
13	IN2N ⁽¹⁾	模拟输入	差分模拟负输入 2
14	IN2P ⁽¹⁾	模拟输入	差分模拟正输入 2
15	IN1N ⁽¹⁾	模拟输入	差分模拟负输入 1
16	IN1P ⁽¹⁾	模拟输入	差分模拟正输入 1
17	TESTP	模拟输入/输出	测试信号, 正极引脚。有关未使用的引脚, 请参阅未使用的输入和输出部分。
18	TESTN	模拟输入/输出	测试信号, 负极引脚。有关未使用的引脚, 请参阅未使用的输入和输出部分。
19	AVDD	电源	模拟电源
20	AVSS	电源	模拟地
21	AVDD	电源	模拟电源
22	AVDD	电源	模拟电源
23	AVSS	电源	模拟地
24	VREFP	模拟输入/输出	正基准输入/输出电压; 外接到 VREFN 的 10 μ F 电容。
25	VREFN	模拟输入	负基准电压; 接模拟地。
26	NC	/	不需连接
27	NC	/	不需连接
28	VCAP1	/	模拟旁路电容; 外接到 AVSS 的 22 μ F 电容。
29	NC	/	不需连接
30	VCAP2	/	模拟旁路电容; 外接到 AVSS 的 1 μ F 电容。
31	NC	/	不需连接
32	AVSS	电源	模拟地
33	DGND	电源	数字地
34	DIN	数字输入	SPI 数据输入
35	$\overline{\text{PWDN}}$	数字输入	关断引脚; 低电平有效。
36	$\overline{\text{RESET}}$	数字输入	系统复位引脚; 低电平有效。
37	CLK	数字输入/输出	主时钟
38	START	数字输入	开始转换
39	$\overline{\text{CS}}$	数字输入	片选信号; 低电平有效。
40	SCLK	数字输入	SPI 时钟

(1) 将未使用的引脚连接到 AVDD。

引脚功能：QFP 封装 (continued)

引脚		类型	说明
编号	名称		
41	DAISY_IN ⁽²⁾	数字输入	菊花链输入; 如未使用请与 DGND 短接。
42	GPIO1	数字输入/输出	通用输入/输出 1
43	DOUT	数字输出	SPI 数据输出
44	GPIO2	数字输入/输出	通用输入/输出 2
45	GPIO3	数字输入/输出	通用输入/输出 3
46	GPIO4	数字输入/输出	通用输入/输出 4
47	DRDY	数字输出	数据就绪; 低电平有效。
48	DVDD	电源	数字电源
49	DGND	电源	数字地
50	DVDD	电源	数字电源
51	DGND	电源	数字地
52	CLKSEL	数字输入	主时钟选择; 高电平选择内部振荡器输出。
53	AVSS	电源	模拟地
54	AVDD	电源	模拟电源
55	NC	/	不需连接
56	AVDD	电源	模拟电源
57	AVSS	电源	模拟地
58	AVSS	电源	模拟电源
59	AVDD	电源	模拟地
60	OPAMPP	模拟输入	运算放大器同相输入; 如果未使用, 请保持悬空状态, 并关闭运算放大器。
61	OPAMPN	模拟输入	运算放大器反相输入; 如果未使用, 请保持悬空状态, 并关闭运算放大器。
62	NC	/	不需连接
63	OPAMPOUT	模拟输出	运算放大器输出; 如果未使用, 请保持悬空状态, 并关闭运算放大器。
64	NC	/	不需连接

(2)DAISY_IN 在未使用时连接到逻辑 0。

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明)⁽¹⁾

	最小值	最大值	单位
AVDD 至 AVSS	-0.3	5.5	V
DVDD 至 DGND	-0.3	3.9	V
AVSS 至 DGND	-0.2	0.2	V
模拟输入电压	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	DGND - 0.3	DVDD + 0.3	V
输入电流 (瞬时)	-100	100	mA
输入电流 (连续)		10	mA
结温, T_J	-40	150	°C
贮存温度, T_{stg}	-60	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD/LU/MSV 性能指标

项目	参数	值	单位
ESD	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽¹⁾	±8000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±1500	
Latch-Up	Latch-Up 测试电流 ($T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$)	±600	mA
MSV	电源超压测试 (Vsupply Over voltage test)	+8.5	V

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在工作环境温度范围内 (除非另外注明)

		最小值	标称值	最大值	单位
电源					
模拟电源	AVDD-AVSS	2.7	5	5.25	V
数字电源	DVDD	1.7	1.8	3.6	V
模拟到数字电源	AVDD -DVDD	-2.1		3.6	V
模拟输入					
满标量程差分输入电压范围	$V_{INxP} - V_{INxN}$	$\pm V_{REF}$ /增益			V
V_{CM} 输入共模范围	$(V_{INxP} + V_{INxN})/2$	请参阅 PGA 设置和输入范围 的 输入共模范围 小节			
电压基准输入					
V_{REF} 基准输入电压	AVDD = 3V, $V_{REF} = (V_{REFP} - V_{REFN})$	2.5			V
	AVDD = 5V, $V_{REF} = (V_{REFP} - V_{REFN})$	4			V
时钟输入					
f_{CLK} 外部时钟输入频率	CLKSEL=0	1.5	2.048	2.25	MHz
数字输入					
输入电压		DGND - 0.1		DVDD + 0.1	V
温度范围					
T_A 工作温度范围		-40		+105	°C

7.4 热性能信息

热指标 ⁽¹⁾		SW303x		单位
		PH(QFP)	AH(BGA)	
		64 引脚	64 引脚	
$R_{\theta JA}$	结至环境热阻	50	48	°C/W
$R_{\theta JC}$	结至外壳热阻	15	12	°C/W
$R_{\theta JB}$	结至电路板热阻	30	28	°C/W

(1) 采用 JEDEC 标准 2S2P PCB 板。

7.5 电气特性

最小值和最大值适用于 $T_A = -40^{\circ}\text{C}$ 至 105°C 。典型值适用于 $T_A = 25^{\circ}\text{C}$ 。若非另有说明，以下性能的测试条件为：AVDD = 3 V，AVSS = 0 V，DVDD = 1.8 V，V_{REF} = 2.4V，f_{CLK}(外部) = 2.048MHz，DR = 8kSPS，PGA 增益 = 1。

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电容			20		pF
输入偏置电流	PGA 输出在正常范围内		5		nA
直流输入阻抗			500		MΩ
PGA 性能					
增益设置	可配置		1、2、3、4、6、8、12、24		V/V
BW 带宽			参见表 9-3-1		
ADC 性能					
分辨率		24			位
DR 数据速率	f _{CLK} = 2.048MHz	250		64000	SPS
直流通道性能					
动态范围	Gain = 1	119			dB
	所有其他增益设置		参见噪声测量部分		
INL 积分非线性	满标量程, 最佳拟合		8		ppm
偏移误差			60		μV
偏移误差漂移			80		nV/°C
增益误差	不包括电压基准误差		0.1	±0.5	%of FS
增益误差漂移	不包括电压基准漂移		3		ppm/°C
通道间的增益匹配			0.2		%of FS
交流通道性能					
CMRR 共模抑制比	f _{CM} = 50Hz、60Hz		-116		dB
PSRR 电源抑制比	f _{PS} = 50Hz、60Hz		-96		dB
串扰	f _{IN} = 50Hz、60Hz		-125		dB
SNR 信噪比	f _{IN} = 60Hz 输入, Gain = 1		108		dB
THD 总谐波失真	V _{IN} = -0.5dBFS, f _{IN} = 60Hz 输入		-108		dB

电气特性 (continued)

最小值和最大值适用于 $T_A = -40^{\circ}\text{C}$ 至 105°C 。典型值适用于 $T_A = 25^{\circ}\text{C}$ 。若非另有说明，以下性能的测试条件为：AVDD = 3 V，AVSS = 0 V，DVDD = 1.8 V， $V_{\text{REF}} = 2.4\text{V}$ ， $f_{\text{CLK}}(\text{外部}) = 2.048\text{MHz}$ ，DR = 8kSPS，PGA 增益 = 1。

参数	测试条件	最小值	典型值	最大值	单位
OPERATIONAL AMPLIFIER					
积分噪声	0.1 Hz 至 250 Hz		9		μV_{RMS}
增益带宽积	50k Ω 10pF 负载		100		kHz
压摆率	50k Ω 10pF 负载		0.25		V/ μS
总谐波失真	$f_{\text{IN}} = 10\text{Hz}$		-70		dB
共模输入范围		AVSS + 0.3		AVDD - 0.3	V
负载电流			50		μA
静态功耗			20		μA
外部基准					
输入阻抗			5.6		k Ω
内部基准					
V_{REF} 内部基准电压	$T_A = 25^{\circ}\text{C}$, $V_{\text{REF}} = 2.4\text{V}$		2.4		V
	$T_A = 25^{\circ}\text{C}$, $V_{\text{REF}} = 4\text{V}$		4		V
V_{REF} 精度			$\pm 0.2\%$		
V_{REF} 漂移	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$		35		ppm/ $^{\circ}\text{C}$
V_{REF} 启动时间			150		ms
系统监控器					
读数误差	模拟电源		2%		
	数字电源		2%		
器件唤醒	从上电到 $\overline{\text{DRDY}}$ 为低电平		150		ms
	待机模式		31.25		μs
温度传感器读数	电压	$T_A = +25^{\circ}\text{C}$	145		mV
	系数		495		$\mu\text{V}/^{\circ}\text{C}$
测试信号	信号频率	请参阅寄存器映射部分	$f_{\text{CLK}}/2^{21}$, $f_{\text{CLK}}/2^{20}$		Hz
	信号电压	请参阅寄存器映射部分	$\pm 1, \pm 2$		mV
时钟					
内部振荡器时钟频率	标称频率		2.048		MHz
内部时钟精度	$T_A = +25^{\circ}\text{C}$			$\pm 0.5\%$	
	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$		$\pm 2.5\%$		
内部振荡器启动时间			20		μs
内部振荡器功耗			120		μW
数字输入/输出 (DVDD = 1.8V 至 3.6V)					
V_{IH} 高电平输入电压		0.8 DVDD		DVDD + 0.1	V
V_{IL} 低电平输入电压		-0.1		0.2 DVDD	V
V_{OH} 高电平输出电压	$I_{\text{OH}} = -500\mu\text{A}$	0.9 DVDD			V
V_{OL} 低电平输出电压	$I_{\text{OL}} = +500\mu\text{A}$			0.1 DVDD	V
输入电流	$0\text{V} < V_{\text{DigitalInput}} < \text{DVDD}$	-10		10	μA

电气特性 (continued)

最小值和最大值适用于 $T_A = -40^{\circ}\text{C}$ 至 105°C 。典型值适用于 $T_A = 25^{\circ}\text{C}$ 。若非另有说明，以下性能的测试条件为：AVDD = 3 V，AVSS = 0 V，DVDD = 1.8 V， $V_{\text{REF}} = 2.4\text{V}$ ， $f_{\text{CLK}}(\text{外部}) = 2.048\text{MHz}$ ，DR = 8kSPS，PGA 增益 = 1。

参数	测试条件		最小值	典型值	最大值	单位
电源 (内部运放关闭)						
I _{AVDD} AVDD 电流	SW3034	Normal mode, AVDD - AVSS = 3V	2.4		mA	
	SW3036		3.5			
	SW3038		4.6			
	SW3034	Normal mode, AVDD - AVSS = 5V	3			
	SW3036		4.3			
	SW3038		5.6			
I _{DVDD} DVDD 电流	SW3034	Normal mode, DVDD = 1.8V	0.38		mA	
	SW3036		0.42			
	SW3038		0.48			
	SW3034	Normal mode, DVDD = 3.3V	0.77			
	SW3036		0.86			
	SW3038		1			
功耗 (模拟电源 = 3V, 内部运放关闭)						
功耗	SW3034	正常模式	7.88		mW	
		断电模式	0.9		μW	
		待机模式	0.94		mW	
	SW3036	正常模式	11.3		mW	
		断电模式	0.9		μW	
		待机模式	0.96		mW	
	SW3038	正常模式	14.7		mW	
		断电模式	0.9		μW	
		待机模式	1.3		mW	
功耗 (模拟电源 = 5V, 内部运放关闭)						
功耗	SW3034	正常模式	15.7		mW	
		断电模式	35		μW	
		待机模式	2.4		mW	
	SW3036	正常模式	22.3		mW	
		断电模式	35		μW	
		待机模式	2.7		mW	
	SW3038	正常模式	28.9		mW	
		断电模式	35		μW	
		待机模式	3.0		mW	

7.6 时序要求：串行接口

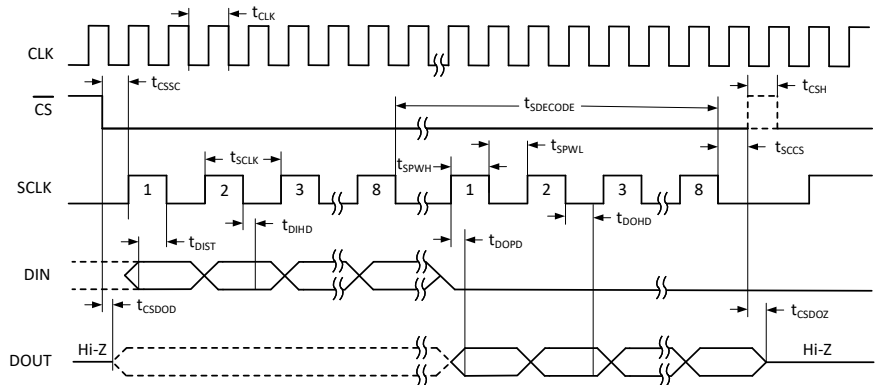
规格适用于 $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ （除非另有说明）；DOUT 上的负载 = $20\text{pF}||100\text{k}\Omega$ 。

参数		1.65V ≤ DVDD ≤ 5.25V		单位
		最小值	最大值	
t_{CLK}	主时钟周期	414	514	ns
t_{CSSC}	$\overline{\text{CS}}$ 低电平至第一个 SCLK，设置时间	17		ns
t_{SCLK}	SCLK 周期	66.6		ns
$t_{\text{SPWH,L}}$	SCLK 脉冲宽度，高电平和低电平结至电路板热阻	25		ns
t_{DIST}	DIN 有效至 SCLK 下降沿：设置时间	10		ns
t_{DIHD}	SCLK 下降沿之后的有效 DIN：保持时间	11		ns
t_{CSH}	$\overline{\text{CS}}$ 高电平脉冲	2		t_{CLK}
t_{SCCS}	第八个 SCLK 下降沿至 $\overline{\text{CS}}$ 高电平	4		t_{CLK}
t_{SDECODE}	命令解码时间	4		t_{CLK}
t_{DISCK2ST}	DAISY_IN 有效至 SCLK 上升沿：设置时间	10		ns
t_{DISCK2HT}	SCLK 上升沿之后 DAISY_IN 有效：保持时间	10		ns

7.7 开关特性：串行接口

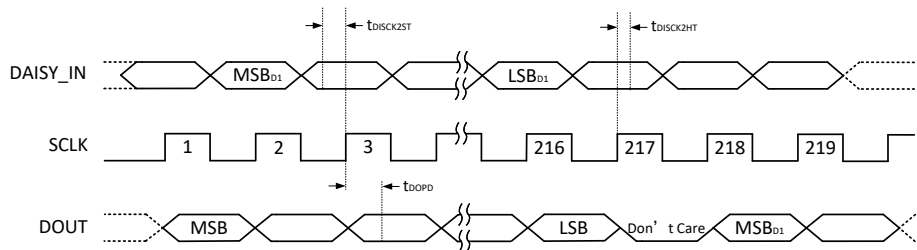
规格适用于 $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ （除非另有说明）。DOUT 上的负载 = $20\text{pF}||100\text{k}\Omega$ 。

参数		1.65V ≤ DVDD ≤ 5.25V		单位
		最小值	最大值	
t_{DOHD}	SCLK 下降沿至无效 DOUT：保持时间	10		ns
t_{DOPD}	SCLK 上升沿至 DOUT 有效：设置时间		32	ns
t_{CSDOD}	$\overline{\text{CS}}$ 低电平至 DOUT 驱动	20		ns
t_{CSDOZ}	高电平至 DOUT Hi-Z		20	ns



注意：SPI 设置为 CPOL = 0 且 CPHA = 1。通信为四线 SPI。

图 7-7-1. 串行接口时序



注意：显示的是八通道的菊花链时序。

图 7-7-2. 菊花链接口时序

7.8 典型特性

测试条件为 $T_A = 25^{\circ}\text{C}$, $AVDD = 3\text{V}$, $AVSS = 0\text{V}$, $DVDD = 1.8\text{V}$, 内部 $VREFP = 2.4\text{V}$, $VREFN = AVSS$, 外部时钟 = 2.048MHz , 数据速率 = 8kSPS , 增益 = 1(除非另有说明)。

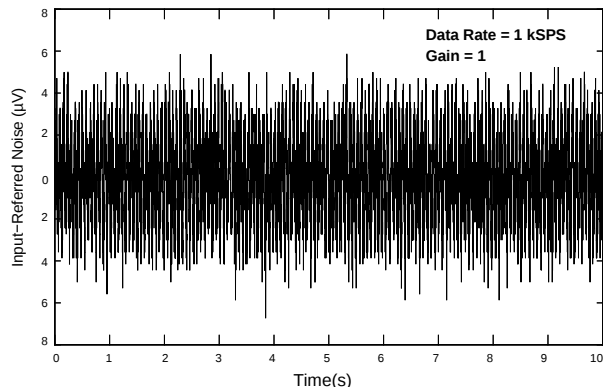


图 7-8-1.输入参考噪声

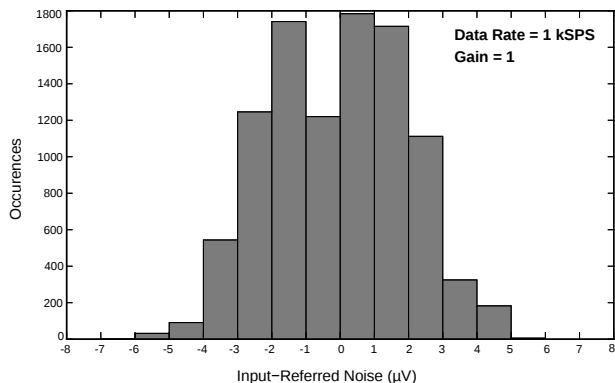


图 7-8-2.噪声直方图

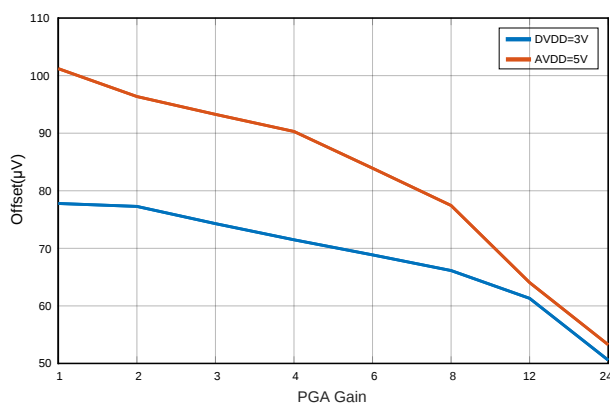


图 7-8-3.Offset Drift vs PGA Gain

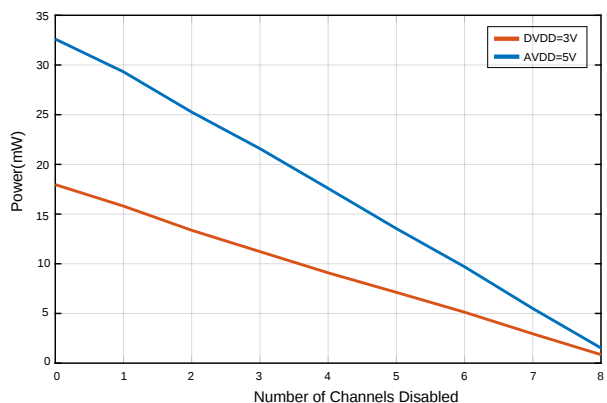


图 7-8-4.SW3038 Channel Power

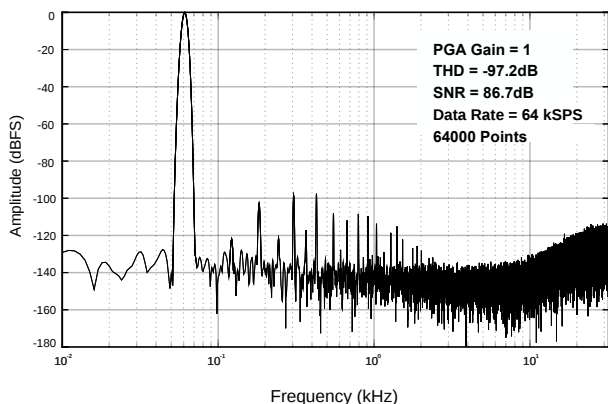


图 7-8-5.THD FFT图 (61Hz信号)

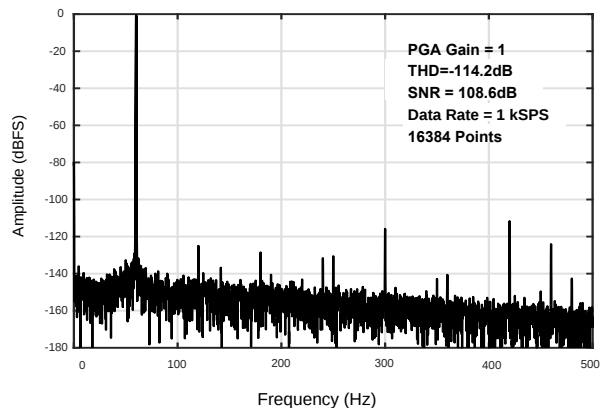
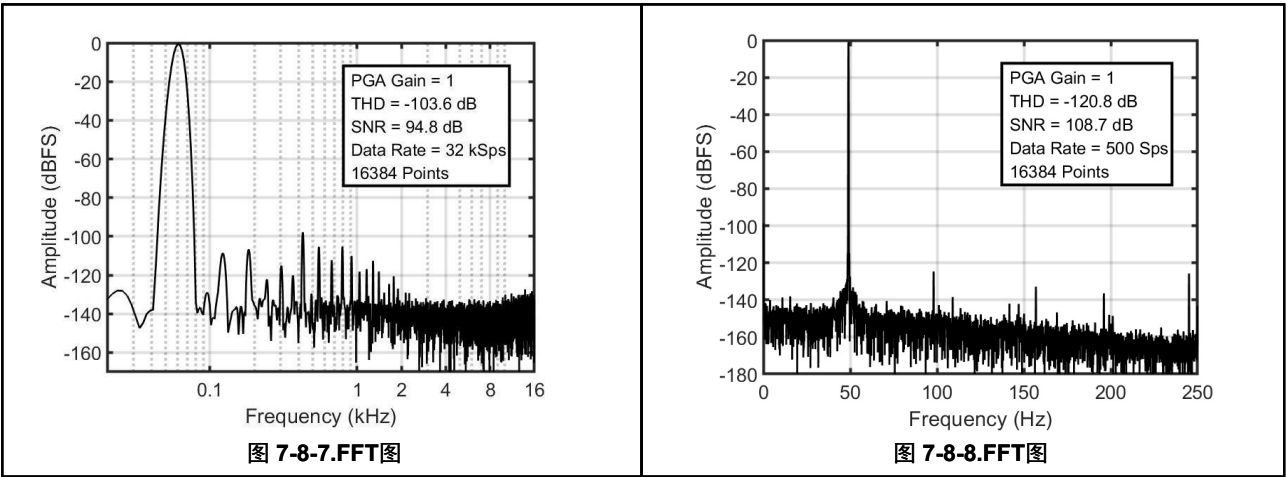


图 7-8-6.FFT图 (61Hz信号)

测试条件为 $T_A = 25^{\circ}\text{C}$, $AVDD = 3\text{V}$, $AVSS = 0\text{V}$, $DVDD = 1.8\text{V}$, 内部 $VREFP = 2.4\text{V}$, $VREFN = AVSS$, 外部时钟 = 2.048MHz , 数据速率 = 8kSPS , 增益 = 1(除非另有说明)。



8 参数测量信息

8.1 噪声测量

可通过调整数据速率和可编程增益放大器 (PGA) 增益, 以优化 SW303x 的噪声性能。当通过降低数据速率来增加平均次数时, 噪声会相应降低。提高 PGA 增益可降低输入参考噪声, 这在测量低电平信号时尤为有用。表 8-1-1 和表 8-1-2 总结了采用 3V 模拟电源时 SW303x 的噪声性能。表 8-1-3 和表 8-1-4 总结了采用 5V 模拟电源时 SW303x 的噪声性能。这些数据代表的是在环境温度 $T_A = 25^{\circ}\text{C}$ 时典型的噪声性能。所示数据是对多个器件的读数进行平均的结果, 并且是在将输入短接在一起的情况下测得的。每次计算均方根 (RMS) 噪声时, 至少会使用 1000 个连续读数。对于两个最高的数据速率而言, 噪声受模数转换器 (ADC) 量化噪声的限制, 且不具有高斯分布。表 8-1-1 至表 8-1-4 展示的是采用内部基准时测得的数据。这些数据也体现了在使用低噪声外部基准 (如 REF5025) 时, SW303x 在有效位数 (ENOB) 和动态范围方面所呈现的噪声性能。表 8-1-1 至表 8-1-4 中的有效位数 (ENOB) 数据是通过公式 1 计算得出的, 而动态范围数据则是通过公式 2 计算得出的。

$$\text{ENOB} = \log_2 \left| \frac{V_{\text{REF}}}{\sqrt{2} \times V_{\text{RMS_Noise}} \times \text{Gain}} \right| \quad (1)$$

$$\text{DynamicRange} = 20 \times \log_{10} \left| \frac{V_{\text{REF}}}{\sqrt{2} \times V_{\text{RMS_Noise}} \times \text{Gain}} \right| \quad (2)$$

表 8-1-1. 输入参考噪声, 3V 模拟电源和 2.4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益							
			x1		x2		x3		x4	
			动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB
0000	64000	14400	86.7	14.4	86.6	14.3	86.5	14.3	86.4	14.3
0001	32000	7200	104.9	17.4	103.3	17.2	101.9	16.7	100.6	16.7
0010	16000	3600	111.5	18.5	108.5	18.0	106.4	17.7	104.6	17.4
0011	8000	1800	114.2	19.0	111.4	18.5	109.3	18.2	107.5	17.9
0100	4000	900	116.8	19.3	114.8	19.1	112.8	18.6	111.6	18.3
0101	2000	450	118.1	19.6	116.1	19.3	114.5	19.0	113.0	18.8
0110	1000	225	119.3	19.8	117.9	19.6	116.6	19.4	115.3	19.2
1000	500	112.5	120.1	20.0	119.2	19.8	118.4	19.7	117.3	19.5
1001	250	56.25	120.8	20.1	120.2	20.0	119.6	19.9	118.9	19.8

(1) 至少使用了 1000 个连续读数来计算该表中的动态范围和 ENOB。

表 8-1-2. 输入参考噪声, 3V 模拟电源和 2.4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益							
			x6		x8		x12		x24	
			动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB
0000	64000	14400	86.1	14.3	85.8	14.2	84.9	14.1	82.2	13.7
0001	32000	7200	98.1	16.3	96.1	16.0	93.0	15.5	87.3	14.5
0010	16000	3600	101.6	16.9	99.4	16.5	96.1	16.0	90.3	15.0
0011	8000	1800	104.6	17.4	102.4	17.0	99.1	16.5	93.3	15.5
0100	4000	900	107.5	17.9	105.3	17.5	102.1	17.0	96.3	16.0
0101	2000	450	110.3	18.3	108.2	18.0	105.0	17.4	99.2	16.5
0110	1000	225	113.0	18.8	111.0	18.4	107.9	17.9	102.2	17.0
1000	500	112.5	115.4	19.2	113.6	18.9	110.7	18.4	105.2	17.5
1001	250	56.25	117.4	19.5	116.0	19.3	113.4	18.8	108.0	17.9

(1) 至少使用了 1000 个连续读数来计算该表中的动态范围和 ENOB。

表 8-1-3. 输入参考噪声，5V 模拟电源和 4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益							
			×1		×2		×3		×4	
			动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB
0000	64000	14400	87.6	14.6	87.7	14.6	87.7	14.6	87.6	14.5
0001	32000	7200	107.0	17.8	106.0	17.6	105.0	17.4	104.1	17.3
0010	16000	3600	117.0	19.1	112.5	18.7	110.6	18.4	109.0	18.1
0011	8000	1800	118.5	19.7	117.0	19.4	115.6	19.2	114.3	19.0
0100	4000	900	119.6	19.9	118.6	19.7	117.5	19.5	116.4	19.3
0101	2000	450	120.1	20.0	119.6	19.9	118.9	19.7	118.1	19.6
0110	1000	225	120.6	20.0	120.2	20.0	119.9	19.9	119.3	19.8
1000	500	112.5	120.9	20.1	120.7	20.0	120.5	20.0	120.2	20.0
1001	250	56.25	120.9	20.1	120.7	20.0	120.5	20.0	120.2	20.0

(1) 至少使用了 1000 个连续读数来计算该表中的动态范围和 ENOB。

表 8-1-4. 输入参考噪声，5V 模拟电源和 4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益							
			×6		×8		×12		×24	
			动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB	动态范围 (dB)	ENOB
0000	64000	14400	87.4	14.5	87.2	14.5	86.8	14.4	85.2	14.1
0001	32000	7200	102.1	17.0	100.4	16.7	97.5	16.2	92.0	15.3
0010	16000	3600	106.2	17.6	104.0	17.3	100.8	16.7	95.0	15.8
0011	8000	1800	109.1	18.1	107.0	17.8	103.8	17.2	98.0	16.3
0100	4000	900	111.8	18.6	109.8	18.2	106.7	17.7	100.9	16.8
0101	2000	450	114.3	19.0	112.5	18.7	109.6	18.2	103.9	17.3
0110	1000	225	116.5	19.3	114.9	19.1	112.2	18.6	106.8	17.7
1000	500	112.5	118.2	19.8	117.0	19.4	114.7	19.1	109.7	18.2
1001	250	56.25	119.4	19.8	118.6	19.7	116.9	19.4	112.3	18.7

(1) 至少使用了 1000 个连续读数来计算该表中的动态范围和 ENOB。

9 详细说明

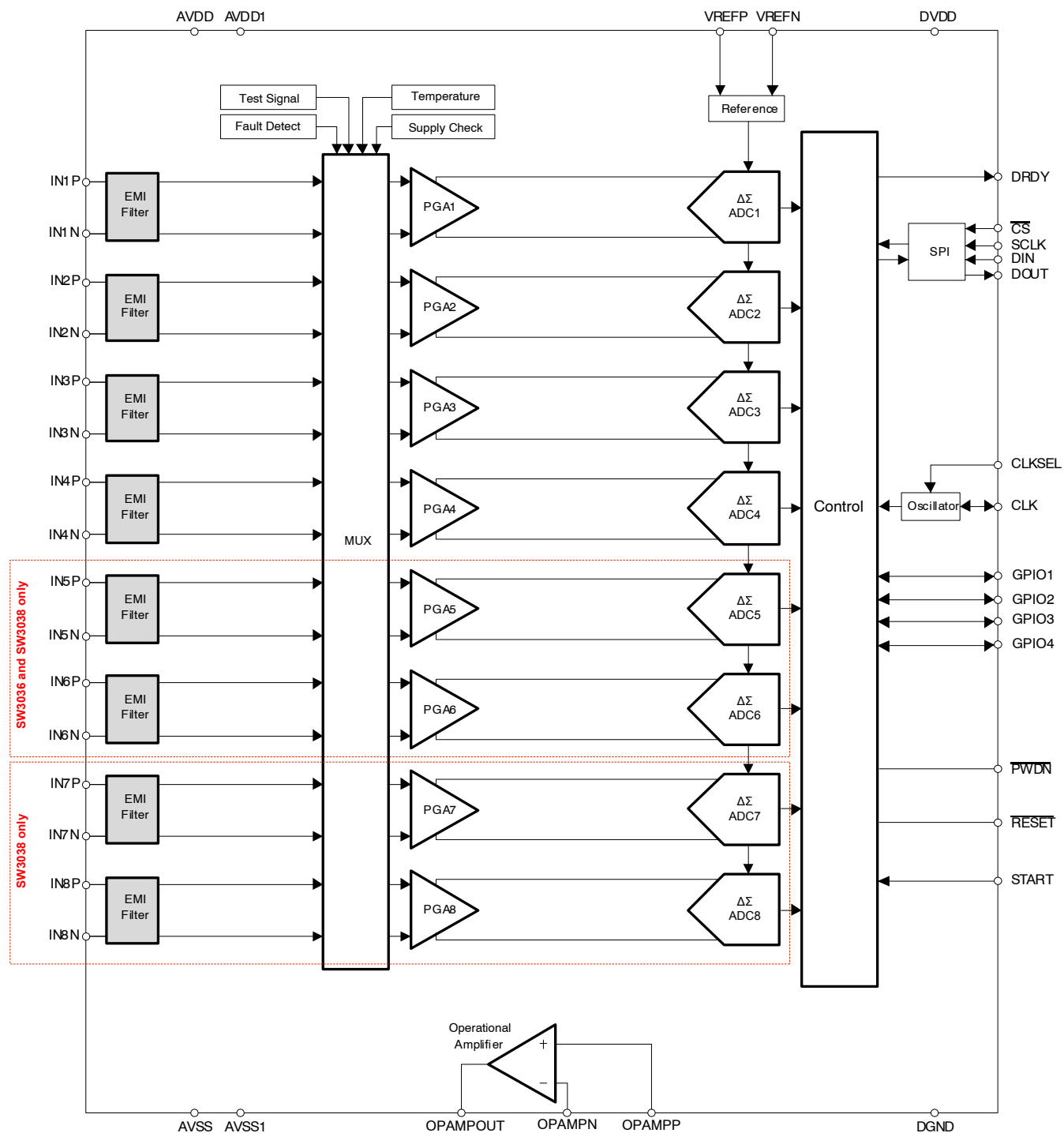
9.1 概要

SW303x 系列是低功耗、多通道、同步采样的 24 位 $\Delta\Sigma$ 模数转换器 (ADC)，集成了可编程增益放大器 (PGA)。其模拟器件性能在可扩展的数据速率范围内表现出色，这使得该器件非常适用于智能电网以及其他工业电力监测、控制和保护应用。

SW303x 器件具备可编程多路复用器，能够对各种内部监测信号进行测量，包括温度、电源以及用于器件噪声测试的输入短路情况。PGA 增益可从 1、2、3、4、8、12 或 24 这七个设置中任选其一。该器件中的 ADC 提供 250SPS 至 64kSPS 的数据速率，这些器件通过 SPI 接口进行通信。器件提供了四个通用输入 / 输出 (GPIO) 引脚以供常规使用。可使用多个器件轻松为系统增加通道，并通过“启动”引脚实现它们之间的同步。

可将内部基准编程设置为 2.4 V 或 4 V。内部振荡器能产生一个 2.048 MHz 的时钟。利用集成的且带有可编程触发点的比较器来进行输入超量程或欠量程检测。如下是 SW303x 的详细功能框图。

9.2 功能方框图



9.3 特性说明

该部分介绍 SW303x 内部功能元件的详细信息。首先介绍模拟模块，然后介绍数字接口。

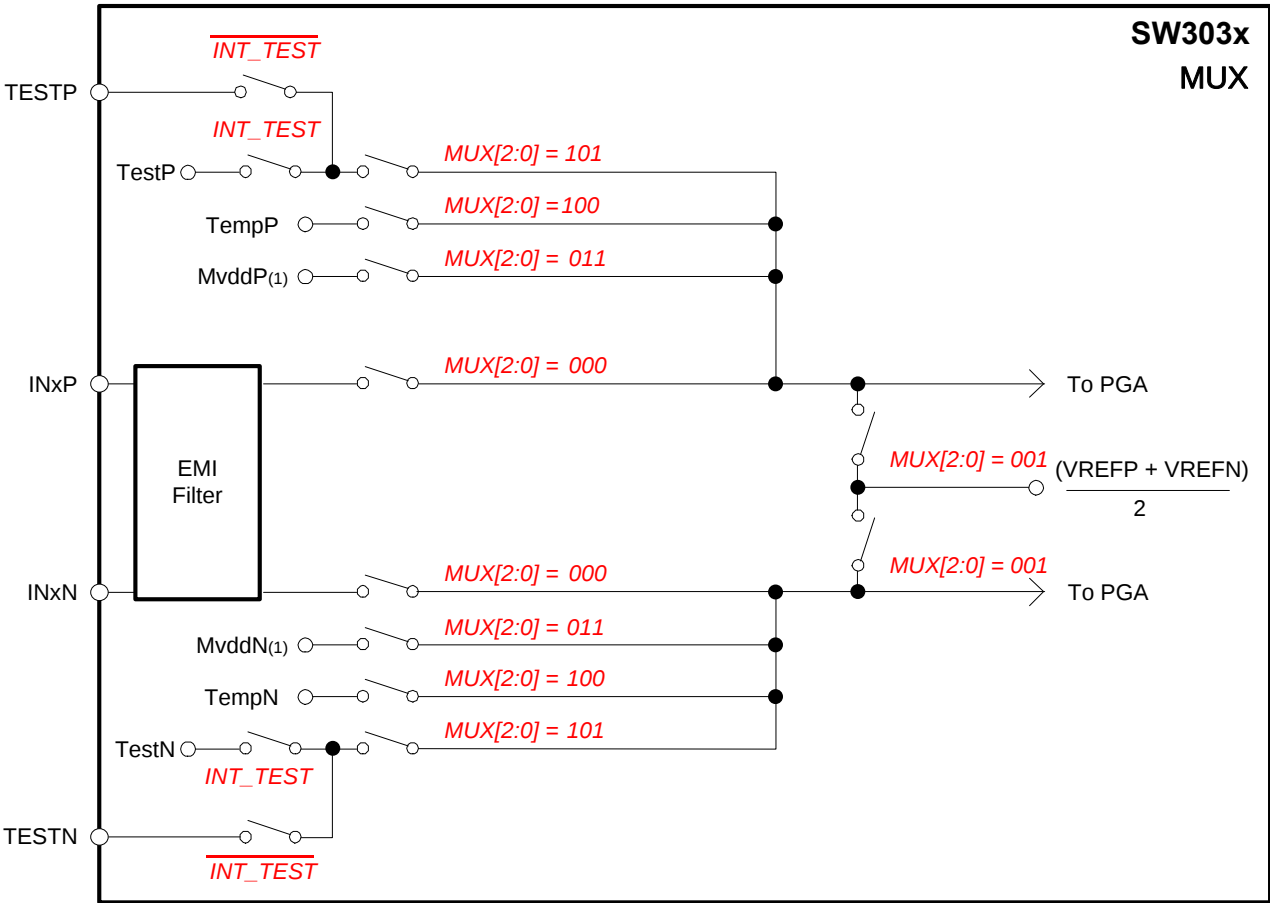
在整个文档中， f_{CLK} 表示 CLK 引脚上的信号频率， t_{CLK} 表示 CLK 引脚上信号的周期， f_{DR} 表示输出数据速率， t_{DR} 表示输出数据的时长， f_{MOD} 表示调制器输入采样频率。

9.3.1 EMI 滤波器

输入端的 RC 滤波器用作所有通道的 EMI 滤波器。-3dB 滤波器带宽大约为 3MHz。

9.3.2 输入多路复用器

SW303x 的输入多路复用器灵活性很强，能提供诸多可配置的信号切换选项。图 9-3-1 展示了该器件单个通道上多路复用器的示意图。对于四个、六个或八个模块 (取决于具体器件) 中的每一个而言， $INxP$ (正输入) 和 $INxN$ (负输入) 都是相互独立的。这种灵活性使得器件及子系统能够进行重要的诊断、校准以及配置工作。每个通道的开关设置是通过向 $CHnSET$ 寄存器写入相应的值来选定的 (有关详细信息，请参阅寄存器映射部分中的 $CHnSET$ 寄存器)。每个多路复用器的输出都连接到相应通道的可编程增益放大器 (PGA) 上。



(1) MVDD 监控器的电压供应取决于通道数量；请参阅电源测量 (MVDDP、MVDDN) 部分。

图 9-3-1. 一个通道的输入多路复用器块

9.3.2.1 器件噪声测量

设置 CHnSET[2:0] = 001 可以为该通道的两个输入设置共模电压 $[(V_{REFP} + V_{REFN})/2]$ 。使用该设置可测试该器件的固有噪声。

9.3.2.2 测试信号 (TestP 和 TestN)

设置 CHnSET[2:0] = 101 可提供内部生成的测试信号,以在上电时用于子系统验证。可利用该功能测试整个信号链。虽然测试信号类似于 IEC60601-2-51 规范中所述的 CAL 信号,但该功能不适用于合规性测试。

可使用寄存器设置来控制测试信号 (有关详细信息, 请参阅 [CONFIG2: 配置寄存器 2\(地址 = 02h\)\(复位 = 80h\)](#) 部分)。TEST_AMP 位控制信号振幅, TEST_FREQ 位控制以所需频率进行的开关。

测试信号经过多路复用后, 通过 TESTP 和 TESTN 引脚从该器件向外传输。位寄存器 (CONFIG2.INT_TEST = 0) 禁用内部测试信号, 以便可以从外部驱动测试信号。此功能允许使用相同的信号对多个器件进行测试或校准。

9.3.2.3 温度传感器 (TempP、TempN)

SW303x 包含一个片上温度传感器。该传感器使用两个内部二极管, 其中一个二极管的电流密度是另一个二极管的 16 倍, 如图 9-3-2 所示。二极管的电流密度的差异可产生与绝对温度成比例的电压差。

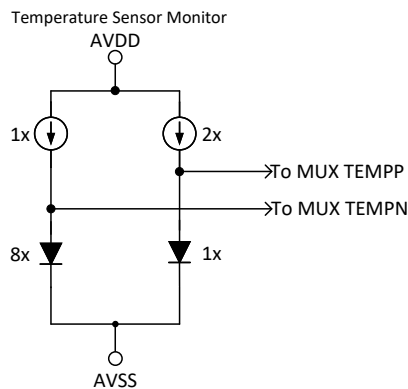


图 9-3-2. 输入端的温度传感器测量

由于封装到印刷电路板 (PCB) 的低热阻, 内部传感器可密切跟踪 PCB 温度。SW303x 的自发热会导致读数高于周围 PCB 的温度。

等式 1 的比例因子可将温度读数转换为 $^{\circ}\text{C}$ 。在使用该公式之前, 应将温度读数代码转换为 μV 。

$$\text{Temperature}(^{\circ}\text{C}) = \left[\frac{\text{Temperature Reading}(\mu\text{V}) - 144,890 \mu\text{V}}{495 \mu\text{V}/^{\circ}\text{C}} \right] + 25^{\circ}\text{C} \quad (3)$$

9.3.2.4 电源测量 (MVDDP、MVDDN)

设置 CHnSET[2:0] = 011 可以设置该器件不同电源电压的通道输入。

对于通道 1、2、5、6、7 和 8, $(MVDDP - MVDDN) = [0.5 \times (AVDD - AVSS)]$ 。

对于通道 3 和 4, $(MVDDP - MVDDN) = DVDD/4$ 。

为避免在测量电源时使 PGA 饱和, 请将增益设置为 1。

9.3.3 模拟输入

SW303x 的模拟输入直接连接到一个集成的低噪声、低漂移、高输入阻抗的可编程增益放大器上。这个放大器位于各个通道多路复用器之后。SW303x 的模拟输入是全差分输入。假设 $\text{PGA} = 1$, 差分输入 (INP-INN) 可以跨越 $-V_{REF}$ 到 V_{REF} 。INP 和 INN 的绝对范围必须介于 $AVSS - 0.3\text{V}$ 和 $AVDD + 0.3\text{V}$ 之间。有关模拟输入和数字代码之间相关性的说明, 请参阅表 9-5-1。如图 9-3-3 和图 9-3-4 所示, 可通过两种一般方法来驱动 SW303x 的模拟输入: 单端和差分。在差分输入方法中, INP 和 INN 具有 180° 的相位差。当输入是单端输入时, INN 输入保持在共模电

压 (CM)，最好处于中位电压。INP 输入围绕相同的共模电压摆动，峰峰值幅度 $CM - V_{REF}$ 摆动到 $CM + V_{REF}$ 。当输入是差分输入时，共模电压由 $(INP + INN)/2$ 给出。INP 和 INN 输入都从 $CM + \frac{1}{2}V_{REF}$ 摆动至 $CM - \frac{1}{2}V_{REF}$ 。为了获得最佳性能，应在差分配置中使用 SW303x 器件。

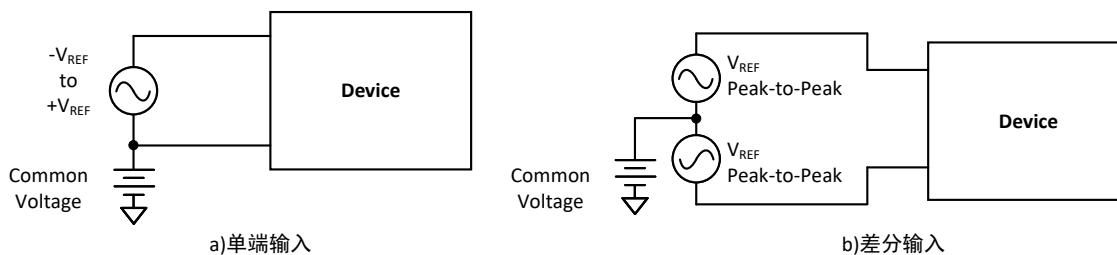


图 9-3-3. 驱动 SW303x 的方法：单端或差分

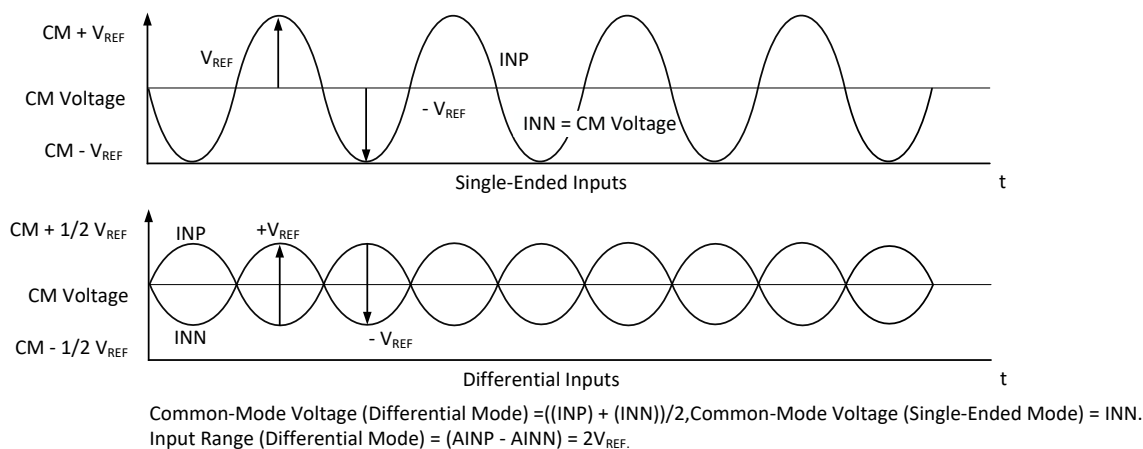


图 9-3-4. 以单端和差分输入模式使用 SW303x

如果有任何模拟输入通道未被使用，那么可使用寄存器位将这些引脚断电以节省功耗。如需了解有关如何对单个通道进行断电的更多信息，请参阅 [SPI 命令定义](#) 部分。应将任何未使用或已断电的模拟输入引脚直接连接到模拟电源引脚 (AVDD)。

9.3.4 PGA 设置和输入范围

PGA 是差分输入和差分输出放大器，如图 9-3-5 所示。PGA 具有八种增益设置 (1、2、3、4、6、8、12 和 24)，可通过对 CHnSET 寄存器进行写入来实现这些设置 (请参阅 [CHnSET: 各个通道设置 \(n = 1 至 8\)\(地址 = 05h 至 0Ch\)\(复位 = 00h\)](#) 部分)。SW303x 具有 CMOS 输入，因此具有可忽略的电流噪声。表 9-3-1 显示了各种增益设置的带宽典型值。表 9-3-1 显示了小信号带宽。

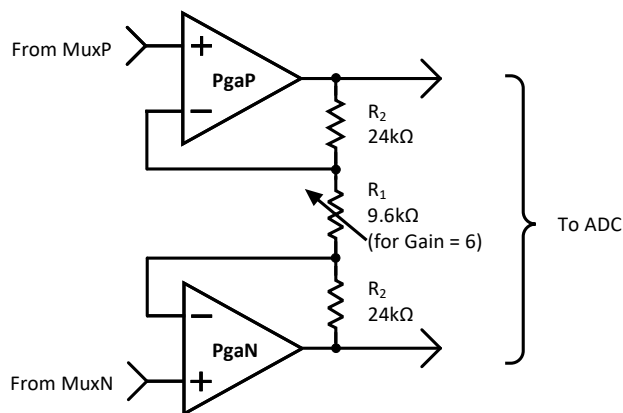


图 9-3-5. PGA 实现方式

表 9-3-1.PGA 增益与小信号带宽间的关系

增益	室温下的标称带宽 (kHz)
1	372
2	328
3	292
4	273
6	247
8	226
12	195
24	136

实现增益的 PGA 电阻器串具有 57.6kΩ 的电阻, 增益为 6。在存在差分输入信号的情况下, 该电阻可提供跨 PGA 输出的电流路径。该电流是在输入端存在差分信号时为器件指定的静态电流的补充。

9.3.4.1 输入共模范围

前端的可用输入共模范围取决于各种参数, 包括最大差分输入信号、电源电压、PGA 增益等。等式 2 说明了该范围:

$$AVDD - 0.2V - \left[\frac{\text{Gain} \times V_{\text{MAX_DIFF}}}{2} \right] > CM > AVSS + 0.2V + \left[\frac{\text{Gain} \times V_{\text{MAX_DIFF}}}{2} \right] \quad (4)$$

其中

- $V_{\text{MAX_DIFF}}$ = PGA 输入端的最大差分信号
- CM = 共模范围

例如: 如果 $V_{DD} = 3V$, Gain = 6, $V_{\text{MAX_DIFF}} = 350\text{mV}$, 则 $1.25V < CM < 1.75V$ 。

9.3.5 ADC Δ - Σ 调制器

SW303x 的每个通道都具有一个 24 位 Δ - Σ ADC。该转换器使用针对低功耗应用进行了优化的三阶调制器。对于高分辨率 (HR) 模式, 调制器以 $f_{\text{MOD}} = f_{\text{CLK}}/4$ 的速率对输入信号进行采样, 对于低功耗 (LP) 模式, 以 $f_{\text{MOD}} = f_{\text{CLK}}/8$ 的速率进行采样。与任何 Δ - Σ 调制器的情况一样, SW303x 的噪声会整形到 $f_{\text{MOD}}/2$ 。可使用数字抽取滤波器部分中介绍的片上数字抽取滤波器来滤除较高频率的噪声。这些片上抽取滤波器还提供抗混叠滤波。 Δ - Σ 转换器的这一特性可极大地降低奈奎斯特 ADC 通常所需的模拟抗混叠滤波器的复杂性。

9.3.6 时钟

SW303x 提供两种不同的器件计时方法: 内部和外部。内部时钟非常适合低功耗、电池供电的系统。内部振荡器针对室温下的精度进行了修整。该精度在指定的温度范围内变化; 请参阅电气特性。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位进行控制。

使用 CLKSEL 引脚选择内部或外部时钟。CONFIG1 寄存器中的 CLK_EN 位启用和禁用要在 CLK 引脚输出的振荡器时钟。表 9-3-2 显示了这两个引脚的真值表。在关断期间, 建议关闭外部时钟以省电。

表 9-3-2. CLKSEL 引脚和 CLK_EN 位

CLKSEL 引脚	CONFIG1.CLK_EN 位	时钟源	CLK 引脚状态
0	X	外部时钟	输入: 外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出: 内部时钟振荡器

9.3.7 数字抽取滤波器

数字滤波器接收调制器输出的比特流, 并对数据流进行抽取。抽取率决定了生成输出数据字所采用的采样数量, 它是通过调制器速率除以数据速率 ($f_{\text{MOD}}/f_{\text{DR}}$) 来设定的。通过调整抽取率, 可以在分辨率和数据速率之间进行权衡: 较高的抽取率可实现更高的分辨率 (从而产生更低的数据速率), 而较低的抽取率会降低分辨率, 但能以更高的数据速率实现更宽的带宽。在电力应用中通常会使用较高的数据速率, 这类应用会采用软件重采样技术, 以帮助实现电压和电流的通道间相位调整。

每个通道上的数字滤波器由一个四阶 Sinc 滤波器组成。Sinc 滤波器上的抽取率由 CONFIG1 寄存器中的 DR 位进行调整 (有关详细信息, 请参阅表 9-6-1)。该设置是可影响所有通道的全局设置; 因此, 在这些器件中, 所有通道都以相同的数据速率运行。

Sinc 滤波器是可变抽取率四阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供给滤波器的该部分。Sinc 滤波器可使调制器的高频噪声衰减，然后将数据流抽取为并行数据。抽取率会影响转换器的整体数据速率。

等式 5 显示了 Sinc 滤波器的缩放 Z 域传递函数。

$$|H(Z)| = \left| \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^4 \quad (5)$$

等式 6 显示了 Sinc 滤波器的频域传递函数。

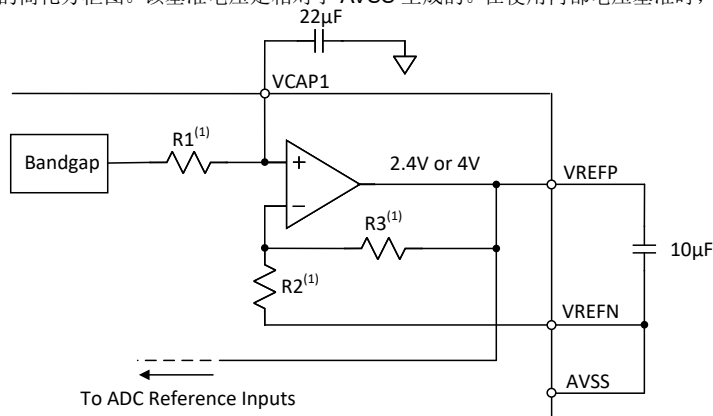
$$|H(f)| = \left| \frac{\sin\left(\frac{N\pi f}{f_{MOD}}\right)}{N \times \sin\left(\frac{\pi f}{f_{MOD}}\right)} \right|^4 \quad (6)$$

其中 N = 抽取率。

Sinc 滤波器具有以输出数据速率倍数出现的陷波 (或零点)。输入端出现阶跃变化时，滤波器需要 3 个 t_{DR} 转换周期才能稳定。在 START 引脚的上升沿或 START 命令完成后，滤波器需要多个 t_{SETTLE} 周期来提供第一个数据输出。SPI 接口部分的启动模式小节介绍了滤波器在各种数据速率下的建立时间。

9.3.8 基准

图 9-3-6 显示了 SW303x 内部基准的简化方框图。该基准电压是相对于 AVSS 生成的。在使用内部电压基准时，需要将 VREFN 连接到 AVSS。



(1) 对于 $V_{REF} = 2.4V$: $R1 = 12.5k\Omega$, $R2 = 25k\Omega$, $R3 = 25k\Omega$ 。对于 $V_{REF} = 4V$: $R1 = 10.5k\Omega$, $R2 = 15k\Omega$, $R3 = 35k\Omega$ 。

图 9-3-6. 内部基准

外部频带限制电容器可决定基准噪声贡献量。对于高端系统而言，请选择带宽限制为 10Hz 以下的电容器值，以便基准噪声不会成为系统噪声的主要来源。在使用 3V 模拟电源时，应将内部基准设置为 2.4V。对于 5V 模拟电源，应通过设置 CONFIG2 寄存器中的 VREF_4V 位置将内部基准设置为 4V。

或者，可以关闭内部基准缓冲器的电源，并可以在外部应用 VREFP。图 9-3-7 显示了典型的外部基准驱动电路。断电由 CONFIG3 寄存器中的 PD_REFBUF 位进行控制。默认情况下，该器件在外部基准模式下唤醒。

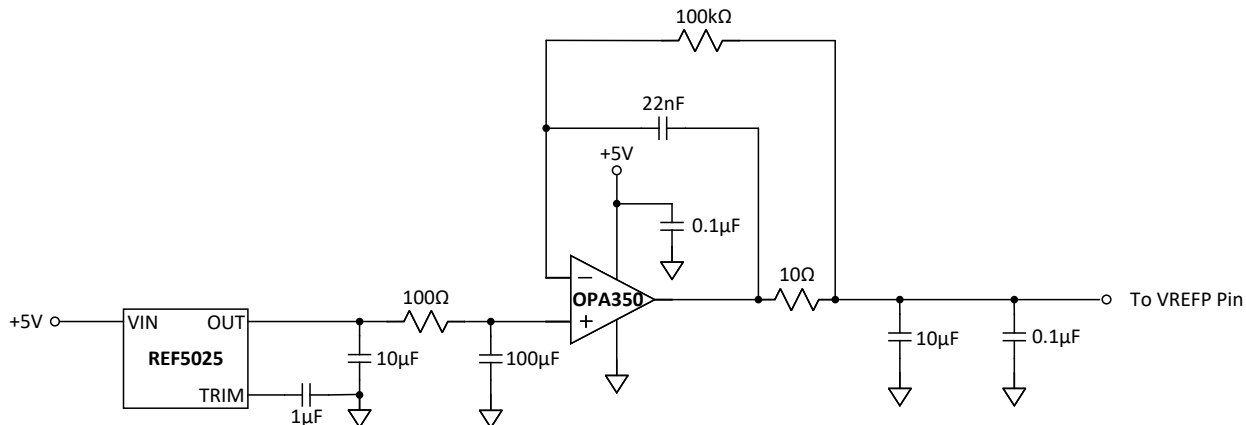


图 9-3-7. 外部基准驱动器

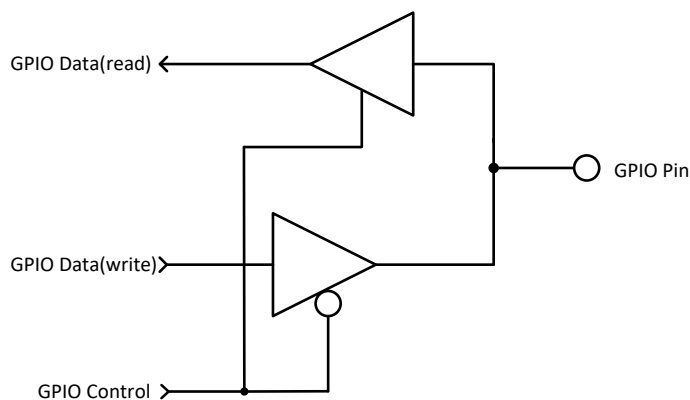
9.3.9 输入超出范围检测

SW303x 集成了比较器,用于检测输入信号的超出范围的情况。基本原理是将输入电压与基于模拟电源的 3 位数模转换器 (DAC) 设置的阈值电压进行比较。比较器触发阈值电平由 FAULT 寄存器中的 COMP_TH[2:0] 位设置。如果 SW303x 由 +3V 电源供电,并且 COMP_TH[2:0] = 000(95% 和 5%),则高端触发阈值设置为 2.85V[等于 $AVSS + (AVDD - AVSS) \times 95\%$],低端阈值设置为 0.15V[等于 $AVSS + (AVDD - AVSS) \times 5\%$]。通过使用 COMP_TH[2:0] 位设置适当的阈值水平可以检测到故障状态。要确定哪些输入超出范围,请单独读取 FAULT_STATP 和 FAULT_STATN 寄存器,或读取作为输出数据流一部分的 FAULT_STATx 位;请参阅数据输出 (DOUT) 部分。

9.3.10 GPIO 引脚

SW303x 在正常工作时总共有四个通用数字输入/输出 (GPIO) 引脚。数字 I/O 引脚可通过 GPIO 寄存器的 GPIOC 位单独配置为输入或输出。GPIO 寄存器中的 GPIOD 位控制引脚的电平。在读取 GPIOD 位时, 返回的数据是引脚的逻辑电平, 无论它们是编程为输入还是输出都是如此。当 GPIO 引脚配置为输入时, 对相应 GPIOD 位的写入无效。当配置为输出时, 对 GPIOD 位的写入会设置输出值。

如果配置为输入，则必须驱动这些引脚；请勿将这些引脚悬空。在上电或复位之后，GPIO 引脚会设置为输入。图 9-3-8 显示了 GPIO 端口结构。如果未使用这些引脚，则通过 10KΩ 电阻直接连接到数字地 DGND。



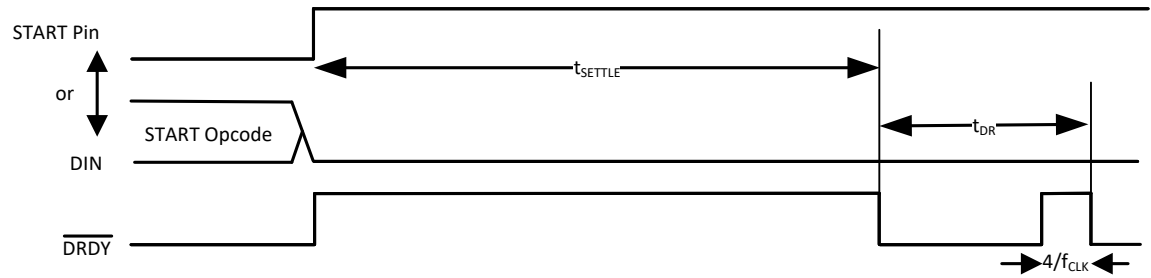


图 9-4-1. 建立时间

表 9-4-1. 不同数据速率的建立时间 (t_{SETTLE})

DR[3:0]	建立时间 (t_{CLK} 周期)	UNIT
0000	98	t_{MOD}
0001	194	t_{MOD}
0010	386	t_{MOD}
0011	770	t_{MOD}
0100	1538	t_{MOD}
0101	3074	t_{MOD}
0110	6146	t_{MOD}
1000	12290	t_{MOD}
1001	24578	t_{MOD}
others	6146	t_{MOD}

9.4.1.2 输入信号阶跃

当设备正在转换并且输入信号发生阶跃变化时，输出数据需要 $3t_{DR}$ 的延迟才能设置。设置的数据在 $\overline{DRDY}$ 脉冲上可用。在第四次 $\overline{DRDY}$ 脉冲之前，可以在每个 $\overline{DRDY}$ 低电平转换时读取数据，但建议忽略。图 9-4-显示了模拟输入上输入阶跃或输入瞬态事件完全稳定所需的等待时间。

9.4.2 复位 ($\overline{RESET}$ 引脚和复位命令)

可通过两种方法来对 SW303x 进行复位：将 $\overline{RESET}$ 引脚拉至低电平，或发送 RESET 操作码命令 (请参阅 [RESET：将寄存器重置为默认值](#) 部分)。将 $\overline{RESET}$ 引脚置于低电平可强制进行复位。在将 $\overline{RESET}$ 引脚重新置为高电平之前，确保遵循最小脉冲宽度时序规格。RESET 命令在操作码命令的第八个 SCLK 下降沿生效。复位后，需要 18 个 t_{CLK} 周期才能将配置寄存器初始化为默认状态并启动转换周期。有关更多信息，请参阅 [RESET：将寄存器重置为默认值](#) 部分。只要使用 WREG 命令将寄存器 CONFIG1 设置为新值时，就会自动向数字滤波器发出内部复位命令。

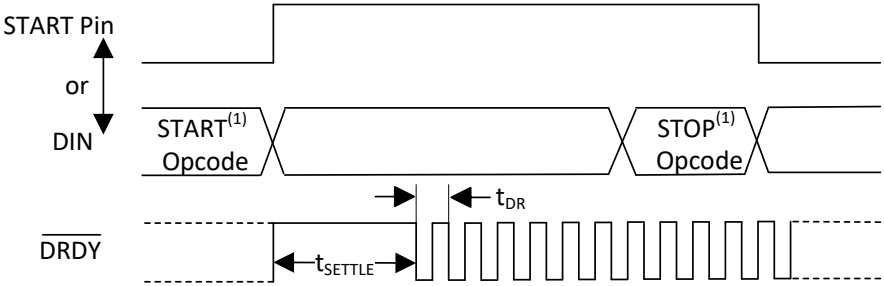
9.4.3 关断引脚 ($\overline{PWDN}$)

将 $\overline{PWDN}$ 拉至低电平后，所有片上电路都会断电。要退出关断模式，请将 $\overline{PWDN}$ 引脚置于高电平。一旦退出关断模式，内部振荡器和基准就需要一段时间才能唤醒。在关断期间，关闭外部时钟以省电。

9.4.4 连续转换模式

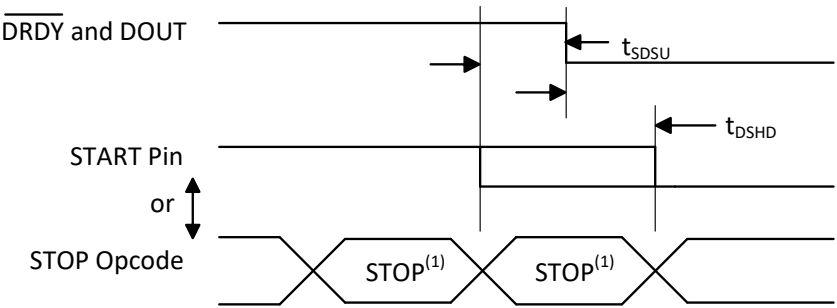
当 START 引脚被置于高电平并至少保持两个 t_{CLK} 或发送 START 操作码命令时，将开始进行转换。如图 9-4-2 所示， $\overline{DRDY}$ 会在转换开始后变为高电平，并在数据就绪后变为低电平。转换会无限期地持续下去，直到 START 引脚被置为低电平或发送 STOP 操作码命令。开机之后，芯片默认工作在连续转换模式。表 9-4-3 显示了在该模式下控制转换时 START 引脚以及 START 和 STOP 操作码命令所需的 $\overline{DRDY}$ 时序。

注意：当 START 引脚被拉为低电平或发出停止命令时，数据的转换不会立刻停止，而是要等到当前转换的数据完成之后才停下。



(1) START 和 STOP 操作码命令会在第七个 SCLK 下降沿生效。

图 9-4-2. 连续转换模式



(1) START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

图 9-4-3. START 至 DRDY 时序

表 9-4-2. 图 9-4-3 的时序要求 (1)

	最小值	最大值	单位
t_{SDSU} START 引脚置于低电平或向 DRDY 发送 STOP 操作码以中止进一步转换的设置时间	16		t_{CLK}
t_{DSHD} START 引脚置于低电平或发送 STOP 操作码以完成当前转换	16		t_{CLK}

9.4.5 数据检索

9.4.5.1 数据就绪引脚 (DRDY)

当 DRDY 转换为低电平时，新转换数据就绪。CS 信号对 DRDY 没有任何影响。DRDY 的行为由设备是由 RDATA 还是 RDATA 模式来决定。有关更多详细信息，请参阅 RDATA：连续读取数据和 RDATA：读取数据部分。

使用 RDATA 命令读取数据时，读取操作可能与出现的下一个 DRDY 重叠，但不会导致数据损坏。

使用 START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

图 9-4-4 显示了数据检索期间 DRDY、DOUT 和 SCLK 之间的关系。DOUT 在 SCLK 的上升沿锁存。无论 CS 的状态如何、从器件检索数据还是通过 DIN 引脚发送命令，器件都会在 SCLK 的第一个下降沿将 DRDY 拉为高电平。

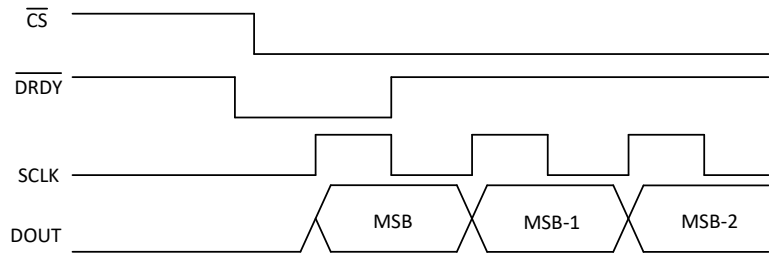


图 9-4-4. 有数据检索时的 $\overline{\text{DRDY}}(\overline{\text{CS}} = 0)$

无论 $\overline{\text{CS}}$ 的状态如何，都会在第一个 SCLK 下降沿清除 $\overline{\text{DRDY}}$ 信号。即使没有数据随时钟输出，也仍然会清除 $\overline{\text{DRDY}}$ 信号。如果使用 SPI 总线与同一总线上的其他器件进行通信，请考虑此情况。图 9-4-5 显示了该多路复用的时序图。

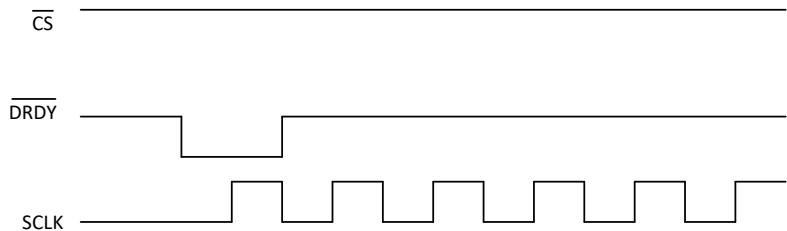


图 9-4-5. SPI 总线多路复用的 $\overline{\text{DRDY}}$ 和 SCLK 行为

9.4.5.2 数据回读

可通过以下两种方法之一完成数据检索：

1. **RDATAC**：连续读取数据命令设置在不发送操作码的情况下连续读取数据的器件模式。有关更多详细信息，请参阅 [RDATAC：连续读取数据](#) 部分。
2. **RDATA**：读取数据命令仅从器件中读取一个数据输出。有关更多详细信息，请参阅 [RDATA：读取数据](#) 部分。有关更多详细信息，请参阅 [SPI 命令定义](#) 部分。

可通过在 DOUT 上移出数据来读取转换数据。DOUT 上数据的 MSB 在第一个 SCLK 上升沿随时钟输出。 $\overline{\text{DRDY}}$ 会在第一个 SCLK 下降沿返回至高电平。在整个读取操作期间将 DIN 保持为低电平。

9.4.5.3 状态字

SW303x 数据读回之前是一个状态字，用于提供有关 ADC 状态的信息。状态字的长度为 24 位，其中包含 LOFF_STATP、LOFF_STATN 和部分 GPIO 寄存器的值。图 9-4-6 显示了内容对齐。

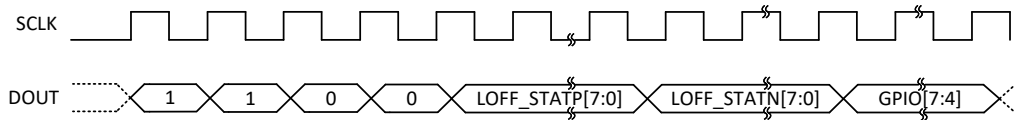


图 9-4-6. 状态字内容

9.4.5.4 读回长度

数据输出中的位数取决于通道数和每个通道的位数。每个通道数据的数据格式是二进制补码，MSB 在前。数据位数为 24 个状态位 + 每个通道 24 位 × 8 个通道 = 216 位。使用用户寄存器设置使通道断电时，相应的通道输出会设置为 0。不过，通道输出序列保持不变。

SW303x 还提供多回读功能。将 CONFIG1 寄存器中的 DAISY_IN 位设置为 1 可实现多回读功能。只需提供额外的 SCLK 即可多次读取数据；读取最后一个字节后 MSB 数据字节会重复。

9.5 编程

9.5.1 数据格式

SW303x 芯片会以二进制补码格式在每个通道输出 24 位的数据，MSB 在前。LSB 具有 $V_{REF}/(2^{23}-1)$ 的权重。正满量程输入可生成输出代码 7FFFFFFh，负满量程输入可生成输出代码 800000h。输出在这些代码处针对超出满量程的信号进行削波。表 9-5-1 总结了不同输入信号的理想输出代码。当模拟输入处于正的或负的满量程时，所有 24 位输出触发。

表 9-5-1. 理想输出代码与输入信号间的关系 ⁽¹⁾

输入信号 $V_{IN}(INxP-INxN)$	理想输出代码
$\geq V_{REF}$	7FFFFFFh
$V_{REF}/(2^{23}-1)$	000001h
0	000000h
$-V_{REF}/(2^{23}-1)$	FFFFFFh
$\leq -V_{REF} (2^{23}/2^{23}-1)$	800000h

(1) 仅对 24 位分辨率数据速率有效 (增益 = 1)。

(2) 排除噪声、线性、偏移和增益误差的影响。

ADC 经过抽取滤波之后，为了数据更准确提供了增益误差和直流误差的补偿，如图 9-5-1 所示。

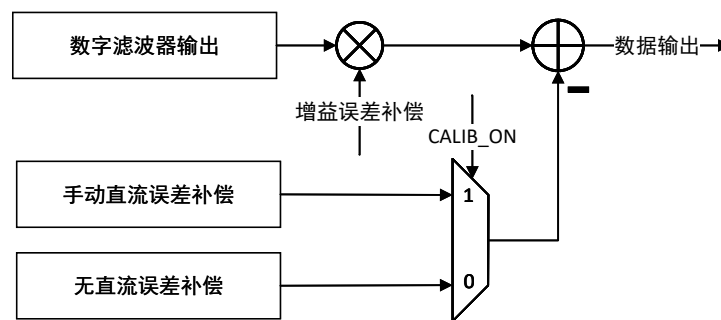


图 9-5-1. 增益误差和直流误差补偿

增益误差补偿

增益误差补偿量化为 20 位，即 $\{0x32[3:0], 0x31[7:0], 0x30[7:0]\}$ ，其只表示增益的误差部分，实际增益误差补偿 = $(1 + \{0x32[3:0], 0x31[7:0], 0x30[7:0]\} \cdot 0x32[3:0], 0x31[7:0], 0x30[7:0])$ ，其表示范围为 $(0, 2)$ ，例：当 $\{0x32[3:0], 0x31[7:0], 0x30[7:0]\} = 20'h08000$ ，表示电路增益为正，实际增益误差补偿 1.0625。

直流误差补偿

直流误差补偿提供两种方式 (通过 CALIB_ON 来区分)，一种是通过配置可读可写的寄存器补偿到数据输出，另一种是不进行直流误差补偿。

八通道可独立配置直流误差补偿，每个通道补偿范围为 $(-213, 213)$ 。

9.5.2 SPI 接口

SPI 兼容串行接口包含四个信号： $\overline{CS}$ 、SCLK、DIN 和 DOUT。包含读 ADC 数据、读写寄存器、控制 ADC 工作模式的功能。 $\overline{DRDY}$ 输出用作状态信号，以指示数据何时就绪。当新数据可用时， $\overline{DRDY}$ 变为低电平。

9.5.2.1 片选引脚 ($\overline{CS}$)

片选 $\overline{CS}$ 可选择用于 SPI 通信的 SW303x 器件。在整个串行通信过程中， $\overline{CS}$ 必须保持低电平。串行通信完成后，始终等待四个或更多 t_{CLK} 周期，然后再将 $\overline{CS}$ 置于高电平。当 $\overline{CS}$ 置于高电平时，串行接口复位，SCLK 和 DIN 被忽略，DOUT 进入高阻抗状态。无论 $\overline{CS}$ 处于高电平还是低电平，当数据转换完成时， $\overline{DRDY}$ 都会变为有效。

选择 SW303x 后，器件会尝试每八个串行时钟解码并执行一次命令。如果器件停止执行串行命令，则可能出现了额外的时钟脉冲，使串行接口进入未知状态。要将串行接口重置为已知状态，请将 $\overline{CS}$ 置为高电平，然后再次置为低电平。

9.5.2.2 串行时钟 (SCLK)

SCLK 是串行外设接口 (SPI) 串行时钟。它用于移入命令并从器件中移出数据。SCLK 输入要有施密特触发输入。SCLK 的周期最低是 50ns。在整个命令周期内 SCLK 的频率不能变化，不然可能会进入未知状态，只有等 $\overline{\text{CS}}$ 拉高才能恢复。

对于单个设备，SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。对于多个级联设备，请参见“多器件配置”章节的“级联配置”小节。等式 7 显示了最低 SCLK 速度的计算方法。

$$t_{\text{SCLK}} < \frac{t_{\text{DR}} - 4t_{\text{CLK}}}{N_{\text{BITS}} \times N_{\text{CHANNELS}} + 24} \quad (7)$$

例如，如果以 500SPS 的数据速率使用 SW3038(8 个通道，24 位分辨率)，则最小 SCLK 速度为 110kHz。

可通过将器件置于 RDATA 模式或针对数据按需发送 RDATA 命令来检索数据。公式 4 的 SCLK 速率限制也适用于 RDATA。对于 RDATA 命令，如果必须在两个连续的 $\overline{\text{DRDY}}$ 信号之间读取数据，那么该限制适用。公式 4 假设在数据捕获之间没有发出其他命令。

9.5.2.3 数据输入引脚 (DIN)

数据输入引脚 (DIN) 与 SCLK 一起用于与 SW303x 通信 (操作码命令和寄存器数据)。该器件在 SCLK 的下降沿锁存 DIN 中的数据。

9.5.2.4 数据输出引脚 (DOUT)

数据输出引脚 (DOUT) 与 SCLK 一起用于从 SW303x 中读取转换和寄存器数据。DOUT 中的数据在 SCLK 的上升沿移出。DOUT 在 $\overline{\text{CS}}$ 处于高电平时进入高阻抗状态。

在读取数据连续模式下 (有关详细信息，请参阅 SPI 命令定义部分)，DOUT 输出行还指示何时新数据可用。此特性可用于最大限度地减少设备与系统控制器之间的连接数量。

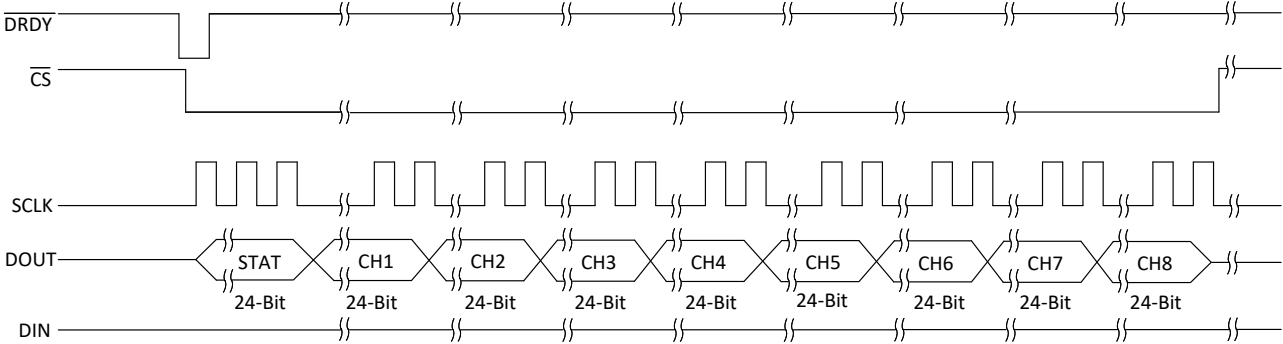


图 9-5-2. SW3038 的 SPI 总线数据输出 (8 通道)

9.5.2.5 数据缓存 (BUFFER)

数据缓存功能会把 ADC 转换的数据缓存起来，缓存的个数可以由 BUFFER 寄存器中的 BUFFER 位设定，参考寄存器映射部分。SW3034 的数据缓冲器的深度最大为 16，SW3036 和 SW3038 的数据缓冲器的深度最大为 8。图 9-5-3、图 9-5-4 和图 9-5-5 显示了数据缓存的数据输出格式。当 SW3034 使用缓存功能时，偶数次缓存无状态位，仅奇数次缓存有状态位。例如：当缓存深度为 16 时，首先输出第一个状态位 STAT1(24bits)，后面紧跟第 1 次缓存的数据 (DATA1) 和第 2 次缓存的数据 (DATA2) 无状态位，接着是第三次缓存的 STAT3……，先完成转换的 ADC 数据先输出， $\overline{\text{DRDY}}$ 的频率降为原来的 1/16(STATN 为 24bit 状态位，DATAN 为第 N 次缓存的 CH1~CH4 的 ADC data)。

当 SW3036 使用缓存功能时，每一个状态位后面都紧跟 6 个通道的数据，当数据缓存深度为 8 时， $\overline{\text{DRDY}}$ 的频率降为原来的 1/8(STATN 为 24bit 状态位，DATAN 为第 N 次缓存的 CH1~CH6 的 ADC data)。

当 SW3038 使用缓存功能时，每一个状态位后面都紧跟 8 个通道的数据，当数据缓存深度为 8 时， $\overline{\text{DRDY}}$ 的频率降为原来的 1/8(STATN 为 24bit 状态位，DATAN 为第 N 次缓存的 CH1~CH8 的 ADC data)。

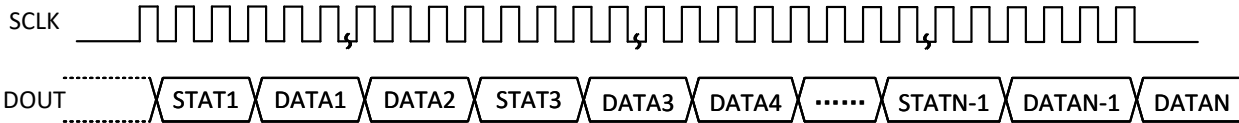


图 9-5-3. SW3034 数据缓存深度为 N 时的数据输出格式

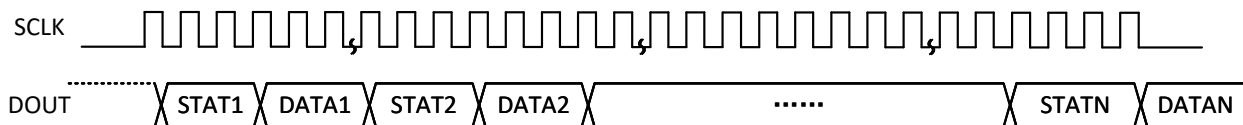


图 9-5-4. SW3036/8 数据缓存深度为 N 时的数据输出格式

当数据缓存搭配菊花链时，DOUT 会将 Chip1 的所有缓存数据输出之后，再输出 Chip2 的数据。

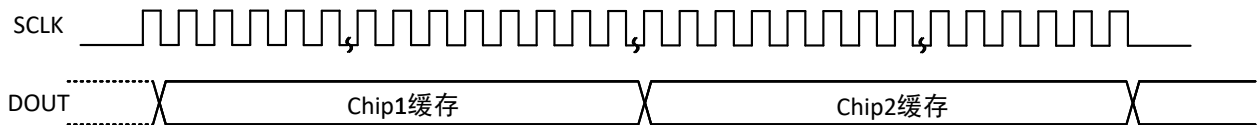


图 9-5-5. 数据缓存 + 菊花链输出格式

9.5.3 SPI 命令定义

SW303x 可提供灵活的配置控制。表 9-5-2 中总结的操作码命令可控制和配置 SW303x 的运行。操作码命令是独立的，但需要第二个命令字节加数据的寄存器读取和寄存器写入操作除外。可以将 $\overline{CS}$ 在操作码命令之间置于高电平，但在整个命令操作期间必须保持低电平 (尤其是对于多字节命令)。系统操作码命令和 RDATA 命令在 SCLK 的第七个下降沿由 SW303x 解码。寄存器读取和写入操作码在第八个 SCLK 下降沿进行解码。发出命令后，将 $\overline{CS}$ 拉为高电平时，确保遵循 SPI 时序要求。

表 9-5-2. 操作码命令定义

命令	说明	第一个字节	第二个字节
系统命令			
WAKEUP	从待机模式唤醒	0000 0010 (02h)	—
STANDBY	进入待机模式	0000 0100 (04h)	—
RESET	复位器件	0000 0110 (06h)	—
START	启动/重新启动 (同步) 转换	0000 1000 (08h)	—
STOP	停止转换	0000 1010 (0Ah)	—
数据读取命令			
RDATA C	启用连续读取数据模式。 该模式是上电时的默认模式。(1)	0001 0000 (10h)	—
SDATA C	停止连续读取数据模式	0001 0001 (11h)	—
RDATA	通过命令读取数据；支持多个读回。	0001 0010 (12h)	—
寄存器读取命令			
RREG	从地址 r rrrr 开始读取 n nnnn 寄存器	001r rrrr (2xh) ⁽²⁾	000n nnnn ⁽²⁾
WREG	从地址 r rrrr 开始写入 n nnnn 寄存器	010r rrrr (4xh) ⁽²⁾	000n nnnn ⁽²⁾
RREGX	从地址 1r rrrr 开始读取 n nnnn 寄存器	111r rrrr (Exh) ⁽³⁾	000n nnnn ⁽³⁾
WREGX	从地址 1r rrrr 开始写入 n nnnn 寄存器	101r rrrr (Axx) ⁽³⁾	000n nnnn ⁽³⁾

(1) 处于 RDATA C 模式时，会忽略 RREG、RREGX 命令。
(2) n nnnn = 要读取/写入的寄存器数量-1。例如，要读取/写入三个寄存器，请设置 n nnnn = 0 (0010)。r rrrr = 读取/写入操作码的起始寄存器地址。
(3) n nnnn = 要读取/写入的寄存器数量-1。例如，要读取/写入三个寄存器，请设置 n nnnn = 0 (0010)。1r rrrr = 读取/写入操作码的起始寄存器地址。

9.5.3.1 发送多字节命令

SW303x 串行接口以字节为单位对命令进行解码，需要 4 个 t_{CLK} 周期进行解码和执行。因此，在发送多字节命令时，必须用 4 个 t_{CLK} 周期将一个字节 (或操作码) 的末尾与下一个字节 (或操作码) 分开。

例如，如果 CLK 为 2.048MHz，那么 $t_{SDECODE}$ ($4 \times t_{CLK}$) 为 1.96 μ s。当 SCLK 为 16MHz 时，一个字节可以在 500 ns 内传输。该字节传输时

间不符合 $t_{SDECODE}$ 规范；因此必须插入一个延迟，以便第二个字节的末尾在 $1.46\mu s$ 后到达。不过，如果 SCLK 为 4MHz，那么将在 $2\mu s$ 后传输一个字节。由于该传输时间超出了 $t_{SDECODE}$ 规格，因此处理器可以无延迟地发送后续字节。在第二种情形下，可以对串行端口进行编程，使其从每个周期的单字节传输变为多个字节传输。

9.5.3.2 WAKEUP：退出待机模式

WAKEUP 操作码可退出低功耗待机模式；请参阅 **STANDBY：进入待机模式** 部分。退出待机模式时需要一些时间（有关详细信息，请参阅 **电气特性**）。对于该命令，SCLK 速率没有限制；可以随时发出该命令。必须在 4 个 t_{CLK} 周期后发送任何后续命令。

9.5.3.3 STANDBY：进入待机模式

STANDBY 操作码命令可进入低功耗待机模式。除基准部分外，电路的所有部分都将关闭。**电气特性** 中指定了待机模式功耗。对于该命令，SCLK 速率没有限制；可以随时发出该命令。发送 WAKEUP 命令可使器件恢复至正常运行状态。串行接口处于活动状态；因此，在该模式下允许执行寄存器读取和写入命令。

9.5.3.4 RESET：将寄存器重置为默认值

RESET 命令可重置数字滤波器周期并将所有寄存器设置恢复至相应的默认值。有关更多详细信息，请参阅 **复位 (RESET 引脚和复位命令)** 部分。对于该命令，SCLK 速率没有限制；可以随时发出该命令。执行 RESET 命令需要 18 个 t_{CLK} 周期。请勿在此期间发送任何命令。

9.5.3.5 START：开始转换

该操作码可启动数据转换。将 START 引脚保持在低电平可通过命令控制转换。如果转换正在进行，那么该命令无效。STOP 操作码命令用于停止转换。如果 START 命令后紧跟 STOP 命令，那么这两个命令之间必须有 4 个 t_{CLK} 周期的间隔。将 START 操作码发送到器件时，将 START 引脚保持为低电平，直到发出 STOP 命令。（有关更多详细信息，请参阅 **SPI 接口** 部分的 **启动模式** 小节。）对于该命令，SCLK 速率没有限制，可以随时发出该命令。

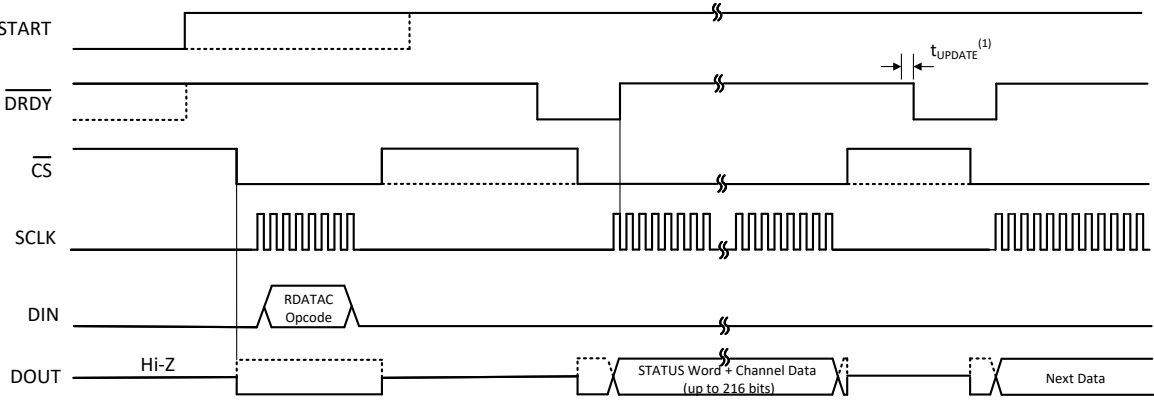
9.5.3.6 STOP：停止转换

STOP 操作码可停止转换。将 START 引脚保持在低电平可通过命令控制转换。发送 STOP 命令后，正在进行的转换将完成，并且进一步的转换也会停止。如果转换已经停止，那么该命令无效。对于该命令，SCLK 速率没有限制；可以随时发出该命令。

9.5.3.7 RDATAc：连续读取数据

RDATAc 操作码可以在每个 $\overline{DRDY}$ 上实现转换数据输出，而无需发出后续读取数据操作码。该操作码可将转换数据放置在输出寄存器中，并且可以直接将其移出。连续读取数据模式是该器件的默认模式，该器件在上电和复位时默认采用该模式。

停止连续读取数据命令 (SDATAC) 可取消 RDATAc 模式。如果器件处于 RDATAc 模式，则必须先发出 SDATAC 命令，然后才能将任何其他命令发送到器件中。此命令对 SCLK 速率没有限制。不过，后续数据检索 SCLK 或 SDATAC 操作码命令必须至少等待 4 个 t_{CLK} 周期。如图 9-5-3 所示，在 $\overline{DRDY}$ 脉冲周围有一个 4 个 t_{CLK} 周期的隔离区，在这个区域内不能发出这个命令。为了在 RDATAc 命令发出后从设备检索数据，请确保 START 引脚处于高电平或发出 START 命令。图 9-5-6 显示了使用 RDATAc 命令的建议方法。RDATAc 非常适合数据记录器等应用，其中只需设置寄存器一次，无需重新配置。



(1) $t_{UPDATE} = 4/f_{CLK}$ (其中 $f_{CLK} = 1/t_{CLK}$)。请勿在此期间读取数据。

图 9-5-6. RDATAc 用法

9.5.3.8 SDATAC：停止连续读取数据

该 SDATAC 操作码命令可取消连续读取数据 (RDATA) 模式。此命令对 SCLK 速率没有限制，但下一条命令必须等待 4 个 t_{CLK} 周期。

9.5.3.9 RDATA：读取数据

在 $\overline{DRDY}$ 变为低电平后发出 RDATA 命令，以读取转换结果 (在 SDATAC 模式下)。此命令对 SCLK 速率没有限制，并且后续命令或数据检索 SCLK 不需要等待时间。要在发出 RDATA 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。使用 RDATA 命令读取数据时，读取操作可以与出现的下一个 $\overline{DRDY}$ 重叠，而不会导致数据损坏。图 9-5-6 显示了使用 RDATA 命令的建议方法。RDATA 最适合 ECG 和 EEG 型系统，其中必须经常在转换周期之间读取或更改寄存器设置。

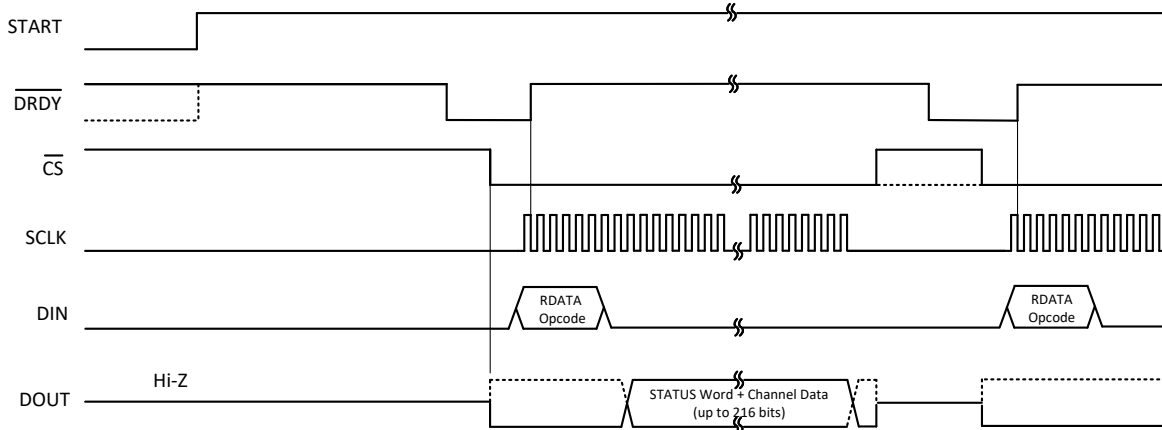


图 9-5-6. RDATA 用法

9.5.3.10 RREG：从寄存器进行读取

RREG 操作码命令可读取寄存器数据。RREG 命令是两字节操作码，后跟寄存器数据输出。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要读取的寄存器数量-1。

第一个操作码字节：001r rrrr，其中 r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要读取的寄存器数量-1。

运行的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如图 9-5-7 所示。当器件处于连续读数据模式时，必须首先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{CS}$ 必须在整个命令操作期间处于低电平。

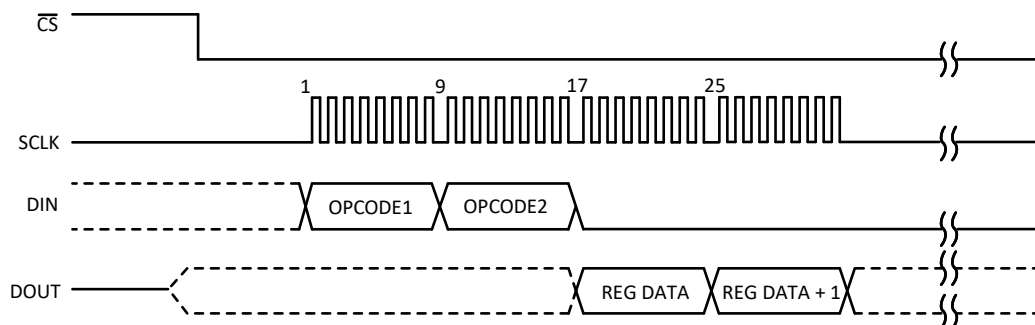


图 9-5-7. RREG 命令示例：从寄存器 00h(ID 寄存器) 开始读取两个寄存器
(OPCODE 1 = 0010 0000, OPCODE 2 = 0000 0001)

9.5.3.11 WREG：对寄存器进行写入

WREG 操作码命令可写入寄存器数据。WREG 命令是两字节操作码，后跟寄存器数据输入。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要写入的寄存器数量-1。

第一个操作码字节：010r rrrr，其中 r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要写入的寄存器数量-1。

操作码字节后跟寄存器数据 (采用 MSB 在前的格式)，如图 9-5-8 所示。可以随时发出 WREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{CS}$ 必须在整个命令操作期间处于低电平。

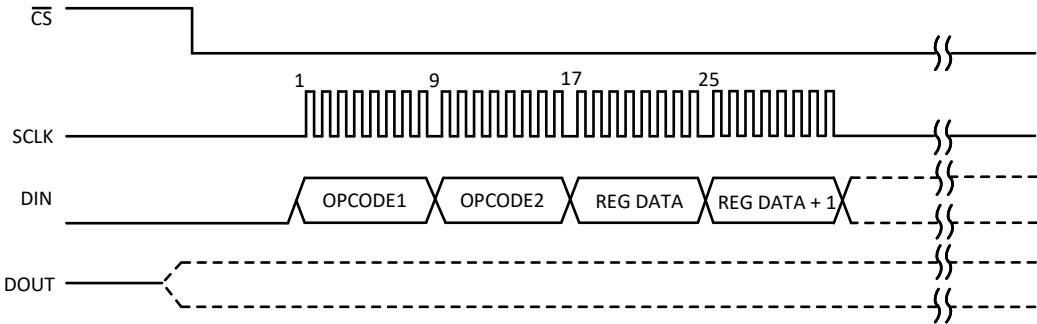


图 9-5-8. WREG 命令示例：从寄存器 00h(ID 寄存器) 开始对两个寄存器进行写入
(OPCODE 1 = 0100 0000, OPCODE 2 = 0000 0001)

9.5.3.12 RREGX：从寄存器进行读取

RREGX 操作码命令可读取寄存器数据。RREGX 命令是两字节操作码，后跟寄存器数据输出。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要读取的寄存器数量-1。

第一个操作码字节：111r rrrr，其中 1r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要读取的寄存器数量-1。

运行的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如图 9-5-9 所示。当器件处于连续读数据模式时，必须首先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{CS}$ 必须在整个命令操作期间处于低电平。

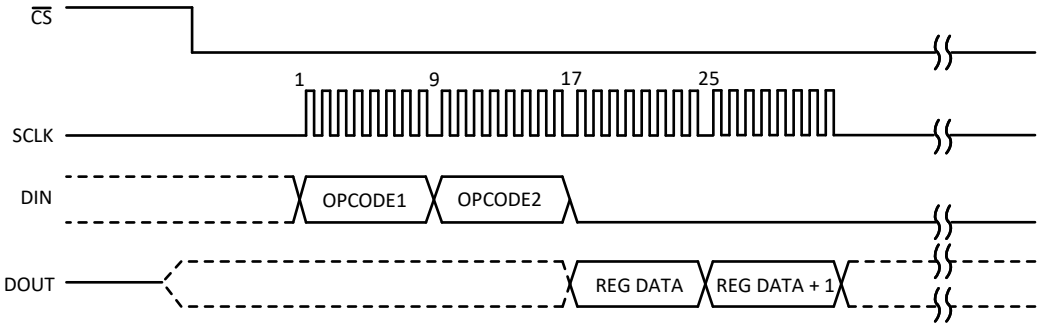


图 9-5-9. RREG 命令示例：从寄存器 20h(ID 寄存器) 开始读取两个寄存器
(OPCODE 1 = 1110 0000, OPCODE 2 = 0000 0001)

9.5.3.13 WREGX：对寄存器进行写入

WREGX 操作码命令可写入寄存器数据。WREGX 命令是两字节操作码，后跟寄存器数据输入。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要写入的寄存器数量-1。

第一个操作码字节：101r rrrr，其中 1r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要写入的寄存器数量-1。

操作码字节后跟寄存器数据 (采用 MSB 在前的格式)，如图 9-5-10 所示。可以随时发出 WREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{CS}$ 必须在整个命令操作期间处于低电平。

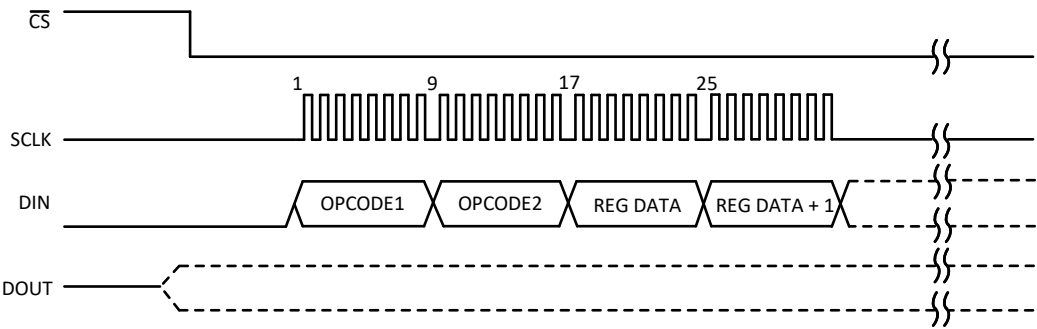


图 9-5-10. WREG 命令示例：从寄存器 20h(ID 寄存器) 开始对两个寄存器进行写入
(OPCODE 1 = 1010 0000, OPCODE 2 = 0000 0001)

9.6 寄存器映射

表 9-6-1 列出了各种 SW303x 寄存器。

表 9-6-1. 寄存器分配

地址	寄存器	复位	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
器件设置 (只读寄存器)										
00h	ID	xx	1	1	0	REV_ID1	REV_ID0	0	NU_CH1	NU_CH0
各个通道上的全局设置										
01h	CONFIG1	06	1	DAISY_IN	CLK_EN	1	DR3	DR2	DR1	DR0
02h	CONFIG2	40	CHOP1	CHOP0	0	INT_TEST	0	TEST_AMP0	TEST_FREQ1	TEST_FREQ0
03h	CONFIG3	40	PDB_REFBUF	1	VREF_4V	0	OPAMP_REF	PDB_OPAMP	0	0
04h	FAULT	00	COMP_TH2	COMP_TH1	COMP_TH0	0	0	0	0	0
特定于通道的设置										
05h	CH1SET	00	PD1	GAIN12	GAIN11	GAIN10	0	MUX12	MUX11	MUX10
06h	CH2SET	00	PD2	GAIN22	GAIN21	GAIN20	0	MUX22	MUX21	MUX20
07h	CH3SET	00	PD3	GAIN32	GAIN31	GAIN30	0	MUX32	MUX31	MUX30
08h	CH4SET	00	PD4	GAIN42	GAIN41	GAIN40	0	MUX42	MUX41	MUX40
09h	CH5SET	00	PD5	GAIN52	GAIN51	GAIN50	0	MUX52	MUX51	MUX50
0Ah	CH6SET	00	PD6	GAIN62	GAIN61	GAIN60	0	MUX62	MUX61	MUX60
0Bh	CH7SET	00	PD7	GAIN72	GAIN71	GAIN70	0	MUX72	MUX71	MUX70
0Ch	CH8SET	00	PD8	GAIN82	GAIN81	GAIN80	0	MUX82	MUX81	MUX80
故障检测状态寄存器 (只读寄存器)										
12h	FAULT_STATP	00	IN8P_FAULT	IN7P_FAULT	IN6P_FAULT	IN5P_FAULT	IN4P_FAULT	IN3P_FAULT	IN2P_FAULT	IN1P_FAULT
13h	FAULT_STATN	00	IN8N_FAULT	IN7N_FAULT	IN6N_FAULT	IN5N_FAULT	IN4N_FAULT	IN3N_FAULT	IN2N_FAULT	IN1N_FAULT
GPIO 和其他寄存器										
14h	GPIO	0F	GPIOD4	GPIOD3	GPIOD2	GPIOD1	GPIOC4	GPIOC3	GPIOC2	GPIOC1
17h	CONFIG4	00	0	0	0	0	SINGLE_SHOT	0	PD_LOFFCOMP	0
1Ah	BUFFERSET	00	0	0	0	CLKDIV	0	BUFFER2	BUFFER1	BUFFER0
20h	OFFSET1_CH1	00	CALIB_ON	0	OS1_13	OS1_12	OS1_11	OS1_10	OS1_9	OS1_8
21h	OFFSET2_CH1	00	OS1_7	OS1_6	OS1_5	OS1_4	OS1_3	OS1_2	OS1_1	OS1_0
22h	OFFSET1_CH2	00	0	0	OS2_13	OS2_12	OS2_11	OS2_10	OS2_9	OS2_8
23h	OFFSET2_CH2	00	OS2_7	OS2_6	OS2_5	OS2_4	OS2_3	OS2_2	OS2_1	OS2_0
24h	OFFSET1_CH3	00	0	0	OS3_13	OS3_12	OS3_11	OS3_10	OS3_9	OS3_8
25h	OFFSET2_CH3	00	OS3_7	OS3_6	OS3_5	OS3_4	OS3_3	OS3_2	OS3_1	OS3_0
26h	OFFSET1_CH4	00	0	0	OS4_13	OS4_12	OS4_11	OS4_10	OS4_9	OS4_8
27h	OFFSET2_CH4	00	OS4_7	OS4_6	OS4_5	OS4_4	OS4_3	OS4_2	OS4_1	OS4_0
28h	OFFSET1_CH5	00	0	0	OS5_13	OS5_12	OS5_11	OS5_10	OS5_9	OS5_8
29h	OFFSET2_CH5	00	OS5_7	OS5_6	OS5_5	OS5_4	OS5_3	OS5_2	OS5_1	OS5_0
2Ah	OFFSET1_CH6	00	0	0	OS6_13	OS6_12	OS6_11	OS6_10	OS6_9	OS6_8
2Bh	OFFSET2_CH6	00	OS6_7	OS6_6	OS6_5	OS6_4	OS6_3	OS6_2	OS6_1	OS6_0
2Ch	OFFSET1_CH7	00	0	0	OS7_13	OS7_12	OS7_11	OS7_10	OS7_9	OS7_8
2Dh	OFFSET2_CH7	00	OS7_7	OS7_6	OS7_5	OS7_4	OS7_3	OS7_2	OS7_1	OS7_0
2Eh	OFFSET1_CH8	00	0	0	OS8_13	OS8_12	OS8_11	OS8_10	OS8_9	OS8_8
2Fh	OFFSET2_CH8	00	OS8_7	OS8_6	OS8_5	OS8_4	OS8_3	OS8_2	OS8_1	OS8_0
30h	GAIN_ERRSET1	00	GAIN_ERR7	GAIN_ERR6	GAIN_ERR5	GAIN_ERR4	GAIN_ERR3	GAIN_ERR2	GAIN_ERR1	GAIN_ERR0
31h	GAIN_ERRSET2	00	GAIN_ERR15	GAIN_ERR14	GAIN_ERR13	GAIN_ERR12	GAIN_ERR11	GAIN_ERR10	GAIN_ERR9	GAIN_ERR8
32h	GAIN_ERRSET3	00	0	0	0	0	GAIN_ERR19	GAIN_ERR18	GAIN_ERR17	GAIN_ERR16

注：寄存器表中所有寄存器的复位值均为十六进制。

9.6.1 寄存器说明

八通道寄存器映射：在器件制造期间会对只读 ID 控制寄存器进行编程，以指示器件特性。

9.6.1.1 ID:ID 控制寄存器 (地址 = 00h)(复位 = xxh)

图 9-6-1. ID:ID 控制寄存器

7	6	5	4	3	2	1	0
1	1	0	REV_ID[1:0]		0	NU_CH[1:0]	
R-1h	R-1h	R-0h	R-2h		R-0h	R-x	

图例：R/W-0h = 读取/写入；R = 只读；-nh = 复位后的值。

表 9-6-2. ID 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	1h	保留 始终读回 1h
6	保留	R	1h	保留 始终读回 1h
5	保留	R	0h	保留 始终读回 0h
4:3	REV_ID[1:0]	R	2h	器件 ID 这些位指示器件系列 10 = SW303x
2	保留	R	0h	保留 始终读回 0h
1:0	NU_CH[1:0]	R	xh	通道 ID 这些位指示通道数 00 = 4 通道 01 = 6 通道 10 = 8 通道 11 = 8 通道

9.6.1.2 CONFIG1: 配置寄存器 1(地址 = 01h)(复位 = 06h)

图 9-6-2. CONFIG1: 配置寄存器 1

7	6	5	4	3	2	1	0
1	DAISY_IN	CLK_EN	1	DR[3:0]			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-6h			

表 9-6-3. 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0h	保留 始终写入 1
6	DAISY_IN	R/W	0h	菊花链或多读回模式 该位决定启用哪种模式 0 = 菊花链模式 1 = 多读回模式
5	CLK_EN	R/W	0h	CLK 连接 该位决定当 CLKSEL 引脚 =1 时，内部振荡信号是否通过 CLK 引脚输出 0 = 禁用振荡器时钟输出 1 = 启用振荡器时钟输出
4	保留	R/W	0h	保留 始终写入 1
3:0	DR[3:0]	R/W	6h	输出数据速率 这些位决定器件的输出数据速率。 $f_{MOD} = 1.024\text{MHz}$ 。 0000: $f_{MOD}/16$ 0001: $f_{MOD}/32$ 0010: $f_{MOD}/64$ 0011: $f_{MOD}/128$ 0100: $f_{MOD}/256$ 0101: $f_{MOD}/512$ 0110: $f_{MOD}/1024$ (默认) 1000: $f_{MOD}/2048$ 1001: $f_{MOD}/4096$ 其它: $f_{MOD}/1024$

9.6.1.3 CONFIG2: 配置寄存器 2(地址 = 02h)(复位 = 40h)

配置寄存器 2 可配置测试信号等。

图 9-6-3. CONFIG2: 配置寄存器 2

7	6	5	4	3	2	1	0
CHOP1	CHOP0	0	INT_TEST	0	TEST_AMP0	TEST_FREQ[1:0]	
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 9-6-4. CONFIG2 字段说明

位	字段	类型	复位	说明
7:6	CHOP[1:0]	R/W	0h	PGA 斩波频率 ，用于降低噪声： 00 = 32kHz 01 = 16kHz 10 = 64kHz 11 = 0Hz
5	保留	R/W	0h	保留 始终写入 0h
4	INT_TEST	R/W	0h	测试源 该位决定测试信号源 0 = 从外部驱动测试信号 1 = 在内部生成测试信号
3	保留	R/W	0h	保留 始终写入 0h
2	TEST_AMP0	R/W	0h	测试信号振幅 这些位决定信号振幅 0 = $1 \times (V_{REFP} - V_{REFN}) / 2400V$ 1 = $2 \times (V_{REFP} - V_{REFN}) / 2400V$
1:0	TEST_FREQ[1:0]	R/W	0h	测试信号选择 这些位决定校准信号频率 00 = 以 $f_{CLK} / 2^{21}$ 的频率发送脉冲信号 01 = 以 $f_{CLK} / 2^{20}$ 的频率发送脉冲信号 10 = 未使用 11 = 直流

9.6.1.4 CONFIG3: 配置寄存器 (地址 = 03h)(复位 = 40h)

配置寄存器 3 配置多基准和内部放大器操作。

图 9-6-4. CONFIG3: 配置寄存器 3

7	6	5	4	3	2	1	0
PDB_REFBUF	1	VREF_4V	0	OPAMP_REF	PDB_OPAMP	0	0
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表 9-6-5. CONFIG3 字段说明

位	字段	类型	复位	说明
7	PDB_REFBUF	R/W	0h	关断基准缓冲器 该位决定关断基准缓冲器状态 0 = 关断内部基准缓冲器 1 = 启用内部基准缓冲器
6	保留	R/W	1h	保留 始终写入 1h
5	VREF_4V	R/W	0h	基准电压 该位决定基准电压 VREFP 0 = VREFP 设置为 2.4V 1 = VREFP 设置为 4V
4	保留	R/W	0h	保留 始终写入 0h
3	OPAMP_REF	R/W	0h	Op 放大器参考 此位确定运算放大器非反转输入是连接到 OPAMPP 引脚还是连接到内部派生的电源 (AVDD + AVSS)/ 2 0 = 非反向输入连接到 OPAMPP 引脚 1 = 非反相输入已连接到 (AVDD+AVSS)/2
2	PDB_OPAMP	R/W	0h	Op 放大器断电 这一位关闭运算放大器 0 = 断电运算放大器 1 = 启用运算放大器
1	保留	R/W	0h	保留 始终写入 0h
0	保留	R	0h	保留 始终写入 0h

9.6.1.5 FAULT: 故障检测控制寄存器 (地址 = 04h)(复位 = 00h)

此寄存器可配置故障检测操作。

图 9-6-5. FAULT: 故障检测控制寄存器

7	6	5	4	3	2	1	0
COMP_TH[2:0]				0			
R/W-0h				R/W-0h			

表 9-6-6. FAULT 寄存器字段说明

位	字段	类型	复位	说明
7:5	COMP_TH[2:0]	R/W	0h	故障检测比较阈值 比较器正极侧 vs. 比较器负极侧 000 = 95% vs. 5% 001 = 92.5% vs. 7.5% 010 = 90% vs. 10% 011 = 87.5% vs. 12.5% 100 = 85% vs. 15% 101 = 80% vs. 20% 110 = 75% vs. 25% 111 = 70% vs. 30%
4:0	保留	R/W	0h	保留 始终写入 0h

9.6.1.6 CHnSET: 各个通道设置 (n = 1 至 8)(地址 = 05h 至 0Ch)(复位 = 00h)

CH[1:8]SET 控制寄存器配置电源模式、PGA 增益和多路复用器通道设置。CH[2:8] 与 CH1SET 类似 (对应于相应的通道)。

图 9-6-6.CHnSET: 通道内设置寄存器

7	6	5	4	3	2	1	0
PDn	GAINn_[2:0]			0	MUXn_[2:0]		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		

表 9-6-7. CHnSET 寄存器字段说明

位	字段	类型	复位	说明
7	PDn	R/W	0h	通道断电 该位决定相应通道的通道电源模式 0 = 正常运行 1 = 通道断电
6:4	GAINn[2:0]	R/W	0h	PGA 增益 这些位决定 PGA 增益设置。 000 = 6 001 = 1 010 = 2 011 = 3 100 = 4 101 = 8 110 = 12 111 = 24
3	保留	R/W	0h	保留 始终写入 0h
2:0	MUXn[2:0]	R/W	0h	通道输入选择 这些位决定通道输入选择 000 = 正常电极输入 001 = 输入短路 (用于偏移或噪声测量) 010 = 不使用。 011 = MVDD, 用于电源测量 100 = 温度传感器 101 = 测试信号 110 = 不使用 111 = 不使用

9.6.1.7 FAULT_STATP: 故障检测正信号状态寄存器 (地址 = 12h)(复位 = 00h)

此寄存器存储每个通道上的正输入是否有故障的状态。

图 9-6-7. FAULT_STATP: 故障检测正信号状态寄存器

7	6	5	4	3	2	1	0
IN8P_FAULT	IN7P_FAULT	IN6P_FAULT	IN5P_FAULT	IN4P_FAULT	IN3P_FAULT	IN2P_FAULT	IN1P_FAULT
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 9-6-8. FAULT_STATP 寄存器字段说明

位	字段	类型	复位	说明
7	IN8P_FAULT	R	0h	IN8P 阈值检测 0: 通道 8 正输入引脚不超过所设置的阈值 1: 通道 8 正输入引脚超过阈值设置
6	IN7P_FAULT	R	0h	IN7P 阈值检测 0: 通道 7 正输入引脚不超过所设置的阈值 1: 通道 7 正输入引脚超过阈值设置
5	IN6P_FAULT	R	0h	IN6P 阈值检测 0: 通道 6 正输入引脚不超过所设置的阈值 1: 通道 6 正输入引脚超过阈值设置
4	IN5P_FAULT	R	0h	IN5P 阈值检测 0: 通道 5 正输入引脚不超过所设置的阈值 1: 通道 5 正输入引脚超过阈值设置
3	IN4P_FAULT	R	0h	IN4P 阈值检测 0: 通道 4 正输入引脚不超过所设置的阈值 1: 通道 4 正输入引脚超过阈值设置
2	IN3P_FAULT	R	0h	IN3P 阈值检测 0: 通道 3 正输入引脚不超过所设置的阈值 1: 通道 3 正输入引脚超过阈值设置
1	IN2P_FAULT	R	0h	IN2P 阈值检测 0: 通道 2 正输入引脚不超过所设置的阈值 1: 通道 2 正输入引脚超过阈值设置
0	IN1P_FAULT	R	0h	IN1P 阈值检测 0: 通道 1 正输入引脚不超过所设置的阈值 1: 通道 1 正输入引脚超过阈值设置

9.6.1.8 FAULT_STATN: 故障检测正信号状态寄存器 (地址 = 13h)(复位 = 00h)

此寄存器存储每个通道上的负输入是否有故障的状态。

图 9-6-8. FAULT_STATN: 故障检测负信号状态寄存器

7	6	5	4	3	2	1	0
IN8N_FAULT	IN7N_FAULT	IN6N_FAULT	IN5N_FAULT	IN4N_FAULT	IN3N_FAULT	IN2N_FAULT	IN1N_FAULT
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 9-6-9. FAULT_STATN 寄存器字段说明

位	字段	类型	复位	说明
7	IN8N_FAULT	R	0h	IN8N 阈值检测 0: 通道 8 负输入引脚不超过所设置的阈值 1: 通道 8 负输入引脚超过阈值设置
6	IN7N_FAULT	R	0h	IN7N 阈值检测 0: 通道 7 负输入引脚不超过所设置的阈值 1: 通道 7 负输入引脚超过阈值设置
5	IN6N_FAULT	R	0h	IN6N 阈值检测 0: 通道 6 负输入引脚不超过所设置的阈值 1: 通道 6 负输入引脚超过阈值设置
4	IN5N_FAULT	R	0h	IN5N 阈值检测 0: 通道 5 负输入引脚不超过所设置的阈值 1: 通道 5 负输入引脚超过阈值设置
3	IN4N_FAULT	R	0h	IN4N 阈值检测 0: 通道 4 负输入引脚不超过所设置的阈值 1: 通道 4 负输入引脚超过阈值设置
2	IN3N_FAULT	R	0h	IN3N 阈值检测 0: 通道 3 负输入引脚不超过所设置的阈值 1: 通道 3 负输入引脚超过阈值设置
1	IN2N_FAULT	R	0h	IN2N 阈值检测 0: 通道 2 负输入引脚不超过所设置的阈值 1: 通道 2 负输入引脚超过阈值设置
0	IN1N_FAULT	R	0h	IN1N 阈值检测 0: 通道 1 负输入引脚不超过所设置的阈值 1: 通道 1 负输入引脚超过阈值设置

9.6.1.9 GPIO: 通用 I/O 寄存器 (地址 = 14h)(复位 = 0Fh)

通用 I/O 寄存器控制三个 GPIO 引脚的操作。

图 9-6-9. GPIO: 通用 I/O 寄存器

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC[4:1]			
R/W-0h				R/W-Fh			

表 9-6-10. GPIO 寄存器字段说明

位	字段	类型	复位	说明
7:4	GPIOD[4:1]	R/W	0h	GPIO 数据 这些位用于从 GPIO 端口读取数据以及向其中写入数据。 在读取寄存器时，返回的数据对应 GPIO 外部引脚的状态，无论它们是编程为输入还是输出都是如此。作为输出时，对 GPIOD 进行写入可设置输出值。作为输入时，对 GPIOD 进行写入无效。
3:0	GPIOC[4:1]	R/W	Fh	GPIO 控制 (相应的 GPIOD) 这些位决定相应的 GPIOD 引脚是输入还是输出 0 = 输出 1 = 输入 (默认)

9.6.1.10 CONFIG4: 配置寄存器 4(地址 = 17h)(复位 = 00h)

图 9-6-10. CONFIG4: 配置寄存器 4

7	6	5	4	3	2	1	0
0				SINGLE_SHOT	0	PD_LOFFCOMP	0
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 9-6-11. CONFIG4 寄存器字段说明

位	字段	类型	复位	说明
7:4	保留	R/W	0h	保留 始终写入 0h
3	SINGLE_SHOT	R/W	0h	单冲转换 该位设置转换模式 0 = 连续转换模式 1 = 单冲模式
2	保留	R/W	0h	保留 始终写入 0h
1	PD_LOFF_COMP	R/W	0h	导联脱落比较器断电 该位使导联脱落比较器断电 0= 禁用导联脱落比较器 1= 启用导联脱落比较器
0	保留	R/W	0h	保留 始终写入 0h

9.6.1.11 BUFFERSET(地址 = 1Ah)(复位 = 00h)

BUFFERSET 配置。

图 9-6-11.BUFFERSET:BUFFERSET 寄存器配置

7	6	5	4	3	2	1	0
0		CLKDIV	0	BUFFER[2:0]			
R/W-0h		R/W-0h	R/W-0h	R/W-0h			

表 9-6-12. BUFFERSET 寄存器字段说明

位	字段	类型	复位	说明
7:5	保留	R/W	0h	保留 始终写入 0h
4	CLKDIV	R/W	0h	时钟频率选择 0 = 2.048MHz 时钟输入 (默认) 1 = CLK 引脚输入频率 1.024MHz 直供为调制器时钟
3	保留	R/W	0h	保留 始终写入 0h
2:0	BUFFER[2:0]	R/W	0h	数据缓冲器的深度控制 000 = 1 倍 (默认) 001 = 2 倍 010 = 4 倍 011 = 8 倍 (6 通道、8 通道芯片的最大深度) 100 = 16 倍 (4 通道芯片的最大深度) 其它: 1 倍

9.6.1.12 OFFSET1_CH1(地址 = 20h)(复位 = 00h)

OFFSET1_CH1 配置。

图 9-6-12. OFFSET1_CH1:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
CALIB_ON	0	OS1[13:8]					
R/W-0h	R/W-0h	R/W-0h					

表 9-6-13. OFFSET1_CH1 寄存器字段说明

位	字段	类型	复位	说明
7	CALIB_ON	R/W	0h	OFFSET 手动校准功能有效 0 = 不校准 OFFSET 1 = 校准 OFFSET
6	保留	R/W	0h	保留 始终写入 0h
5:0	OS1 [13:8]	R/W	0h	通道 1 的 OFFSET 偏移量存储 [13:8]

9.6.1.13 OFFSET2_CH1(地址 = 21h)(复位 = 00h)

OFFSET2_CH1 配置。

图 9-6-13. OFFSET2_CH1:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS1[7:0]							
R/W-0h							

表 9-6-14. OFFSET2_CH1 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS1[7:0]	R/W	0h	通道 1 的 OFFSET 偏移量存储 [7:0]

9.6.1.14 OFFSET1_CH2(地址 = 22h)(复位 = 00h)

OFFSET1_CH2 配置。

图 9-6-14. OFFSET1_CH2:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS2[13:8]					
R/W-0h		R/W-0h					

表 9-6-15. OFFSET1_CH2 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS2[13:8]	R/W	0h	通道 2 的 OFFSET 偏移量存储 [13:8]

9.6.1.15 OFFSET2_CH2(地址 = 23h)(复位 = 00h)

OFFSET2_CH2 配置。

图 9-6-15. OFFSET2_CH2:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS2[7:0]							
R/W-0h							

表 9-6-16. OFFSET2_CH2 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS2[7:0]	R/W	0h	通道 2 的 OFFSET 偏移量存储 [7:0]

9.6.1.16 OFFSET1_CH3(地址 = 24h)(复位 = 00h)

OFFSET1_CH3 配置。

图 9-6-16. OFFSET1_CH3:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS3[13:8]					
R/W-0h		R/W-0h					

表 9-6-17. OFFSET1_CH3 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS3[13:8]	R/W	0h	通道 3 的 OFFSET 偏移量存储 [13:8]

9.6.1.17 OFFSET2_CH3(地址 = 25h)(复位 = 00h)

OFFSET2_CH3 配置。

图 9-6-17. OFFSET2_CH3:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS3[7:0]							
R/W-0h							

表 9-6-18. OFFSET2_CH2 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS3[7:0]	R/W	0h	通道 3 的 OFFSET 偏移量存储 [7:0]

9.6.1.18 OFFSET1_CH4(地址 = 26h)(复位 = 00h)

OFFSET1_CH4 配置。

图 9-6-18. OFFSET1_CH4:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS4[13:8]					
R/W-0h		R/W-0h					

表 9-6-19. OFFSET1_CH4 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS4[13:8]	R/W	0h	通道 4 的 OFFSET 偏移量存储 [13:8]

9.6.1.19 OFFSET2_CH4(地址 = 27h)(复位 = 00h)

OFFSET2_CH4 配置。

图 9-6-19. OFFSET2_CH4:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS4[7:0]							
R/W-0h							

表 9-6-20. OFFSET2_CH4 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS4[7:0]	R/W	0h	通道 4 的 OFFSET 偏移量存储 [7:0]

9.6.1.20 OFFSET1_CH5(地址 = 28h)(复位 = 00h)

OFFSET1_CH5 配置。

图 9-6-20. OFFSET1_CH5:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS5[13:8]					
R/W-0h		R/W-0h					

表 9-6-21. OFFSET1_CH5 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS5[13:8]	R/W	0h	通道 5 的 OFFSET 偏移量存储 [13:8]

9.6.1.21 OFFSET2_CH5(地址 = 29h)(复位 = 00h)

OFFSET2_CH5 配置。

图 9-6-21. OFFSET2_CH5:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS5[7:0]							
R/W-0h							

表 9-6-22. OFFSET2_CH5 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS5[7:0]	R/W	0h	通道 5 的 OFFSET 偏移量存储 [7:0]

9.6.1.22 OFFSET1_CH6(地址 = 2Ah)(复位 = 00h)

OFFSET1_CH6 配置。

图 9-6-22. OFFSET1_CH6:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS6[13:8]					
R/W-0h		R/W-0h					

表 9-6-23. OFFSET1_CH6 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS6[13:8]	R/W	0h	通道 6 的 OFFSET 偏移量存储 [13:8]

9.6.1.23 OFFSET2_CH6(地址 = 2Bh)(复位 =00h)

OFFSET2_CH6 配置。

图 9-6-23. OFFSET2_CH6:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS6[7:0]							
R/W-0h							

表 9-6-24. OFFSET2_CH6 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS6[7:0]	R/W	0h	通道 6 的 OFFSET 偏移量存储 [7:0]

9.6.1.24 OFFSET1_CH7(地址 = 2Ch)(复位 = 00h)

OFFSET1_CH7 配置。

图 9-6-24. OFFSET1_CH7:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS7[13:8]					
R/W-0h		R/W-0h					

表 9-6-25. OFFSET1_CH7 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS7[13:8]	R/W	0h	通道 7 的 OFFSET 偏移量存储 [13:8]

9.6.1.25 OFFSET2_CH7(地址 = 2Dh)(复位 =00h)

OFFSET2_CH7 配置。

图 9-6-25. OFFSET2_CH7:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS7[7:0]							
R/W-0h							

表 9-6-26. OFFSET2_CH7 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS7[7:0]	R/W	0h	通道 7 的 OFFSET 偏移量存储 [7:0]

9.6.1.26 OFFSET1_CH8(地址 = 2Eh)(复位 = 00h)

OFFSET1_CH8 配置。

图 9-6-26. OFFSET1_CH8:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
0		OS8[13:8]					
R/W-0h		R/W-0h					

表 9-6-27. OFFSET1_CH8 寄存器字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 始终写入 0h
5:0	OS8[13:8]	R/W	0h	通道 8 的 OFFSET 偏移量存储 [13:8]

9.6.1.27 OFFSET2_CH8(地址 = 2Fh)(复位 = 00h)

OFFSET2_CH8 配置。

图 9-6-27. OFFSET2_CH8:OFFSET 寄存器配置

7	6	5	4	3	2	1	0
OS8[7:0]							
R/W-0h							

表 9-6-28. OFFSET2_CH8 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS8[7:0]	R/W	0h	通道 8 的 OFFSET 偏移量存储 [7:0]

9.6.1.28 GAIN_ERRSET1(地址 = 30h)(复位 = 00h)

GAIN_ERROR 配置。

图 9-6-28. GAIN_ERROR: GAIN_ERROR 寄存器配置

7	6	5	4	3	2	1	0
GAIN_ERR[7:0]							
R/W-0h							

表 9-6-29. GAIN_ERROR 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_ERR[7:0]	R/W	0h	8 通道 GAIN_ERR 增益误差存储 [7:0]

9.6.1.29 GAIN_ERRSET2(地址 = 31h)(复位 = 00h)

GAIN_ERROR 配置。

图 9-6-29. GAIN_ERROR: GAIN_ERROR 寄存器配置

7	6	5	4	3	2	1	0
GAIN_ERR[15:8]							
R/W-0h							

表 9-6-30. GAIN_ERROR 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_ERR[15:8]	R/W	0h	8 通道 GAIN_ERR 增益误差存储 [15:8]

9.6.1.30 GAIN_ERRSET3(地址 = 32h)(复位 = 00h)

GAIN_ERROR 配置。

图 9-6-30. GAIN_ERROR: GAIN_ERROR 寄存器配置

7	6	5	4	3	2	1	0
0			GAIN_ERR19		GAIN_ERR18	GAIN_ERR17	GAIN_ERR16
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h

表 9-6-31. GAIN_ERROR 寄存器字段说明

位	字段	类型	复位	说明
7:4	保留	R/W	0h	保留 始终写入 0h
3:0	GAIN_ERR[19:16]	R/W	0h	8 通道 GAIN_ERR 增益误差存储 [19:16]

10 应用和实现

10.1 应用信息

10.1.1 未使用的输入和输出

关闭未使用的模拟输入，并将其直接连接到 AVDD。

如果 OPAMPOUT 和 OPAMPN 未使用，可关闭偏置放大器或悬空。如果 OPAMPP 未使用，可以直接连接到 AVSS 或者悬空。

如果没有使用内部测试信号，通过单独的 10kΩ 电阻器将 TESTN 和 TESTP 连接到 AVDD 或将其悬空；如果使用了内部测试信号，将 TESTP 和 TESTN 保留悬空；如果外部使用测试信号，请连接至外部测试电路。

不要悬空未使用的数字输入，因为可能会导致过度的电源泄漏电流。通过 $\geq 10\text{-k}\Omega$ 的电阻器将两个状态模式设置引脚设置为高至 DVDD 或低至 DGND。

如果未使用 $\overline{\text{DRDY}}$ ，请使用弱上拉电阻器将 $\overline{\text{DRDY}}$ 拉至电源。

如果不是菊花链设备，请将 DAISYIN 直接连接至 DGND。

10.1.2 设置器件以进行基本数据采集

本节概述了将器件配置到基本状态并采集数据的步骤。该步骤旨在使器件处于符合数据手册所描述的状态，以便检查器件在用户系统中能否正常工作。建议一开始先遵循此步骤，以便熟悉器件的各项设置。当此步骤得到验证后，便可根据需要对器件进行配置。有关命令时序的详细信息，请参阅数据手册中的相应章节。图 10-1-1 的流程图详细展示了 SW303x 的初始配置和设置流程。

应用信息 (continued)

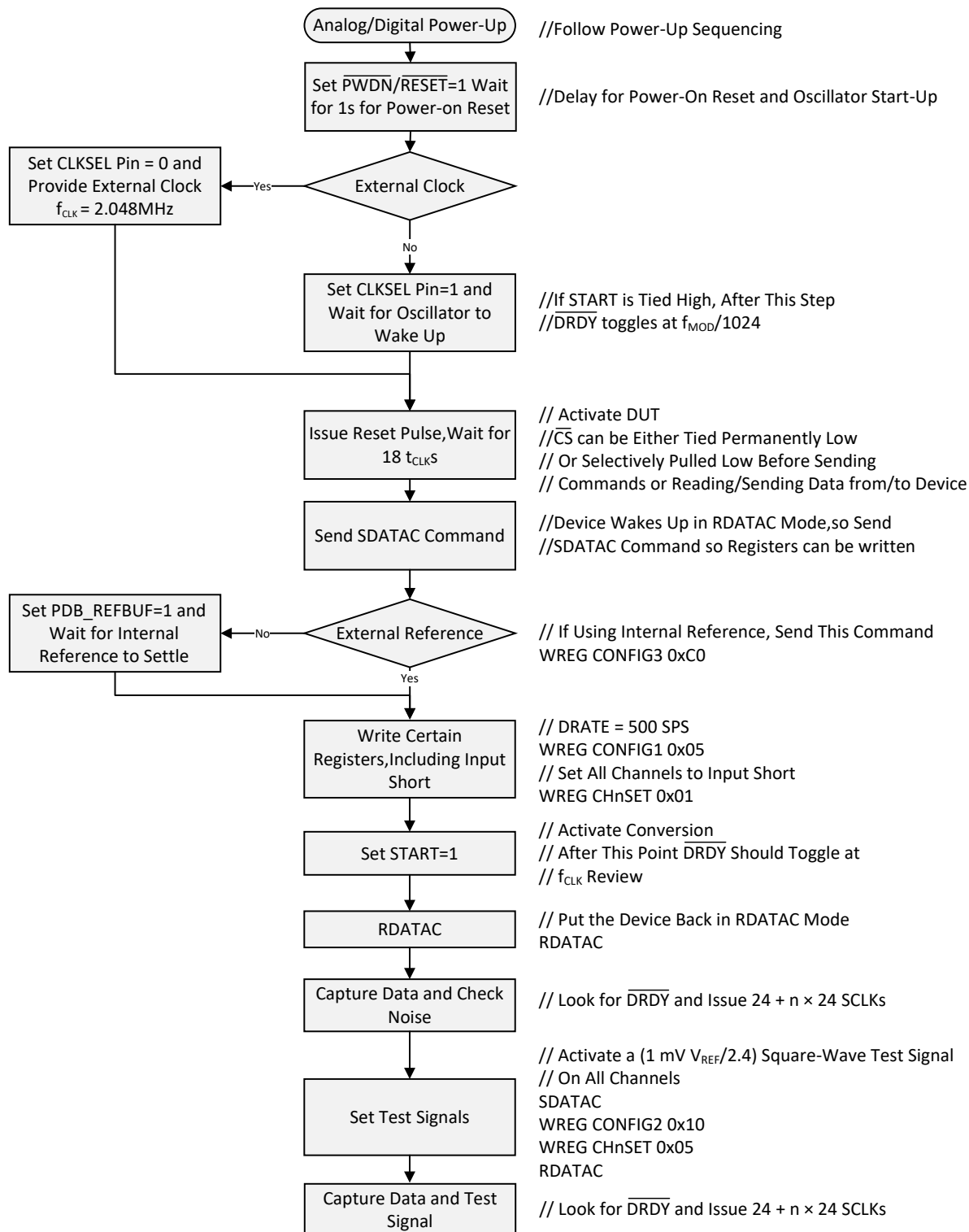


图 10-1-1. 上电初始流程

应用信息 (continued)

10.1.3 多器件配置

当系统中连接多个器件时，SW303x 可提供配置灵活性。串行接口通常需要四个信号：DIN、DOUT、SCLK 和 $\overline{CS}$ 。通过在每个器件上添加一个额外的片选信号，可以将多个器件连接在一起。连接 n 个器件所需的信号数量为 $3 + n$ 。

10.1.3.1 同步多个器件

在使用多个器件时，将这些器件与 START 信号同步。从 START 信号到 $\overline{DRDY}$ 信号的延迟对于固定数据速率是固定的 (有关建立时间的更多详细信息，请参阅[启动模式](#)部分)。作为一个示例，图 10-1-2 显示了两个器件与 START 信号同步时的行为。

可使用两种配置以最佳接口引脚数来连接多个器件：级联或菊花链。

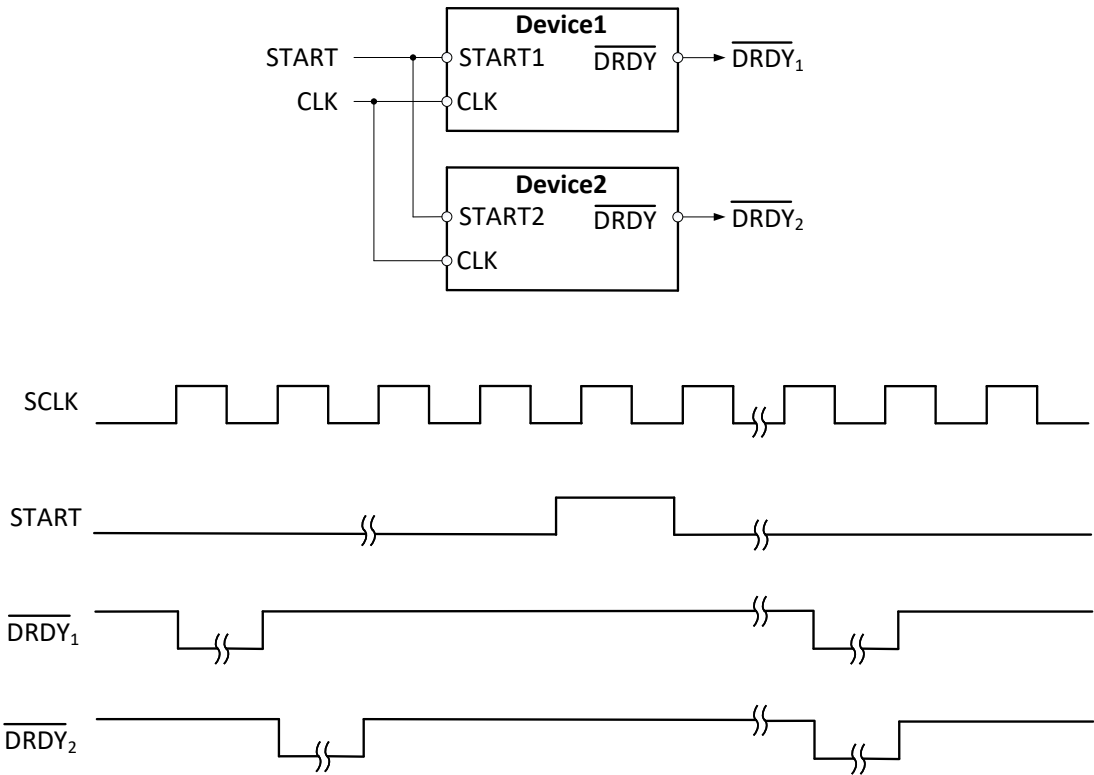


图 10-1-2. 同步多个转换器

应用信息 (continued)

10.1.3.2 级联配置

两个 SW303x 器件级联的配置方式。通过这两个器件共同构建了一个最多具有 16 个通道的系统。数据输出 (DOUT)、串行时钟 (SCLK) 和数据输入 (DIN) 引脚是共享的。每个器件都有其各自的片选信号。当某个器件对应的片选信号 (CS) 被驱动为逻辑 1 而未被选中时, 该器件的 DOUT 引脚呈现高阻抗状态。这种结构使得另一个器件能够控制 DOUT 总线。这种配置方法适用于大多数有额外 I/O 引脚可用的应用场景。

10.1.3.3 菊花链配置

可通过设置 CONFIG1 寄存器中的 DAISY_IN 位来启用菊花链模式。图 10-1-3b 显示了菊花链配置情况。在该配置中, SCLK、DIN 和 $\overline{CS}$ 在多个器件之间共享。将第一个器件的 DOUT 引脚连接到下一个器件的 DAISY_IN 引脚, 从而创建一个菊花链结构。若设备 1 的菊花链输入 DAISY_IN 引脚未被使用, 则将其连接到数字地 (DGND)。SPI 接口的菊花链时序要求如图 7-7-2 所示。来自 SW303x 设备 0 的数据会率先出现在数据输出 (DOUT) 引脚上, 接着是一个无关位, 然后才是来自 SW303x 设备 1 的状态字和数据字。

由于链中的所有器件通过共享同一个数据输入 (DIN) 引脚来运行, 所以无法启用内部振荡器输出, 因此必须使用外部时钟。

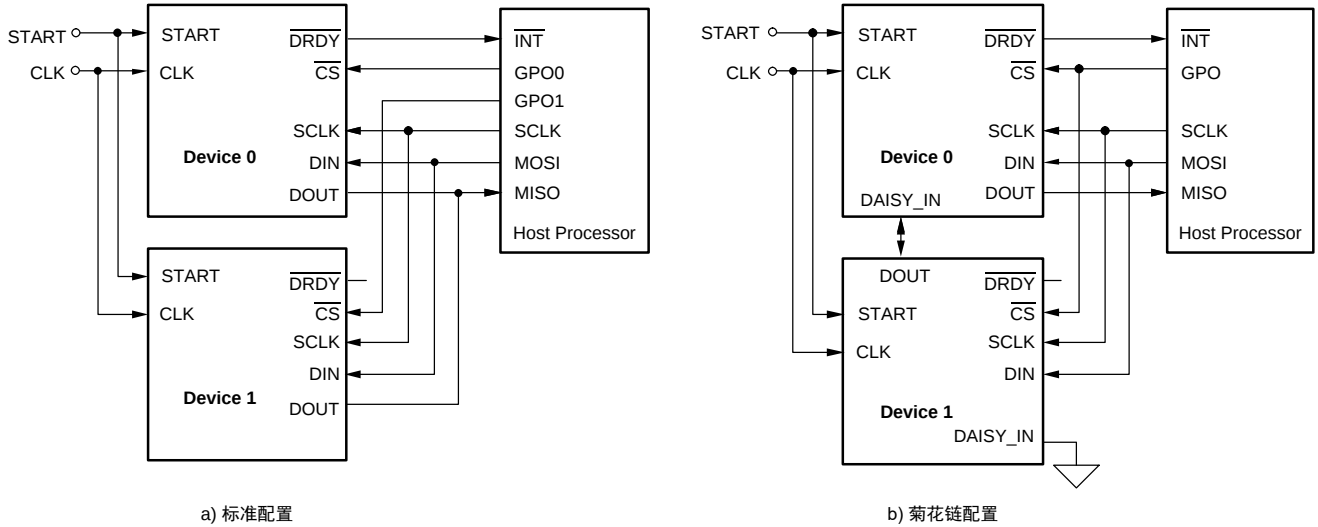


图 10-1-3. 多器件配置

使用菊花链模式时的重要提醒:

1. 在每个数据集之间发出一个额外的 SCLK(请参阅图 10-1-4)。
2. 所有器件都配置为相同的寄存器值, 因为 $\overline{CS}$ 是共享的。
3. 器件寄存器读回 (RREG) 仅对菊花链中的器件 0 有效。只能将转换数据从器件 1 读取到器件 N 中, 其中 N 是链中的最后一个器件; 无法读取寄存器数据。

应用信息 (continued)

链中的器件越多，要严格遵守建立时间和保持时间就变得越具挑战性。采用星型连接方式将 SCLK 连接到所有器件上，尽量缩短数据输出 DOUT 引脚的走线长度，以及运用其他 PCB 布局技术，有助于缓解信号延迟带来的这一挑战。在 DOUT 引脚和 DAISY_IN 引脚之间放置延迟电路 (比如缓冲器) 是有助于减少信号延迟的可选方案之一。另一个可选方案是在数据输出 (DOUT) 引脚和菊花链输入 (DAISY_IN) 引脚之间插入一个由反相串行时钟驱动的 D 触发器。图 10-1-4 展示了菊花链模式的时序图。

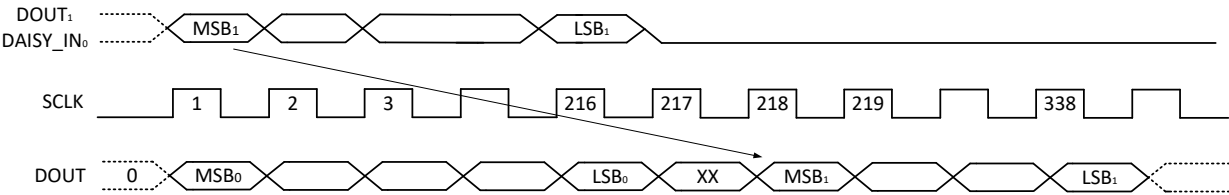


图 10-1-4. 图 10-1-3 的菊花链时序

此外，请注意，菊花链模式需要一些软件开销来重新组合跨字节边界的数据位。

菊花链器件的最大数量取决于器件运行的数据速率。可以使用等式 8 来估算最大器件数：

$$N_{\text{DEVICES}} = \frac{f_{\text{SCLK}}}{f_{\text{DR}}(N_{\text{BITS}})(N_{\text{CHANNELS}}) + 24} \quad (8)$$

其中

- N_{BITS} = 器件分辨率 (取决于数据速率)
- N_{CHANNELS} = 器件中的通道数 (4、6、8)

例如，当 SW303x(24 位版本) 以 8kSPS 数据速率和 $f_{\text{SCLK}} = 10\text{MHz}$ 运行时，最多能够以菊花链方式连接 6 个器件。

应用信息 (continued)

10.1.4 电力监测特定应用

SW303x 的所有通道完全相同，但可独立配置，因此为用户提供了选择任意通道进行电压或电流监测的灵活性。图 10-1-5 展示了一个用于监测电压和电流的系统概览。此外，该器件的同步采样能力允许用户同时监测电流和电压。每个通道的满量程差分输入电压由相应通道的 PGA 增益和基准电压设置决定。

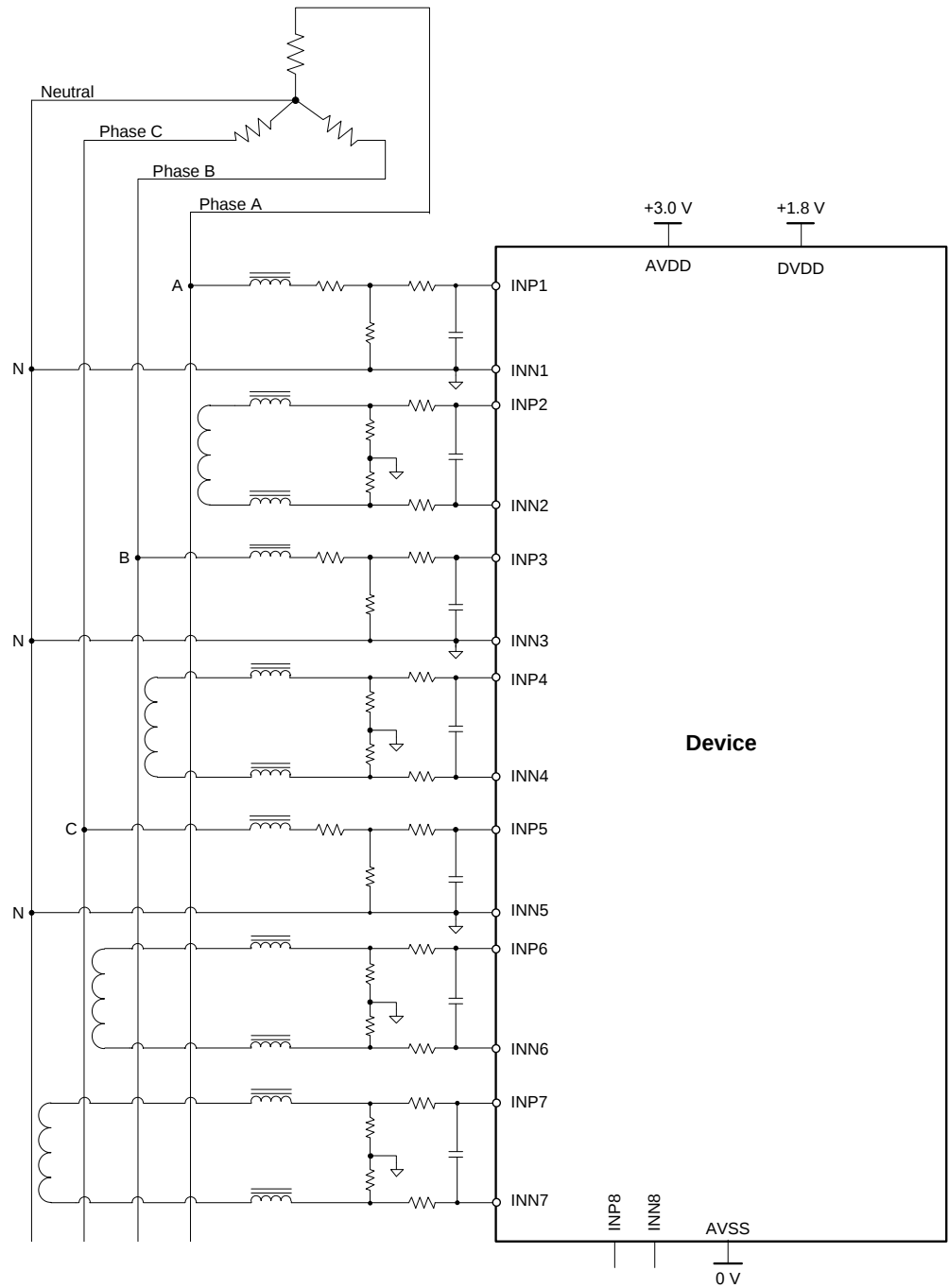


图 10-1-5. 电力监测系统概览

应用信息 (continued)

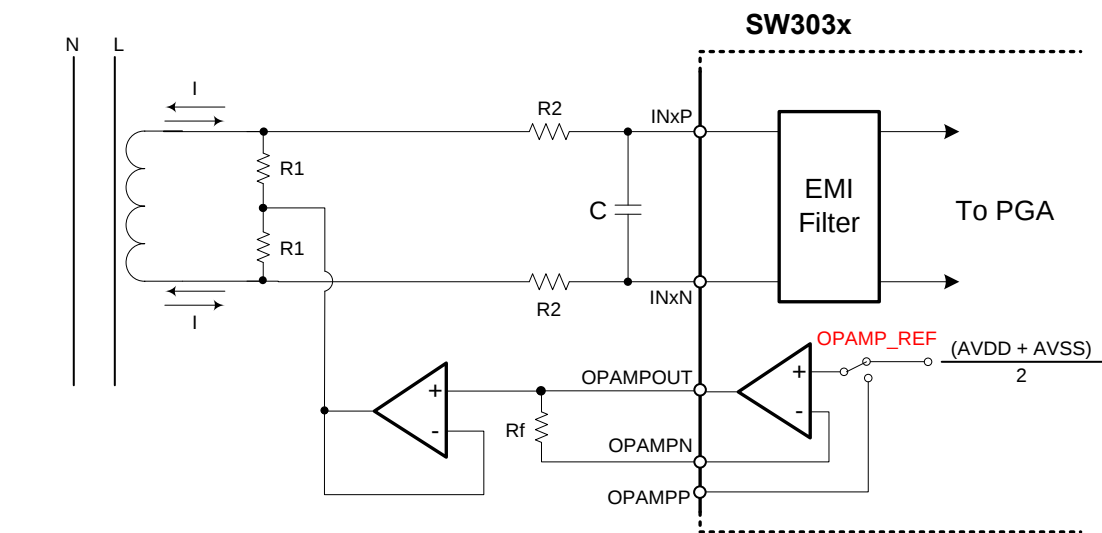
10.1.4.1 电流检测

图 10-1-6 展示了一个简化图，其中包含了使用罗氏线圈 (Rogowski coil)、电流互感器 (CT) 或者输出电流或电压的空心线圈进行电流检测的典型配置。对于输出电流的互感器，负载电阻 (R1) 用于电流-电压转换。负载电阻的输出通过一个抗混叠 RC 滤波器连接到 SW303x 的 INxP 和 INxN 输入引脚，用于电流检测。对于用于电流检测的输出电压互感器 (例如某些类型的罗氏线圈)，互感器的输出端通过一个抗混叠 RC 滤波器直接连接到 SW303x 的 INxP 和 INxN 输入引脚。如果使用单电源模拟配置 ($AVSS = 0V$, $AVDD = 2.7V$ 至 $5.5V$)，输入网络必须偏置到电源中点。可以通过以下两种方式从 SW303x 获取共模偏置电压 $[(AVDD + AVSS)/2]$ ：一是使用 R_f 电阻将内部运算放大器配置为单位增益配置，并将 CONFIG3 寄存器的 OPAMP_REF 位设置为 1；二是通过在正电源和负电源之间使用电阻分压器网络在外部生成。为输出电流的互感器选择电阻 R1 的值和互感器的匝数比，以确保不超过 SW303x 的满量程差分输入电压范围。同样，为输出电压互感器选择输出电压，使其不超过满量程差分输入电压范围。此外，电阻 (R1 和 R2) 和匝数比的选择必须确保在整个工作动态范围内互感器不会饱和。图 10-1-6a 展示了差分输入电流检测，图 10-1-6b 展示了单端输入电压检测。因为内部运算放大器的电流吸收和输出能力非常有限，所以要使用单独的外部运算放大器来提供和吸收电流。此外，每个通道使用单独的运算放大器有助于将各个相位相互隔离，以限制串扰。

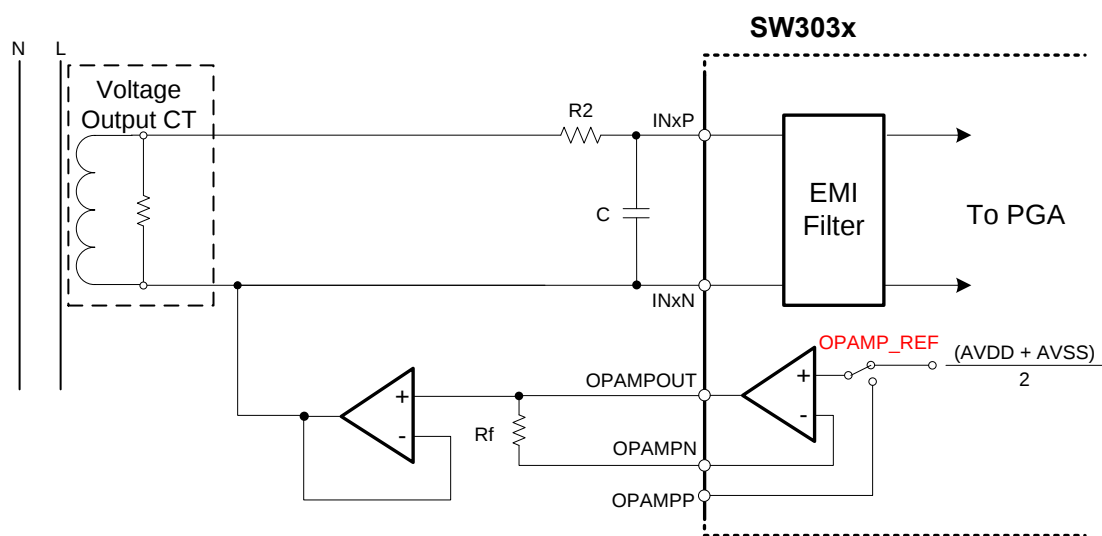
10.1.4.2 电压检测

图 10-1-7 展示了常用的差分和单端电压检测方法的简化示意图。采用电阻分压器网络将线路电压降压至 SW303x 可接受的输入范围之内，然后通过由电阻 R3 和电容 C 构成的抗混叠 RC 滤波器连接到输入引脚 (INxP 和 INxN)。可以通过以下两种方式从 SW303x 获取共模偏置电压 $[(AVDD + AVSS)/2]$ ：一是使用 R_f 电阻将内部运算放大器配置为单位增益配置，并将 CONFIG3 寄存器的 OPAMP_REF 位设置为 1；二是通过在正电源和负电源之间使用电阻分压器网络在外部生成该共模偏置电压。在图 10-1-7 所示的任意一种情况中 (图 10-1-7a 为差分输入情况，图 10-1-7b 为单端输入情况)，线路电压会按 $[R2 / (R1 + R2)]$ 的比例进行分压。必须谨慎选择 R1 和 R2 的值，以确保 SW303x 输入引脚 (INxP 和 INxN) 两端的电压在整个工作动态范围内都不会超出 SW303x 的输入范围。由于内部运算放大器的电流吸收和输出能力非常有限，所以要使用单独的外部运算放大器来提供和吸收电流。此外，每个通道使用单独的运算放大器有助于将各个相位相互隔离，以限制串扰。

应用信息 (continued)



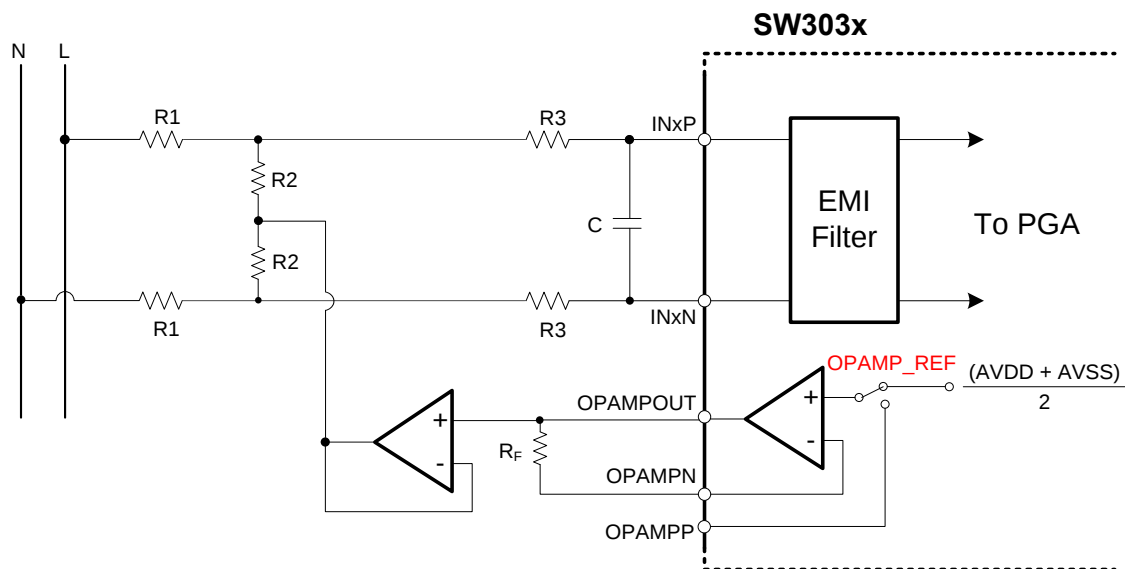
(a) 差分输入的电流输出型电流互感器



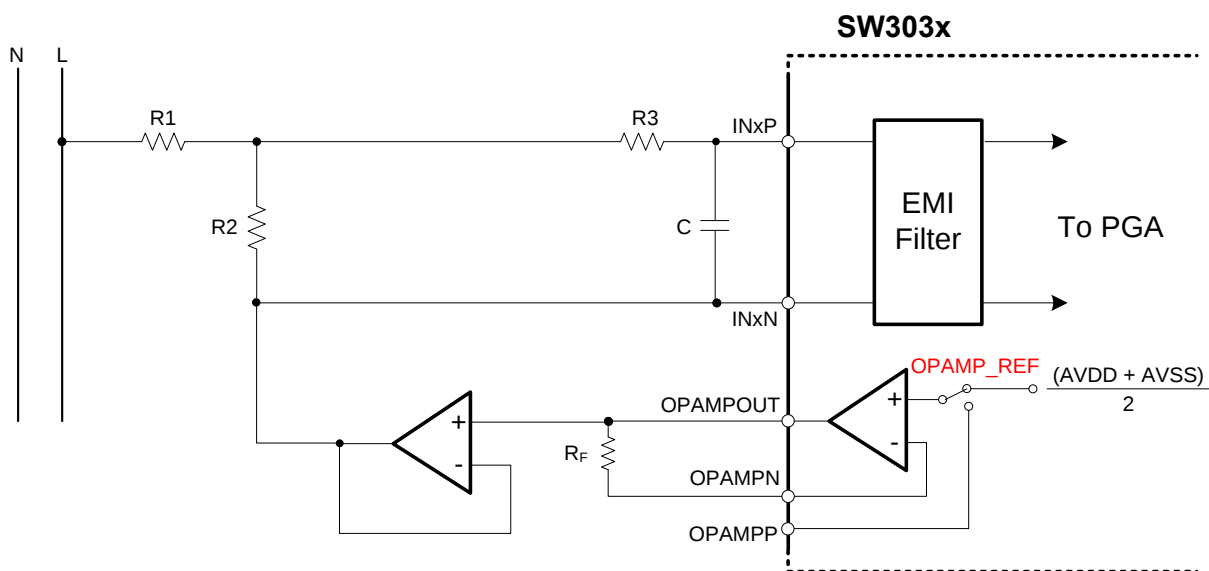
(b) 单端输入的电压输出型电流互感器

图 10-1-6. 简化的电流检测连接

应用信息 (continued)



(a) 差分输入的电压检测



(b) 单端输入的电压检测

图 10-1-7. 简化的电压检测连接

11 电源建议

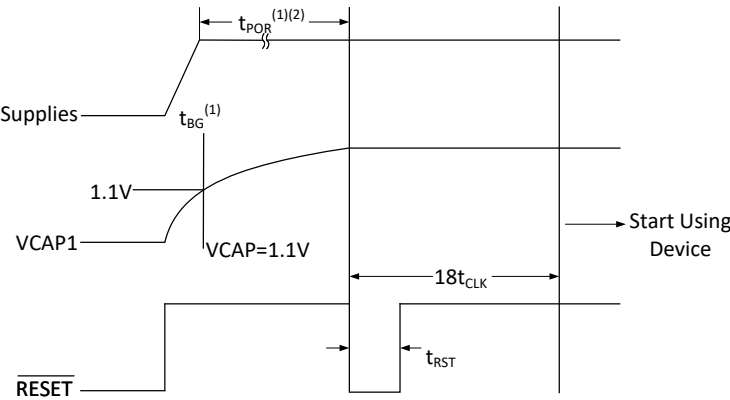
SW303x 具有 2 个电源：AVDD 和 DVDD。为了获得最佳性能，AVDD 电源域的噪声必须尽可能低。使用 1μF 和 0.1μF 固态陶瓷电容器旁路每个 SW303x 的 AVDD 电源。为了获得最佳性能，请不要将数字电路 (DSP、微控制器、FPGA 等) 与 AVDD 电源共用。使用表面贴装、低成本、薄型、多层陶瓷型电容器进行去耦。在大多数情况下，VCAP1 电容器也是多层陶瓷；但是，在电路板受到高频或低频振动的系统中，应安装非铁电电容器，如钽电容器或 1 类电容器 (C0G 或 NPO)。EIA 2 类和 3 类电介质 (如 X7R、X5R、X8R 等) 是铁电型的。这些电容器的压电特性可以表现为来自电容器的电噪声。使用内部基准时，VCAP1 节点上的噪声会导致性能下降。

SW303x 的上电时间是由关键电压节点稳定到其最终值所需的时间决定的。当数据转换器进行采样时，AVDD、AVSS 和 DVDD 以及内部节点电压 (VCAPx 引脚) 必须处于开启且稳定的状态，以确保性能。电源的总电流供应能力和旁路电容的大小决定了 AVDD、AVSS 和 DVDD 的上升速率。VCAPx 电压是通过电源电压在内部进行充电的。

11.1 上电时序

在器件上电之前，所有数字和模拟输入必须处于低电平。上电时，将所有这些信号保持在低电平，直到电源稳定为止，如图 11-1-1 所示。

留出时间让电源电压达到其最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} ，然后使用 $\overline{RESET}$ 引脚或 RESET 命令发送复位脉冲，以初始化芯片的数字部分。释放 RESET 引脚后，对配置寄存器进行编程。



(1) 复位脉冲的时间是 t_{POR} 或 t_{BG} 之后，以较长的时间为准。

(2) 使用外部时钟时， t_{POR} 计时在 CLK 有效后才会启动。

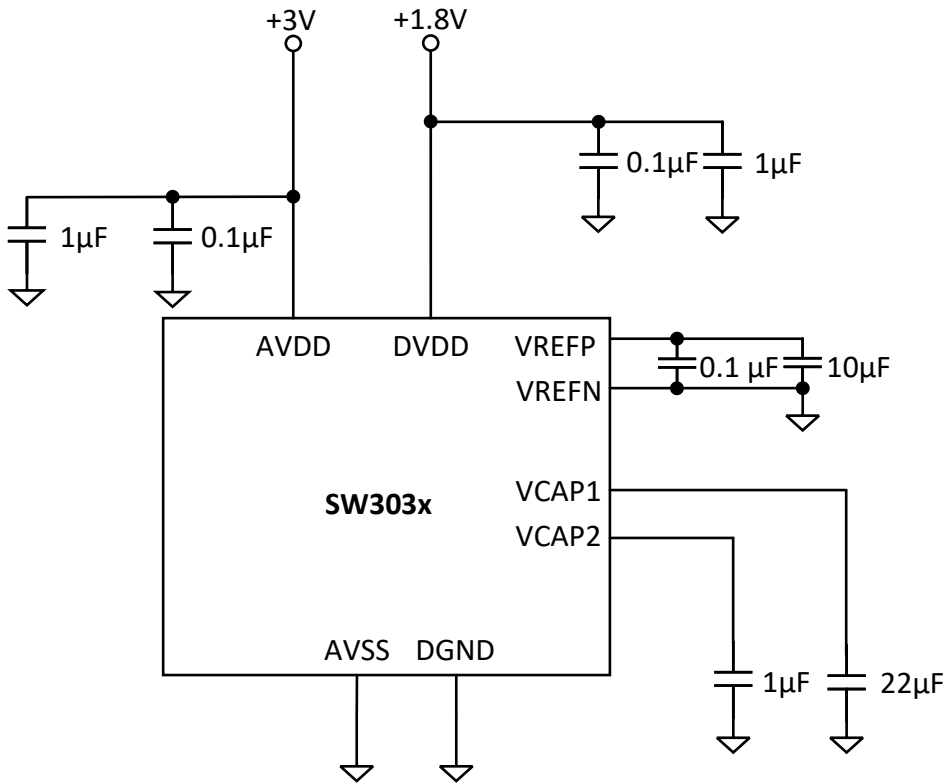
图 11-1-1. 上电时序图

表 11-1-1. 上电时序要求

	最小值	典型值	最大值	单位
t_{POR} 在上电后等待，直到复位	2^{18}			t_{CLK}
t_{RST} 复位处于低电平的持续时间	2			t_{CLK}

11.2 连接到单极电源

图 11-2-1 说明了连接到单极电源的 SW303x。在该示例中，模拟电源 (AVDD) 以模拟接地 (AVSS) 为基准，数字电源 (DVDD) 以数字接地 (DGND) 为基准。



注意：应将电源、基准和 VCAP1 至 VCAP2 的电容器尽可能靠近封装放置。

图 11-2-1. 单电源供电

12 布局

12.1 布局指南

建议在为模拟和数字组件设计印刷电路板 (PCB) 时采用最佳设计实践。这一建议通常意味着布局要将模拟组件 (如模数转换器 (ADCs)、放大器、基准电压源、数模转换器 (DACs) 和模拟多路复用器 (MUXs)) 与数字组件 (如微控制器、复杂可编程逻辑器件 (CPLDs)、现场可编程门阵列 (FPGAs)、射频 (RF) 收发器、通用串行总线 (USB) 收发器和开关调节器) 分开。

但对于每个应用而言,最佳布局会因所采用的几何形状、组件以及 PCB 制造能力的不同而独具特色。也就是说,不存在一种对所有设计都完美的单一布局,并且在使用任何模拟组件进行设计时都必须始终谨慎考虑。

以下概述了一些针对 SW303x 布局的一些基本建议,以实现模数转换器 (ADC) 的最佳性能。

- 分离模拟和数字信号。首先,在布局允许的情况下,将电路板划分为模拟区和数字区。让数字线路远离模拟线路布线。这种配置可防止数字噪声反向耦合到模拟信号中。
- 地平面可以划分为模拟地平面 (AGND) 和数字地平面 (DGND),但并非必需。将数字信号布置在数字地平面上方,模拟信号布置在模拟地平面上方。在布局的最后一步,模拟地和数字地之间的分隔必须在模数转换器 (ADC) 处连接在一起。
- 用接地填充来填充信号层上的空白区域。
- 提供良好的接地回流路径。信号回流电流会沿着阻抗最小的路径流动。如果地平面被切断或存在其他走线阻碍电流在信号走线旁边正常流动,那么电流就必须寻找另一条路径返回源端以完成电路。如果电流被迫走更长的路径,信号辐射的可能性就会增加。敏感信号更容易受到电磁干扰 (EMI)。
- 在电源上使用旁路电容以降低高频噪声。不要在旁路电容和有源器件之间放置过孔。将旁路电容放置在与有源器件尽可能靠近的同一层可获得最佳效果。
- 具有差分连接的模拟输入必须在输入端跨接一个差分电容。差分电容必须是高质量的。最好的陶瓷贴片电容是 C0G(NPO),它们具有稳定的性能和低噪声的特性。

12.2 布局示例

图 12-2-1 是 SW303x 的示例布局，其至少需要两层印刷电路板 (PCB)。该示例电路展示了单电源供电的情况。在此示例中，多边形覆铜区域被用作器件周围的电源连接。如果使用的是三层或四层 PCB，额外的内层可专门用于布设电源走线。该 PCB 进行了分区，模拟信号从左侧布线，数字信号布向右侧，电源则在器件的上方和下方布线。

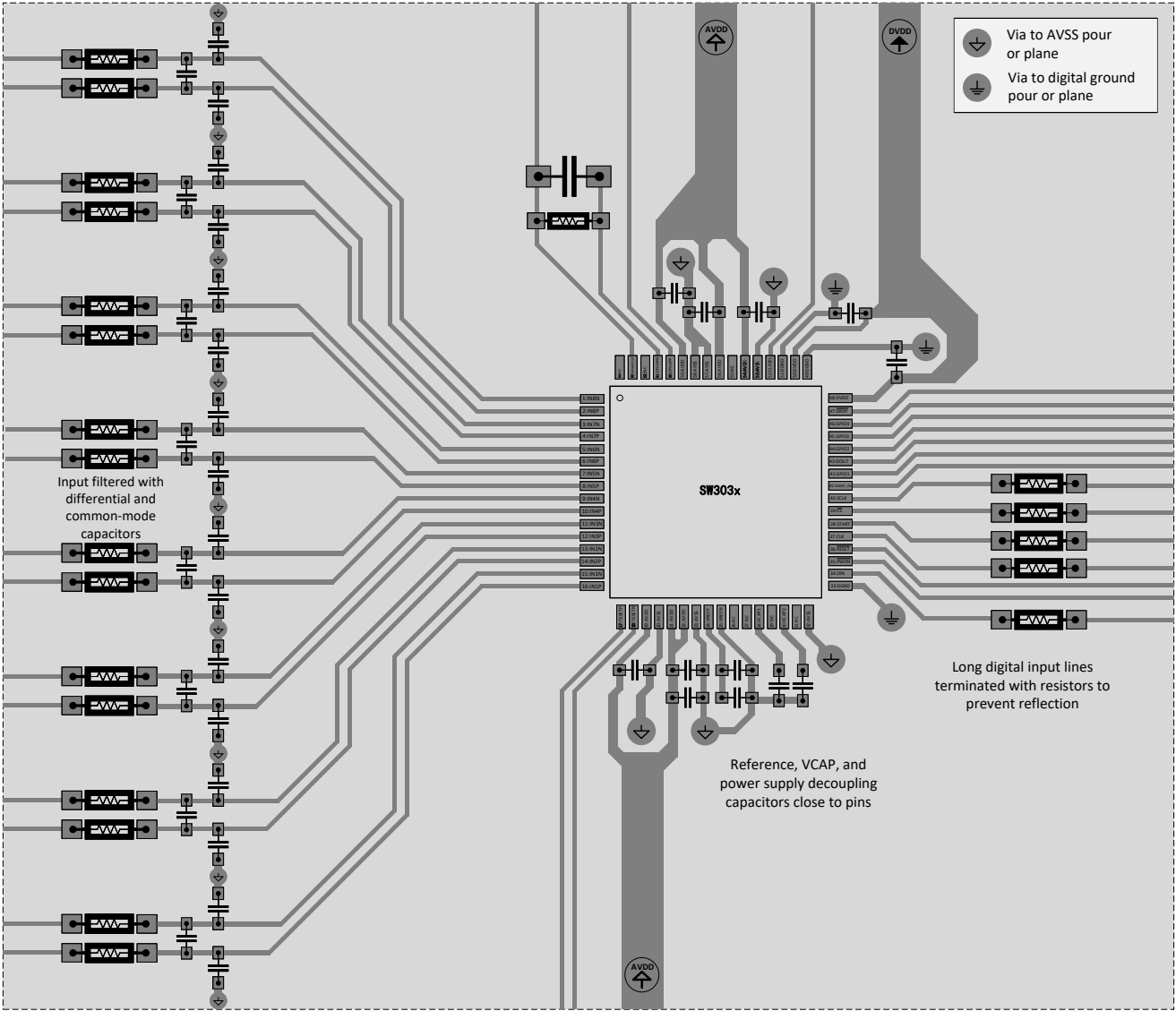


图 12-2-1. SW303x 布局示例

13 机械、封装和可订购信息

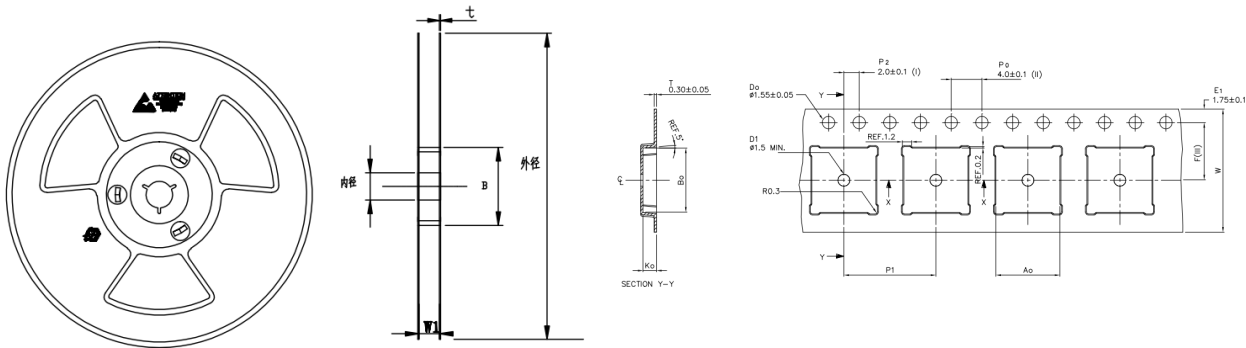
以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。

13.1 可订购信息

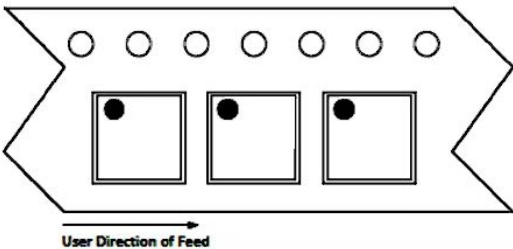
可订购器件	状态	封装形式	引脚	最小包装	等级认证标准	MSL 等级	工作温度 (°C)	器件标识
SW3034PH	ES	QFP	64	1600	RoHS/Reach Pb-free	Level-3	-40~+105	SW3034
SW3034AH	ES	BGA	64	5000	RoHS/Reach Pb-free	Level-3	-40~+105	SW3034
SW3036PH	ES	QFP	64	1600	RoHS/Reach Pb-free	Level-3	-40~+105	SW3036
SW3036AH	ES	BGA	64	5000	RoHS/Reach Pb-free	Level-3	-40~+105	SW3036
SW3038PH	ES	QFP	64	1600	RoHS/Reach Pb-free	Level-3	-40~+105	SW3038
SW3038AH	ES	BGA	64	5000	RoHS/Reach Pb-free	Level-3	-40~+105	SW3038

13.2 包装信息

13.2.1 TAPE AND REEL INFORMATION



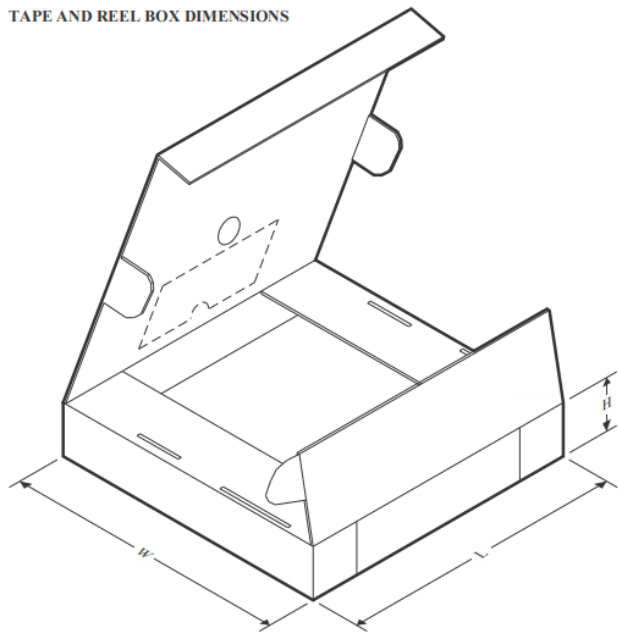
A0	设计尺寸以适应部件宽度
B0	设计尺寸以适应部件长度
K0	设计尺寸以适应部件厚度
W	载带的总宽度
P1	连续型腔中心之间的间距



器件	封装类型	引脚	SPQ	卷轴直径 (mm)	卷轴宽度 W (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SW3034AH	BGA	64	5000	3300	16.0	8.35	8.37	1.76	12.0	16.0
SW3036AH	BGA	64	5000	3300	16.0	8.35	8.37	1.76	12.0	16.0
SW3038AH	BGA	64	5000	3300	16.0	8.35	8.37	1.76	12.0	16.0

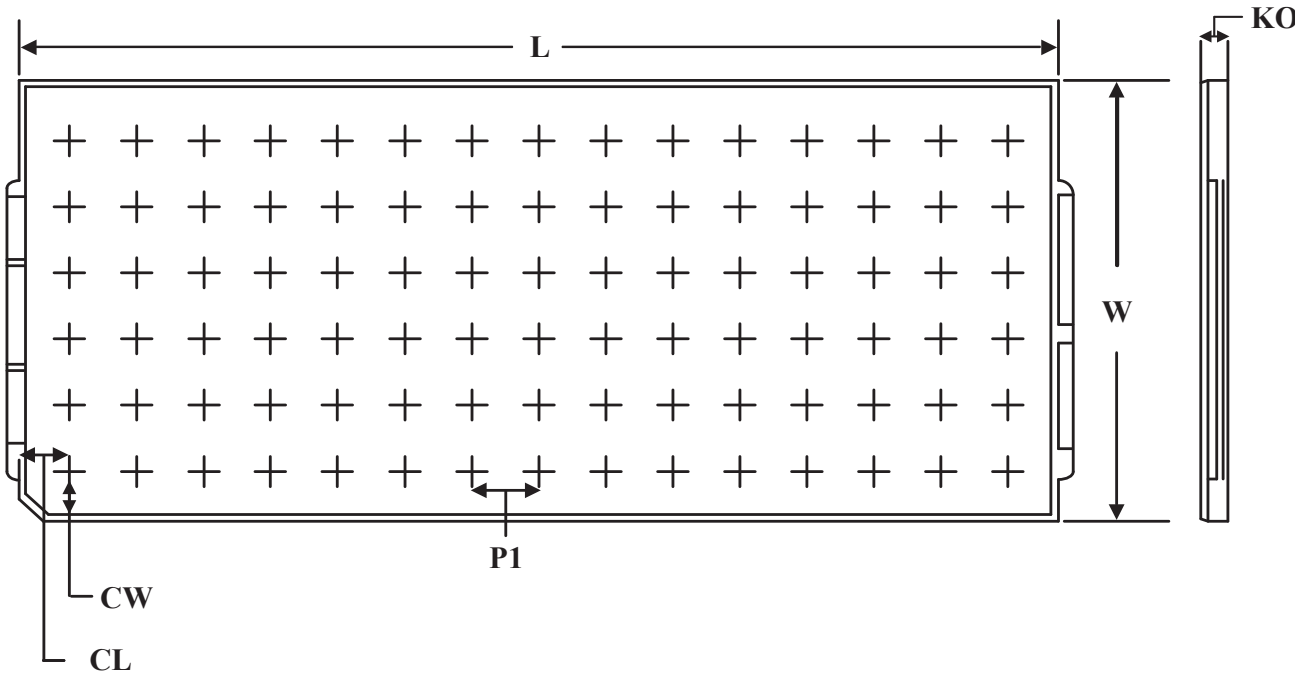
13.2.2 TAPE AND REEL BOX DIMENSIONS

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
SW3034AH	BGA	64	5000	336.0	336.0	48.0
SW3036AH	BGA	64	5000	336.0	336.0	48.0
SW3038AH	BGA	64	5000	336.0	336.0	48.0

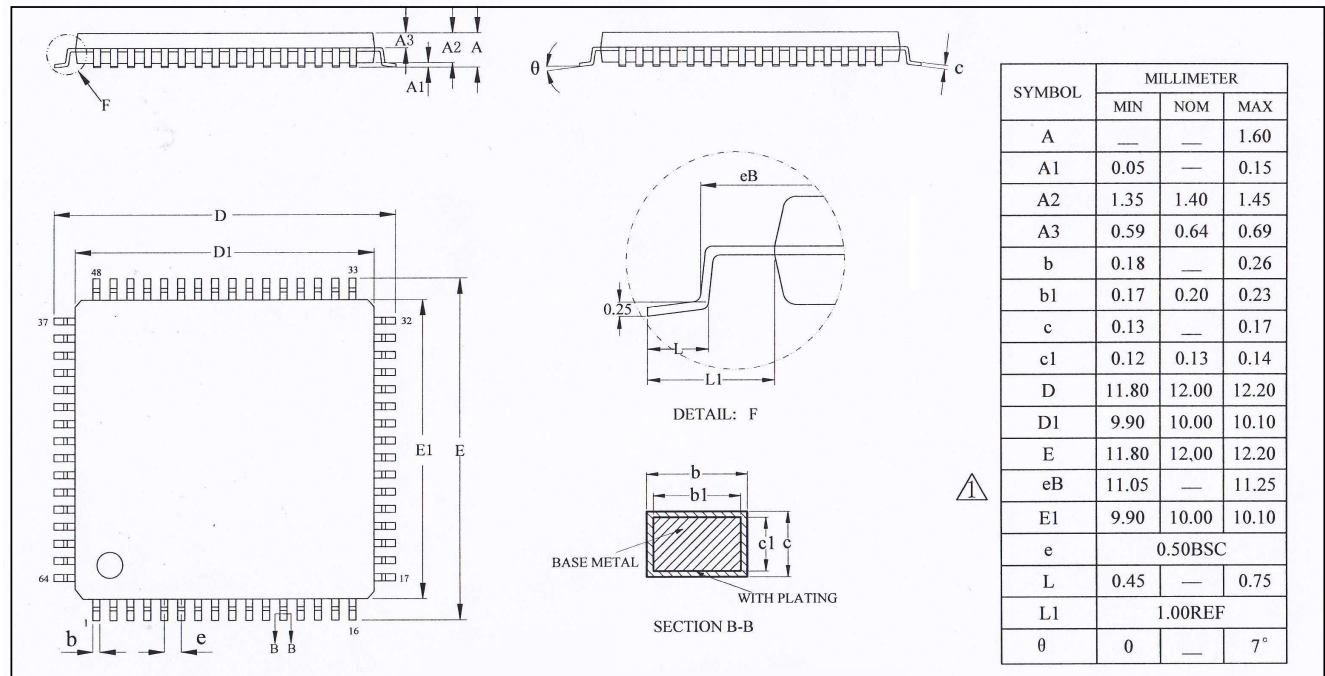
13.2.3 TRAY



器件	封装类型	引脚	SPQ	Unit array matrix	L (mm)	W (mm)	K0 (mm)	P1 (mm)	CL (mm)	CW (mm)
SW3034PH	QFP	64	160	8 x 20	315	135.9	7.62	15.2	13.1	13.0
SW3036PH	QFP	64	160	8 x 20	315	135.9	7.62	15.2	13.1	13.0
SW3038PH	QFP	64	160	8 x 20	315	135.9	7.62	15.2	13.1	13.0

13.3 封装信息

13.3.1 QFP64 封装



封装信息 (continued)

13.3.2 BGA64 封装

