

1 概述

UID5301 是一款具有 $\pm 4\text{LSB}$ (最大值) INL、 $10\text{ppm}/^\circ\text{C}$ (最大值) 内部温度系数的 16 位 4 通道 DAC。UID5301 具有内置的高性能、轨至轨输出缓冲器, 并保证具有单调性。UID5301 具有一个 2.5V 的全标度输出和集成基准, 并采用 4.5V 至 5.5V 的单电源工作。每个 DAC 也可以采用一个外部基准来运作, 该外部基准负责将 DAC 全标度输出设定为外部基准电压的两倍。

DAC 通过一个 SPI 四线式串行接口进行通信, 该接口在高达 50MHz 的时钟频率条件下工作。UID5301 包括一个受控于 PORSEL 引脚的上电复位电路。如果 PORSEL 引脚连接至 GND, 则 DAC 被复位至零标度。如果 PORSEL 引脚连接至 V_{CC} , 则 DAC 将被复位至 1/2 满量程。

1.1 关键特性

- 最大基准电压温漂系数: $10\text{ppm}/^\circ\text{C}$
- 最大 INL 误差: $\pm 4\text{LSB}$ (16 bits)
- $\pm 2\text{mV}$ (最大值) 低偏移误差
- 可选择的内部或外部基准
- 4.5V 至 5.5V 电源范围
- 集成基准缓冲器
- DAC 通道间的超低串扰 ($< 3\text{nV} \cdot \text{s}$)
- 上电复位至零标度/中间标度
- 异步 DAC 更新引脚

- 16 pin 窄体 SSOP 封装

1.2 应用场景

UID5301 广泛应用于多个行业及多款产品, 包括:

- 移动通信
- 过程控制和工业自动化
- 仪器仪表
- 自动测试设备
- 汽车

1.3 功能框图

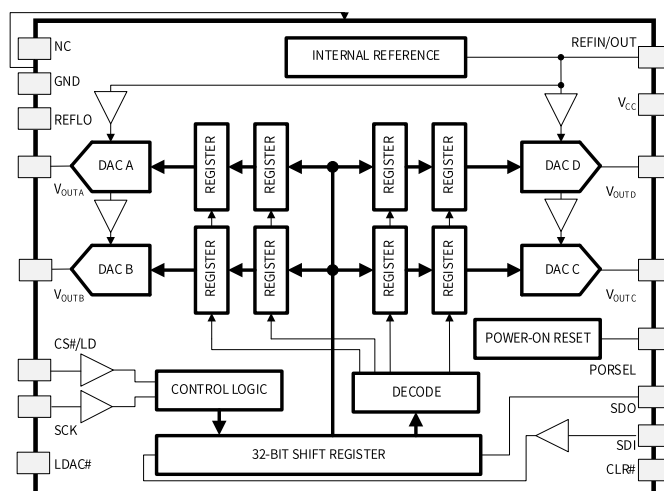


图 1-1 UID5301 功能框图

2 引脚配置和功能描述

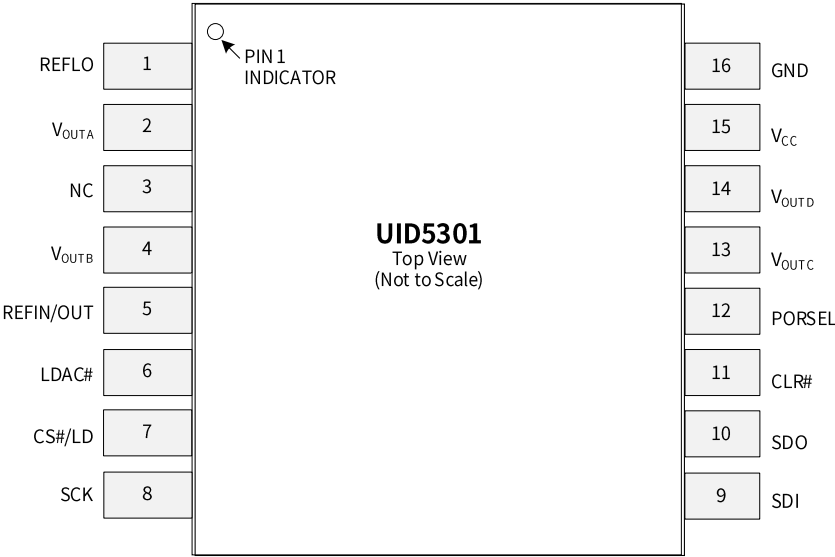


图 2-1 引脚配置

表 2-1 引脚功能描述

引脚 编号	引脚名称	描述
1	REFLO	基准电路低电平。该引脚上的电压被设置为所有 DAC 的零刻度电压值，应当连接到 GND。
2	V _{OUTA}	DAC 模拟电压输出。输出范围为 0V 到两倍的 REFIN/OUT 引脚电压值。
3	NC	不连接。
4	V _{OUTB}	DAC 模拟电压输出。输出范围为 0V 到两倍的 REFIN/OUT 引脚电压值。
5	REFIN/OUT	基准输入输出引脚。该引脚在内部参考电压模式下作为内部参考输出，在外部参考模式下作为参考输入。当作为输出时，该引脚标称值是 1.25V。为了获得低噪声和参考稳定性，将该引脚通过电容连接到 GND。在外部参考模式下，允许的参考输入电压范围为 0.5V ~ V _{CC} /2。
6	LDAC#	异步 LDAC#更新引脚。如果 CS#/LD 为高电平，LDAC#上的一个下降沿会立即用输入寄存器的内容更新 DAC 寄存器（类似于软件更新）。如果 LDAC#在 CS#/LD 为低电平时拉低，并保持低电平状态至 CS#/LD 拉高后，则 CS#/LD 返回高电平后将更新 DAC 寄存器。LDAC#引脚为低电平，可启动 DAC 输出。若 CS#/LD 由低电平转为高电平时，LDAC#为低电平，则输入的所有软件 power-down 命令都将被忽略。
7	CS#/LD	串行接口芯片选择/负载输入。当 CS#/LD 为低电平时，SCK 有效，并把 SDI 输入的数据转移到寄存器中。当 CS#/LD 拉升为高电平时，SCK 无效，并执行输入指定的命令。
8	SCK	串口时钟输入。CMOS 和 TTL 兼容。
9	SDI	串口接口数据输入。在 SCK 的上升沿时，SDI 上的数据将传输到设备（引脚 10）。UID5301 接受 24 位或 32 位的输入字长。
10	SDO	串口接口数据输出。该引脚可用于菊花链操作。移位寄存器的串行输出数据出现在 SDO 引脚上。通过 SDI 引脚传输到设备的数据将在延迟 32 个 SCK 上升沿后，在 SCK 的下降沿输出至 SDO 引脚。当 CS#/LD 处于高电平时，该引脚将持续被驱动，且不会产生高阻抗。

引脚 编号	引脚名称	描述
11	CLR#	异步清除输入。如果 PORSEL 引脚连接到 GND，则此电平触发输入的逻辑低电平清除所有寄存器并导致 DAC 电压输出降至 0V。如果 PORSEL 引脚连接到 V _{CC} ，CLR#处的逻辑低电平将所有寄存器设置为中量程代码，并导致 DAC 电压输出到中量程。
12	PORSEL	上电复位选择引脚。如果连接到 GND，DAC 复位为零量程。如果连接到 V _{CC} ，DAC 复位到中量程。
13	V _{OUTC}	DAC 模拟电压输出。输出范围为 0V 到两倍的 REFIN/OUT 引脚电压值。
14	V _{OUTD}	DAC 模拟电压输出。输出范围为 0V 到两倍的 REFIN/OUT 引脚电压值。
15	V _{CC}	供电电压输入。4.5V≤V _{CC} ≤5.5V，引脚应通过 0.1μF 低 ESR 陶瓷电容旁路到地。
16	GND	地。裸露的焊盘必须焊接到 PCB 的地。

3 封装信息

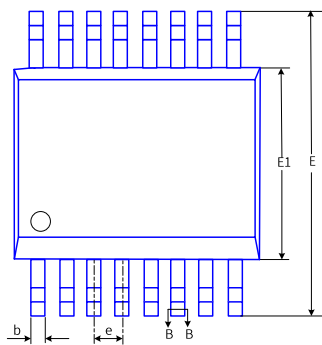


图 3-1 顶视图

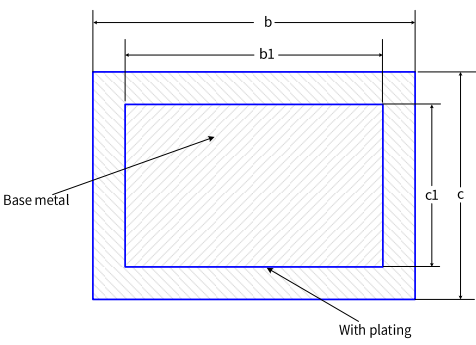


图 3-2 局部剖面图

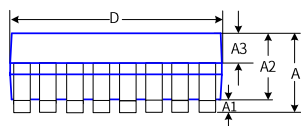


图 3-3 局部图

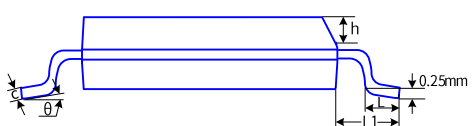


图 3-4 侧视图

表 3-1 封装尺寸

符号	最小值	典型值	最大值	单位
A	--	--	1.75	mm
A1	0.10	--	0.225	mm
A2	1.30	1.40	1.50	mm
A3	0.60	0.65	0.70	mm
b	0.23	--	0.31	mm
b1	0.22	0.25	0.28	mm
c	0.20	--	0.24	mm
c1	0.19	0.20	0.21	mm
D	4.80	4.90	5.00	mm
E	5.80	6.00	6.20	mm
E1	3.80	3.90	4.00	mm
L1	1.05REF			
e	0.635BSC			
h	0.25	--	0.50	mm
L	0.50	0.65	0.80	mm
θ	0°	--	8°	--